

UNIVERSIDAD DON BOSCO



DISEÑO E IMPLEMENTACION DE UN SISTEMA CON
INTERFACE QUE PERMITA CONTROLAR LAS
FUNCIONES ELECTRICAS DE USO DOMESTICO

TRABAJO DE GRADUACION
PREPARADO PARA LA
FACULTAD DE INGENIERIA



PARA OPTAR AL GRADO DE
INGENIERO EN ELECTRONICA

POR:

SARA BEATRIZ CHORRO ZAMORA
MAURICIO ANTONIO ESPINOZA PALENCIA

JULIO DE 1996.

Soyapango, El Salvador, Centroamerica

UNIVERSIDAD DON BOSCO

RECTOR

ING. FEDERICO MIGUEL HUGUET RIVERA

SECRETARIO GENERAL

LIC. PIERRE MUYSHONDT S.D.B.

DECANO DE LA FACULTAD DE INGENIERÍA

ING. CARLOS A. GUTIERREZ

ASESOR DE TRABAJO DE GRADUACIÓN

ING. JAIME MORALES

JURADO EXAMINADOR

ING. RAUL GARCIA AQUINO

ING. NELSON QUINTANILLA

UNIVERSIDAD DON BOSCO
FACULTAD DE INGENIERIA
DEPARTAMENTO DE INGENIERIA ELECTRONICA

JURADO EVALUADOR DEL TRABAJO DE GRADUACION

**“DISEÑO E IMPLEMENTACION DE UN SISTEMA CON INTERFACE QUE PERMITA
CONTROLAR LAS FUNCIONES ELECTRICAS DE USO DOMESTICO”**



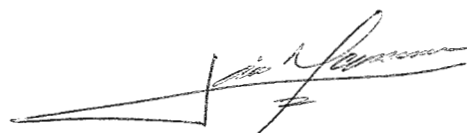
ING. RAUL GARCIA AQUINO

JURADO



ING. NELSON QUINTANILLA

JURADO



ING. JAIME MORALES
ASESOR

QUEREMOS AGRADECER A DIOS TODOPODEROSO.
QUE ES LA FUENTE DE TODA SABIDURIA, A NUESTROS
PADRES, FAMILIARES Y AMIGOS.

SARA
MAURICIO

INDICE

INTRODUCCION	1
CAPITULO I	
1.0 Introducción	1
1.1 Arquitectura de Computadoras.....	1
1.1.1 La Tarjeta Madre.....	1
1.1.2 El Microprocesador.....	2
1.1.3 El Coprocesador Matemático.....	5
1.1.4 Sistema de Memoria.....	6
1.1.5 El Mapa de Memoria del Sistema.....	7
1.1.6 El Controlador Programable de Interrupciones.....	8
1.1.7 Controlador DMA.....	9
1.1.8 El generador de Reloj.....	10
1.1.9 El contador de Intervalos de Tiempo Programable.....	10
1.1.10 Controladores de video.....	10
1.1.11 Controladores de E/S.....	11
1.1.12 Sistema de Buses.....	11
1.1.13 El Bus de Direcciones.....	12
1.1.14 El Bus de Datos.....	12
1.1.15 Slot de Expansión(conectores para entrada y salida).....	13
1.2 Organización de Entrada-Salida.....	14
1.2.1 Operaciones de Entrada y salida(E/S).....	15
1.2.2 Interfaces de E/S.....	18

1.2.3	Interfaz en Paralelo.....	20
1.2.4	Interfaz en Serie.....	20
1.2.5	Interfaz Analógica.....	21
1.2.6	La Interfaz IEEE-488.....	21
1.2.7	PIA(Peripheral Interface Adapter).....	21
1.2.8	UART(Universal Asynchronous Receiver Transmitter).....	22
1.2.9	ACIA(Asynchronous Communications Interface Adapter).....	22
1.2.10	USART(Universal Synchronous Asynchronous Receiver Transmitter).....	23
1.2.11	GPIB(General Purpose Interface Bus).....	23
1.2.12	GPiA(General Purpose Interface Adapter).....	23
1.2.13	PPI(Programmable Peripheral interface).....	24
1.2.13.1	Modos de Operación del PPI 8255.....	25
1.2.13.2	Modo 0: Entrada Salida Elemental.....	27
1.2.13.3	Modo 1: Entrada Salida con Protocolo(Handshaking).....	28
1.2.13.4	Modo 2: Puerto Bidireccional conProtocolo.....	30
1.2.13.5	Combinación de Modos de operación.....	31
1.2.13.6	Función de SET/RESET para Bit Individual del Puerto C.....	32
1.2.13.7	Control de interrupciones.....	32

CAPITULO II

2.0	Introducción.....	33
2.1.1	Circuitos Digitales.....	33
2.1.2	Circuito Combinacional.....	34
2.1.3	Los Decodificadores.....	35
2.1.4	El Codificador.....	35
2.1.5	Los Demultiplexores.....	36

2.1.6	Los Multiplexores.....	36
2.1.7	Circuitos Secuenciales.....	37
2.1.8	Los FlipFlops(multivibradores biestables).....	38
2.1.9	FF R-S.....	38
2.1.10	FF Tipo D.....	38
2.1.11	FF J-K.....	39
2.1.12	FF Tipo T.....	39
2.1.13	FF Maestro-Esclavo.....	39
2.1.14	Los Registros.....	40
2.1.15	Las Memorias.....	41
2.1.16	Los Contadores.....	41
2.2	Manejadores de Potencia.....	42
2.2.1	Dispositivos Electromecánicos.....	42
2.2.2	Reles Electromagnéticos.....	42
2.2.3	Clasificación por funciones.....	43
2.2.4	Contactores.....	45
2.2.5	Dispositivos de Estado Sólido.....	46
2.2.6	SCR(Silicon Controled Rectifier).....	47
2.2.7	El Triac.....	49
2.2.8	Elementos de disparo.....	51
2.2.9	El UJT(Unijuntion Transistor).....	51
2.2.10	DIAC(Diodo Bidireccional de Disparo).....	52
2.2.11	Diodo De Cuatro Capas.....	54
2.2.12	SBS(Interruptor Bilateral de Silicio).....	55
2.3	Control Remoto.....	57

2.3.1	Espectro Electromagnético.....	57
2.3.2	Semiconductores Optoelectrónicos.....	59
2.3.3	Detectores(Receptores)	59
2.3.4	Emisores.....	60

CAPITULO III

3.0	Introducción.....	62
3.1.1	Filosofía del Sistema.....	62
3.1.2	Diagrama de Bloques General del Sistema.....	64
3.1.3	Unidad Lógica de Control (ULC).....	66
3.1.4	Etapa de Control Proporcional.....	69
3.1.5	Control Remoto.....	71
3.2	Cálculo de los Elementos del Sistema.....	72
3.2.1	Diseño de la Unidad Lógica de Control.....	72
3.2.2	Diagrama Esquemático de la Unidad Lógica de Control.....	76
3.2.3	Diagrama Esquemático del Control Proporcional.....	81
3.2.4	Cálculo de los Elementos del Circuito del Control Proporcional.....	85
3.2.5	Driver de Corriente.....	88
3.2.6	Control Todo o Nada.....	89
3.2.7	Circuito control de Pulso.....	91
3.2.8	Circuito de Control Remoto.....	93
3.2.9	Diseño de la Etapa de Conversión de Datos.....	97
3.2.10	Diseño de la Tarjeta Interfaz.....	101
3.2.10.1	Decodificador de Direcciones.....	102
3.2.10.2	Bus de Control.....	104
3.2.10.3	Limitaciones de INTEL.....	105

CAPITULO IV

4.0	Introducción.....	107
4.1	Base de Datos.....	107
4.1.1	Campos y Registro(Columnas y Filas).....	108
4.1.2	Sistema de gestion de Base de Datos... ..	108
4.1.3	Tipos de Datos.....	109
4.1.4	Archivos y Nombres de Archivos.....	110
4.2	Compilador Clipper.....	111
4.2.1	Librerías del Clipper.....	112
4.2.2	Comandos y Funciones de Clipper Utilizados.....	113
4.3	Diseño del Programa	117
4.3.1	Diagrama de Flujo.....	118
4.3.2	Aplicación del Programa.....	123
4.3.3	Guía del usuario.....	126
4.3.3.1	Creando un programa.....	127
4.3.3.2	Archivos.....	132
4.3.3.3	Control interactivo.....	132
4.3.3.4	Realización de reportes.....	134

CAPITULO V

Conclusiones.....	136
-------------------	-----

APENDICE I

Generalidades del PPI 8255.....	138
Descripción de los pines.....	138
Operación en Modo 1.....	140
Operación en Modo 2.....	143

Combinación de Modos de Operación.....	144
APENDICE 2	
Descripción de las Lineas en los Canales (I/O) de Expansión de las computadoras PC AT.....	145
APENDICE 3	
Instalación física de los controles en la red eléctrica.....	151
Control proporcional.....	151
Control TODO/NADA para luminarias.....	152
Control TODO/NADA para tomas.....	153
Control de pulsos.....	154
APENDICE 4	
Hojas técnicas de los elementos utilizados en el diseño de los circuitos de control.....	156
Bibliografía.....	191

INTRODUCCION

Con el transcurrir del tiempo, tanto la vida profesional como la vida cotidiana común se ha visto envuelta en un creciente desarrollo tecnológico, en el que la electrónica y la computación han logrado avances considerables. Este desarrollo ha ido permitiendo que más gente interactue estrechamente en ese medio, a tal grado que gran parte de la tecnología se dedica a la satisfacción de las necesidades de comodidad y de entretenimiento en el hogar y la vida profesional.

La flexibilidad que ofrecen los sistemas con computadores permite que estos se utilicen para una gran variedad de diseños y tareas. Es en esta área donde se plantea un reto para los profesionales de la electrónica y computación, orientando sus esfuerzos e investigaciones para encontrar la forma de explotar la capacidad de los sistemas y dedicarlos a tareas específicas que no sean exclusivas de oficinas, laboratorios y centros de estudios.

El objeto de estudio para las aplicaciones de control desde la computadora, debe de enmarcarse en su estructura interna y como interactúa con el mundo exterior, y en la forma en que los sistemas externos al microprocesador pueden interconectarse con éste por medio de dispositivos que sean totalmente compatibles, y además, en un lenguaje que sea capaz de dominar y manipular las operaciones con los puertos de comunicación con el objeto de aprovechar al máximo el potencial de la computadora.

De el resultado de la investigación de los objetos de estudio, se obtiene una aplicación específica de asignación de tareas de control sobre un sistema externo, implementado sobre la base de circuitos digitales, circuitos electrónicos y tiristores, en particular el triac por su

capacidad de manejar la potencia en corriente alterna que se le puede entregar a una carga; y un programa de aplicación que permite relacionar dos lenguajes de programación, uno para manejar bases de datos y el otro para manejar las operaciones de entrada y salida de la computadora.

En el presente documento se ha enfocado el objeto de estudio en las áreas específicas mencionadas:

El capítulo I trata sobre la arquitectura interna de una computadora y como están organizadas sus entradas y salidas, describiendo los elementos mas importantes que la componen y los elementos que sirven de interface para la comunicación del microprocesador con el exterior. Además se le da atención especial al chip 8255 que es el interface programable utilizado para el diseño del sistema.

En el capítulo II se estudian de forma general los circuitos digitales y electrónicos más importantes que pueden utilizarse para el diseño de un sistema de control.

En el capítulo III se detallan los diseños de todos los elementos del sistema, dejando constancia de los cálculos efectuados, y proporcionando los diagramas de bloques y esquemáticos de cada elemento.

El cuarto capítulo se exponen el lenguaje CLIPPER y los aspectos teóricos de las bases de datos. También se enumeran los comandos y funciones utilizados para la realización del programa de aplicación.

Si se toma en cuenta lo difícil que resulta obtener información específica sobre la utilización de una computadora para tareas de control con sistemas externos y de la ampliación de un sistema, se espera que la proposición en este documento de diseños sencillos, prácticos y de bajo costo, sirvan para orientar el enfoque de los posibles diseños de proyectos para la ampliación de puertos en una PC y el control de dispositivos externos.

CAPITULO I

ARQUITECTURA DE COMPUTADORAS Y SU ORGANIZACION DE ENTRADAS-SALIDAS

1.0 INTRODUCCION

Se presentan como base para el diseño de cualquier dispositivo de Hardware, una descripción de los sistemas y sub sistemas que componen una tarjeta madre (motherboard) y como se organizan las operaciones y dispositivos de Entrada-Salida(E/S).

1.1 ARQUITECTURA DE COMPUTADORAS.

1.1.1- LA TARJETA MADRE (MOTHERBOARD).

Esta tarjeta representa el corazón de todo el sistema y esta conformada por una tarjeta con un circuito impreso a doble lado, compuesta por varios circuitos integrados de tecnología VLSI.

Los dispositivos mas importantes de una motherboard son los siguientes:

- 1) El microprocesador de la familia 80xxx.
- 2) El coprocesador matemático.
- 3) La memoria ROM (Read Only Memory)

4) La memoria RAM (Random Access Memory)

5) Sistema de soporte para el microprocesador constituido por:

- El controlador programable de interrupciones

- El controlador DMA

- El generador de reloj

- El contador de intervalos de tiempo programable

- Controladores de vídeo

- Controladores de entrada/salida

6) Conectores (SLOTS) para entradas y salidas I/O

1.1.2 - EL MICROPROCESADOR

En todos los PC, el microprocesador es el chip que ejecuta los programas. El microprocesador o unidad central de proceso, CPU(Central Process Unit) lleva a cabo una gran variedad de cálculos, comparaciones numéricas y transferencia de datos como respuesta a las peticiones de los programas almacenados en la memoria.

La CPU controla las operaciones básicas del ordenador enviando y recibiendo señales de control, direcciones de memoria y datos de un lugar a otro del ordenador a través de un grupo de sendas electrónicas llamadas BUS. Localizadas a lo largo del bus, están puertas de entrada y salida (E/S), las cuales conectan a la memoria y a los chips de apoyo al bus. Los datos pasan a través de estas puertas de E/S mientras viajan desde y hasta la CPU y otras partes del ordenador.

El CPU puede ser un microprocesador de la familia 80xxx de la línea INTEL Corp. por ejemplo, 8086, 8088, 80286, 80386 y 80486. A continuación puntualizaremos las semejanzas y diferencias entre los diferentes microprocesadores:

- El chip 8088 usado en una PC original, es una variante del procesador de 16 bits 8086, que usa un bus de 8 bits que hace mas barata su construcción. Dentro del 8088, 14 registros proporcionan un área de trabajo para la transferencia de datos y proceso. Estos registros internos que forman un área de trabajo de 28 bytes, son capaces de almacenar temporalmente datos, direcciones de memoria, instrucciones de punteros e indicadores de estado y control. a través de estos registros, el 8088 puede acceder más de 1 Mbyte de memoria.
- El 8086 difiere del 8088 en que utiliza un bus de 16 bits en lugar del bus de 8 bits del 8088. Básicamente para efectos de programación los dos microprocesadores pueden considerarse idénticos. La PC XT (XT por tecnología extra) fue adelantada para que pudiera usar cualquiera de los dos chips. El último era un chip primitivo del que fue escrito para el

original pc-dos. Este podía mover datos hacia adentro y hacia afuera, pero tenía un set de instrucciones más pequeño (no tenía muchas operaciones de salida).

- La PC AT- INTEL 80286. En 1984 Intel terminó de mejorar los 8088 y el 8086 dentro de un manejador de datos individual, designado como el 80286. Este nuevo chip ofrecía la ventaja de velocidades de reloj más grandes y la habilidad de manejar memoria adicional, arriba de 16MB comparado con el límite de los 640K de las XT. La AT viene con 1024K o redondeando a 1MB de memoria. el hard disk, almacenaba 20MB de datos, que es el doble de la capacidad del disco duro de una XT. Aun que tiene características extras de programación que le permiten ejecutar los programas mucho más rápido que el.
- Maquinas 386 -INTEL80386. Este microprocesador puede procesar datos de 32 bits y realizar dos o más tareas a la vez, puede manejar directamente 4GIGABYTS de memoria comparado con el límite de 16MB de las ATs.
- Maquinas 486- INTEL 80486. La mejora de este chip se encuentra en su velocidad de procesamiento al combinar las habilidades del CPU 80386, el coprocesador 80387, y muchas características importantes que requerirían de una gran cantidad de chips complejos.

La tabla siguiente es una tabla comparativa de los diferentes CPUs de la línea INTEL que permite comparar sus capacidades.

COMPAÑIA	MICROPROCESADOR	TAMAÑO DE PALABRA(bits)	VELOC DE RELOJ(MHZ)	MODELOS QUE USAN EL MICRO
Zilog	Z-80A	8	4	Radio Shack Personales Sistema Sanyo MBC/250 Epson QX-10
Mostee	6502	80	4	Apple lie Atari 800 Commodore 64
Intel	8086	16	8	Compatibles co IBM
Intel	8088	16	8	PC y XT IBM Compac portable HP 150 touch screen
Intel	80286	16	8-12	IBM AT ITT XTRA 286
Motorola	68000	32	12.5	Radio Shack TRS-80 modelo 16B Apple Macintosh
Motorola	68020	32	12.5-32	Macintosh II
Motorola	68030	32		Macintosh lix NeXT computer
Motorola	68040	32		Hewlett Packard workstations
Intel	80386	32	16-32	Compack Deskpro 386 IBM PS/2 modelo 80
Intel	80486	32	33-40-66	IBM PS/2 modelo 70
intel	i860	64		

Tabla 1.1. Tabla comparativa de las capacidades de los diferentes microprocesadores.

1.1.3- EL COPROCESADOR MATEMATICO

El 8086, 80286, 80386 y 80486 pueden trabajar solo con enteros. Para ejecutar operaciones en punto flotante en un microprocesador de la familia 8086, se deben representar los valores en punto flotante en la memoria y manipularlos utilizando solo operaciones de enteros. Lo que ocasiona que el programa se ejecute muy lentamente.

La solución consiste en utilizar un procesador matemático para ejecutar los cálculos en punto flotante. Cada uno de los microprocesadores de la familia 8086 dispone de un coprocesador

matemático que lo acompaña por ejemplo, el coprocesador 8087 se utiliza con el 8086 u 8088.

Fundamentalmente los coprocesadores matemáticos son lo mismo: todos ejecutan operaciones aritméticas con un alto grado de precisión y con mucha más velocidad que la alcanzada con la simulación por software mediante enteros. resumiendo los programas que utilicen coprocesadores matemáticos para realizar operaciones complejas, serán ejecutadas hasta 10 veces más rápido que si se utilizaran emulación con enteros.

1.1.4 SISTEMA DE MEMORIA.

La memoria del computador se encuentra dividida en : memoria fija ROM (Read Only Memory) y en memoria volátil RAM(Random Access Memory). El número y la capacidad de almacenamiento de los chips que hay en el ordenador determinan la cantidad de memoria que podremos utilizar para los programas y los datos. Aunque esto varia de un ordenador a otro, todos vienen con un mínimo de 40 KB de ROM y entre 64 KB y 2MB de RAM ; tanto la capacidad de la RAM como la de la ROM puede aumentarse instalando chips adicionales. Pero esta división es solo el punto de vista físico de la memoria, un programa no ve a la memoria como un conjunto de chips individuales, sino como un conjunto de millones de celdas de almacenamiento de 8 bits (1 byte), cada una con una única dirección.

Cada byte se relaciona con una dirección numérica de 20 bits; en el esquema de memoria del 8086, esto le da un espacio de direcciones en un rango de valores comprendido entre 00000H a FFFFFH, (0 a 1048576 en notación decimal).

De la misma forma, el esquema de direccionamiento de 24 bits del 80286 le permite utilizar valores de direcciones extendidas en el rango 000000H a FFFFFFFH, o 16 MB. El 80386 y el 80486 pueden utilizar direcciones extendidas de 32 bits, con lo que el valor de la dirección máxima es de 4294967296 bytes, o 4 gigabytes (GB) de memoria.

1.1.5 EL MAPA DE MEMORIA DEL SISTEMA.

En el PC original, el espacio de direcciones de 1 MB de memoria estaba dividido en varias áreas funcionales. Este mapa de memoria se ha repetido en los siguientes modelos de PC para mantener la compatibilidad.

Parte del diseño de las nuevas PC es consecuencia del diseño del microprocesador 8086. Por ejemplo, el 8086 siempre mantiene una lista de vectores de interrupción (direcciones de las rutinas de gestión de interrupciones) en los primeros 1024 bytes de RAM. De la misma forma, todos los ordenadores basados en el 8086 tienen la memoria ROM en lo más alto del MB de memoria, debido a que, cuando el 8086 se enciende, ejecuta el programa que comienza en la dirección FFFF0H.

El resto del mapa de memoria sigue la división general entre la RAM, en la parte baja, y la ROM, en la parte alta. Puede haber un máximo de 640KB de RAM entre las direcciones 00000H Y 9FFFFH. (este es el área de memoria descrito por el programa del DOS CHK DSK.) Los siguientes bloques de memoria se reservan para la RAM de vídeo (de A0000H A DFFFFH), módulos de ROM instalables de C0000H a DFFFFH y ROM permanentes de E0000H a FFFFFFFH).

Parte del diseño del mapa de memoria del PC es consecuencia del diseño del microprocesador 8086.

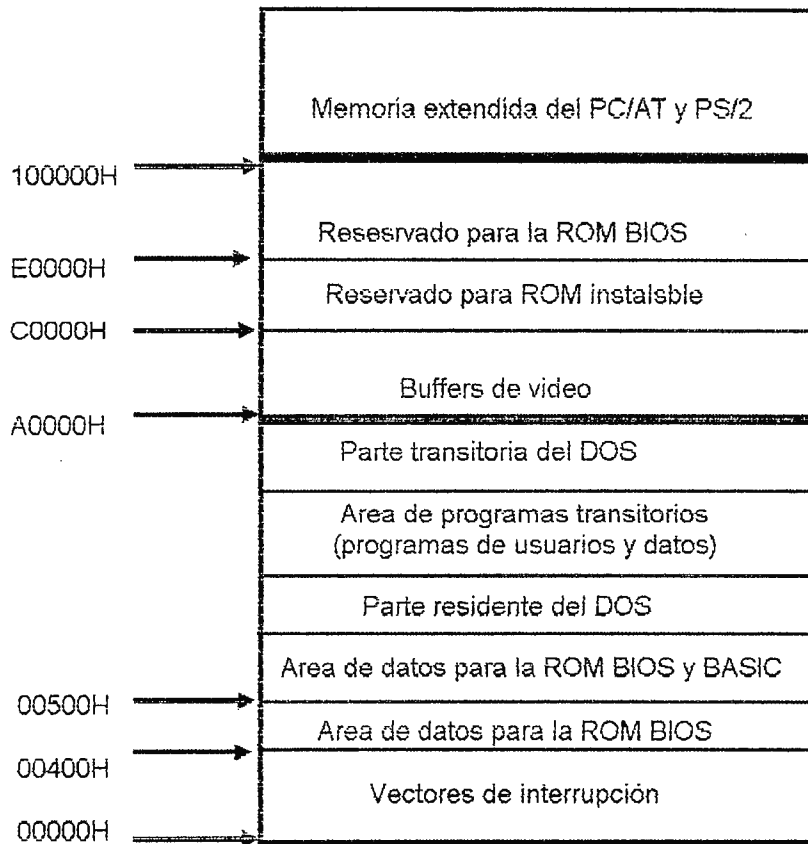


Fig. 1.1 Esquema de la utilización de la memoria en los PC.

1.1.6 EL CONTROLADOR PROGRAMABLE DE INTERRUPCIONES.

En un PC, una de las tareas esenciales de la CPU consiste en responder a las interrupciones del hardware. Una interrupción del hardware es una señal generada por un componente del

ordenador que indica que ese componente requiere la atención de la CPU. Por ejemplo, el reloj del sistema, el teclado y los controladores de disco generan todas las interrupciones de hardware en distintos momentos. La CPU responde a cada interrupción llevando a cabo la actividad de hardware apropiada, como procesando una pulsación de tecla.

Cada PC tiene un circuito PIC (Programmable Interrupt Controller), controlador programable de interrupciones, que comprueba las interrupciones y las presenta una a una a la CPU.

La CPU responde a esas interrupciones ejecutando una rutina especial del software denominada rutina de tratamiento de la interrupción. Debido a que cada interrupción del hardware tiene su propia rutina de interrupción en la ROM BIOS o en el DOS, la CPU puede reconocer y responder específicamente al hardware que genera cada interrupción.

1.1.7 CONTROLADOR DMA

Algunas partes del ordenador pueden transferir datos hacia y desde la memoria sin tener que pasar a través de la CPU. Esta operación es llamada acceso directo a memoria, DMA, (Direct Memory Access), y la realiza el chip conocido como el controlador DMA. El propósito principal del controlador DMA es el de permitir a las unidades de disco leer o escribir datos prescindiendo del microprocesador. Debido a que la E/S del disco es relativamente lenta comparada con la velocidad del microprocesador, el DMA acelera un poco las prestaciones globales del ordenador.

1.1.8. EL GENERADOR DE RELOJ

El generador de reloj suministra las señales multifase de reloj que coordinan el microprocesador y los periféricos. El generador de reloj produce una señal oscilante de alta frecuencia. Otros chips que también necesitan una señal de tiempo regular la obtienen del generador de reloj del sistema, dividiendo la frecuencia base por una constante para obtener la frecuencia que necesitan para realizar sus actividades.

1.1.9 EL CONTADOR DE INTERVALOS DE TIEMPO PROGRAMABLE

Este genera señales de tiempo a intervalos de tiempo regulares controlados por software. El chip puede generar señales en 3 o cuatro canales diferentes a la vez, dependiendo del modelo de PC que se trate.

Las señales del contador se utilizan para varias tareas del sistema una función esencial del contador es la de generar una señal de reloj que mantenga actualizada la hora del día. Otra señal puede ser utilizada para controlar la frecuencia de los tonos producidos por el altavoz del ordenador.

1.1.10 CONTROLADORES DE VIDEO

La mayoría de subsistemas de vídeo disponibles presentan una gran variedad de interface de control al hardware de vídeo programables. Por ejemplo, todo los subsistemas de vídeo tienen un circuito controlador de rayos catódicos (CRT), para coordinar la señal de tiempo que controla la pantalla de vídeo.

1.1.11 CONTROLADORES DE E/S

Las PC tienen varios subsistemas de E/S con circuitería de control especializada que proporciona un interfaz entre el CPU y el hardware de E/S.

Raramente debe preocuparse por la programación directa de estos controladores de hardware, ya que la ROM BIOS y el DOS proporcionan servicios que tienen en cuenta estas funciones de bajo nivel.

1.1.12 SISTEMA DE BUSES

El bus es, simplemente un camino a través de la placa principal al cual están conectados todos los elementos de control del ordenador. Cada microprocesador, chip de control, y cada byte de memoria de la PC están conectados directa o indirectamente al bus. Cuando se conecta un nuevo adaptador en uno de los canales de expansión, en realidad se conecta directamente al bus, convirtiéndose entonces el adaptador en otro más de los componentes del sistema.

Cualquier información que entre o salga de un ordenador se almacena temporalmente, como mínimo, en una de las diversas ubicaciones a lo largo del bus. Los datos se sitúan, normalmente, en la memoria principal, la cual consta en la familia PC de miles o millones de celdas de 8 bits. Pero algunos datos pueden terminar en un puerto o en un registro durante un breve tiempo a la espera de que la CPU los envíe a su ubicación propia.

Cuando una celda de memoria o un puerto se utiliza como un lugar de almacenamiento, su ubicación se determina por una dirección que únicamente lo identifica a él. Cuando los datos están listos para ser transferidos, su dirección de destino se transmite en primer lugar a través del bus de direcciones; los datos se transmiten después a través del bus de datos. Así pues, en el bus se transporta electricidad e información de control, por ejemplo, las señales de tiempo y señales de interrupción, así como las direcciones de las celdas de memoria y de los diversos dispositivos conectados a él. Para poder desarrollar estas cuatro funciones diferentes el bus esta dividido en cuatro partes: las líneas de fuerza, el bus de control, el bus de direcciones y el bus de datos.

1.1.13 EL BUS DE DIRECCIONES

El bus de direcciones de la mayoría de las PC's compatibles , utilizan 20 líneas de señal para transmitir las direcciones de memoria y de los dispositivos conectados al bus. Como a través de cada una de las 20 líneas de señal pueden viajar dos posibles valores, 0 ó 1, el ordenador puede especificar 2^{20} direcciones para el 8088 y 8086.

El 80286 puede direccionar 2^{20} bytes de memoria, así es que se dispone de un bus de direcciones de 24 líneas. En los modelos basados en el 80386, el bus tiene una capacidad de direccionamiento de 32 bits al igual en los basados en el 80486.

1.1.14 EL BUS DE DATOS

Este trabaja con el bus de direcciones para transportar los datos a través del ordenador. El sistema PC basado en el 8088 utiliza un bus de datos que tiene 8 líneas de señal, cada uno

de los cuales transporta un dígito binario simple; los datos se transmiten a través de este bus de 8 líneas en unidades de 8 bits (un byte). El 80286 utiliza un bus de datos de 16 bits, y por tanto, transporta datos en unidades de 16 bits (una palabra). El bus de datos de 16 bits del 80286 le permite manejar los datos con más eficiencia que el 8088. En el 80386 y el 80486 el bus de datos es de 32 bits.

1.1.15 SLOTS DE EXPANSIÓN (CONECTORES PARA ENTRADAS Y SALIDAS)

Los circuitos de transporte de datos en la motherboard, son en la PC los buses de datos. Desde que los slots de expansión permiten agregar tarjetas lógicas de extensión de la motherboard los slots son considerados ellos mismo como buses de datos.

El bus de expansión ISA (Industry Standard Architecture) es la estructura original del bus utilizada por los IBM PC, PC XT, y la PC AT.

Cuando se conecta una tarjeta de expansión ISA, unas lengüetas angostas en el fondo de la tarjeta con pistas metálicas son presionados dentro del slot de expansión. La primera generación de PCs y XTs usaban slots de expansión de 8 bits que aceptaban conectores con impreso a un solo lado. La PC AT introduce una arquitectura de 16 bits que requiere de más conexiones, tal como un segundo slot ubicado adecuadamente. Las tarjetas de 16 bits para acceso al bus ISA tiene dos conectores al fondo de la tarjeta, uno para cada slot. Un conector individual, una tarjeta de 8 bits trabaja perfectamente con un bus de 16 bits; esto es simple porque deja vacíos 8 bits del segundo conector.

Las IBM PCs originales tienen 5 slots de expansión de 8 bits, y las XTs tienen 8. Hoy en día las ATs tienen 6 slots ISA de 16 bits y 2 slots ISA de 8 bits las PCs de hoy usan este o un

arreglo similar. Los slots de 8 bits son para tarjeta de módem o cualquier otro dispositivo simple. Los slots de 16 bits mantienen las tarjetas de memoria y otros dispositivos mas complejos. Algunos clones proveen slots especiales de 32 bits para tarjetas de expansión de memorias fabricadas especialmente para dichas máquinas.

Todos los slots se encuentran configurados de la misma forma y todas sus señales son compatibles con la tecnología TTL.

En general, a través de estos canales se tiene acceso a:

- Voltajes de control $V_{cc}=5v$, $V_{ss}=0v$, $V_1=12v$, $V_2= -12v$.
- Direccionamiento I/O desde 0100H hasta 03FFH.
- Las 24 líneas de direccionamiento de memoria hasta 16mbytes
- Bus de datos de 8 y 16 bits
- Líneas del canal DMA
- Líneas de solicitud de interrupción (IRQ)
- Línea para el refrescamiento de memoria
- Generación de estados de espera
- Apertura del sistema de buses para permitir que otro microprocesador pueda tener acceso y compartir el sistema.

La descripción de cada una de las líneas se presenta en el apéndice II.

1.2 ORGANIZACION DE ENTRADA-SALIDA

Las computadoras procesan gran cantidad de información y realizan miles de decisiones por segundo. Por lo que se requiere que los periféricos utilicen esta potencia para realizar sus

operaciones simples o complejas. La mayoría de periféricos son tan lentos que disminuyen el rendimiento de la computadora. El problema básico de conectar el mundo exterior con el CPU radica en que las señales que circulan entre estos son incompatibles, los niveles de señal que utilizan los distintos tipos de periféricos son diferentes o tienen distinto formato de datos. Este problema puede resolverse conectando una interfaz de ENTRADA/SALIDA entre la computadora y el periférico para hacer compatible la comunicación.

1.2.1 OPERACIONES DE ENTRADA Y SALIDA (E/S)

Debido a que una computadora tiene conectado más de un dispositivo, debe buscarse un medio para seleccionar uno de los dispositivos para que participe en la operación de E/S. Esto se logra haciendo un arreglo de bus de E/S según se muestra en la figura 1.2

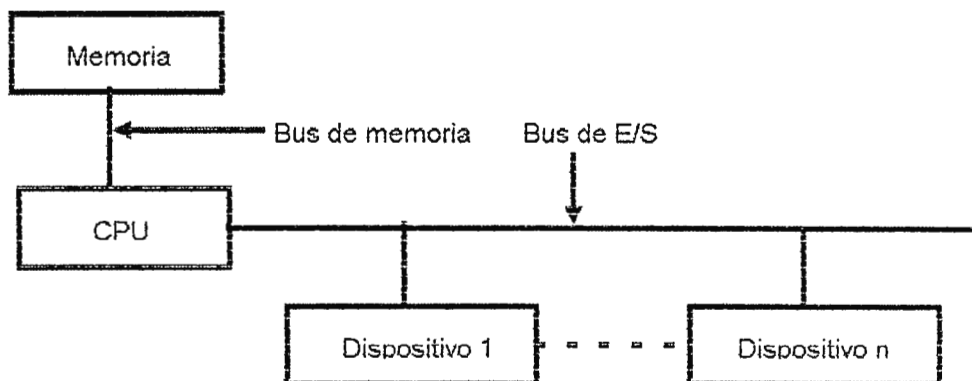


Fig. 1.2 Uso del bus de E/S.

Este bus consiste en tres conjuntos de líneas que se utilizan en la transmisión de direcciones, datos y señales de control. Por lo tanto, si a cada dispositivo se le asigna una dirección de identificación, el CPU puede seleccionar un dispositivo si coloca su dirección en las líneas de dirección. A esto se le conoce como direccionamiento de los dispositivos de E/S.

La familia de los microprocesadores 8086 controla y se comunica con muchas partes del ordenador a través de la utilización de los puertos E/S. Los puertos de E/S son las entradas a través de las cuales pasa la información, tanto como desde o hacia un dispositivo de E/S, como un teclado o una impresora. A la mayoría de los chips de apoyo se les accede a través de los puertos de E/S; de hecho, cada chip puede utilizar varias direcciones de puertos para propósitos diferentes. Cada puerto es identificado por un número de puerto de 16 bits, el cual puede variar en un rango de 00H a FFFFH (65535). El CPU identifica a cada puerto en particular por su número.

Tal como hace cuando accede a la memoria, la CPU utiliza los buses de datos y direcciones como conductos para comunicarse con los puertos. Para acceder a los puertos, la CPU manda primero una señal en el bus del sistema para avisar a todos los dispositivos de E/S de que la dirección que va en el bus es la de un puerto. La CPU envía entonces la dirección del puerto. El dispositivo cuya dirección de puerto conocida responderá.

El número de puerto direcciona una ubicación en memoria que esta asociada con un dispositivo de E/S pero que no forma parte de la memoria principal. En otras palabras, un número de puerto de E/S no es lo mismo que una dirección de memoria. Por ejemplo, el puerto de E/S 3D8H no tiene nada que ver con la dirección de memoria 003D8H. Para acceder a un puerto no se utilizan las instrucciones de transferencia de datos como MOV y

STOS. En vez de ellos se utilizan las instrucciones que están reservadas para el acceso a los puertos de E/S.

Las asignaciones de los números de los puertos difieren ligeramente entre los miembros de la familia PC, pero en general, la IBM a reservado los mismos rangos de números de puertos para los mismos dispositivos en todos los PC y los PS/2 , como puede observarse en la tabla 1.2

DESCRIPCION	NUMEROS DE PUERTO DE ENTRDA-SALIDA (E/S)	COMENTARIO
Controlador DMA	00H-0FH	
Punto de prueba del diseñador	10H	
Controlador programable de interrupciones(maestro)	20H-3FH	
Controlador de tiempo del sistema	40H-5FH	
Controlador de teclado	60H-6FH	En el PS/2 modelo 30, los puertos 60H-6FH están reservados para control y estado de la palabra principal.
Puerto de control del sistema B	61H	Sólo en PS/2 modelos 50, 60, y 80
Reloj de tiempo real, máscara NMI	70H-7FH	En el PC, PC/XT y PS/2 modelo 30, la máscara NMI está en el puerto A0H
Puerto de control del sistema A	92H	Sólo en PS/2 modelos 50, 60, y 80
Controlador programable de interrupciones (esclavo)	A0H-BFH	Sólo en el PS/2 modelo 30, A0H-AFH
Reloj de tiempo real	B0H-BFH E0H-EFH	Sólo en el PS/2 modelo 30
Desocupa el coprocesador matemático	F0H	
inicializa el coprocesador matemático	F1H	
Coprocesador matemático	F8H-FFH	
Controlador de disco duro	1F0H-1F8H	
Adaptador de control de juegos	200H-207H	

Unidad de expansión	210H-217H	
Impresora paralelo 3	278H-27BH	
Comunicaciones serie 2	2F8H-2FFH	
Reservado para tarjetas prototipo	300H-31FH	
Controlador de disco duro	320H-32FH	PC/XT y PS/2 modelo 30
Red PC	360H-363H 368H-36BH	
Impresora paralelo 2	378H-37BH	
Adaptador de pantalla monocromo(MDA)	3B0H-3BBH	También utilizado por EGA y VGA en modo de video monocromo
Impresora paralelo 1	3BCH-3BFH	
Adaptador gráfico avanzado(EGA). Matriz gráfica de video(VGA)	3C0H-3CFH	
Adaptador gráfico de colores(CGA)	3D0H-3DFH	También utilizado por EGA y VGA en modo de color
Controlador de diskette	3F0H-3F7H	
Comunicaciones serie 1	3F8H- 3FFH	

Tabla 1.2. Mapa de direccionamiento de los dispositivos periféricos.

1.2.2 INTERFACES DE E/S

La palabra "INTERFAZ" se refiere a la frontera entre dos dispositivos o circuitos. Un estándar para esta interfaz abarca un conjunto de especificaciones de las características funcionales, eléctricas y mecánicas de todas las líneas de señales y de energía que atraviesan esa frontera.

La función de una interfaz de E/S es coordinar la transferencia de datos entre la CPU y algún dispositivo externo. Por lo que las funciones de esta pueden clasificarse de la siguiente forma:

1. Almacenar la condición del dispositivo, para presentárselas a la computadora cuando se requiera. Para esto se utiliza un registro de condición de dispositivo.

2. Proporcionar espacio de almacenamiento para por lo menos un carácter de dato, o una palabra, que se utilizará al transferir datos hacia o desde la computadora.
3. Reconocer la dirección del dispositivo cuando dicha dirección aparezca en las líneas de dirección de E/S.
4. Proporcionar señales de temporización y manejo por computadora adecuadas para manejar la transferencia de datos o de información de condición, según se necesite.

La interfaz de E/S consiste en la circuitería necesaria para transferir datos entre el bus de E/S de una computadora y algún dispositivo de E/S. Por lo tanto en un lado de la interfaz se tienen las señales de bus: direcciones, datos y control. En el otro lado se tiene la ruta de datos, con sus controles asociados, la cual permite las transferencias entre la interfaz y el dispositivo de E/S. Es obvio que este lado depende del dispositivo. Sin embargo, puede establecerse la clasificación general de interfaces, la cual surgió de la necesidad de evitarse un problema muy grande al fabricar dispositivos de E/S con una interfaz particular, esto llevo a los constructores de dispositivos de E/S a construirlos mediante la utilización de una interfaz normalizada de la que existen cuatro tipos de interfaz de E/S:

- En paralelo
- En serie
- IEEE-488
- Analógicas.

1.2.3 INTERFAZ EN PARALELO

Esta se utiliza para transferir los bits de una palabra de datos en formato paralelo todos a la vez. Para transferir una palabra del bus de datos a un periférico, los datos se introducen en paralelo a la interfaz y son emitidos de esta en paralelo al periférico.

1.2.4 INTERFAZ EN SERIE

Esta se utiliza para transferir datos a un periférico un bit a la vez. Los datos entran a la interfaz en formato paralelo y salen de la interfaz hacia el periférico como una corriente de bits.

En este formato debe tenerse en cuenta la existencia de las dos normas para la transferencia de datos. Estas normas son la RS232 y el circuito de corriente de 20mA. Las dos normas utilizan niveles lógicos diferentes a los niveles utilizados por TTL. Se utiliza lógica negativa para los unos y ceros de un carácter en serie asincrónico RS-232C. El uno lógico es un voltaje entre -3Vcd y -25Vcd. El cero lógico es un voltaje entre +3Vcd y +25Vcd.

El circuito de corriente de 20mA utiliza la presencia o ausencia de corriente para representar los unos y los ceros de un carácter de serie asincrónico. un uno lógico equivale a un flujo de corriente de 20mA. El cero lógico se representa por la ausencia del flujo de corriente.

Las normas RS-232c y de circuito de corriente de 20mA no limitan el tipo de caracteres en serie asincrónica que pueden transferirse. Se puede utilizar cualquier longitud de carácter, número de bits de datos o secuencia de bit.

1.2.5 LA INTERFAZ ANALOGICA

Se utiliza para convertir datos señales analógicas en AC o DC en datos digitales equivalentes. o en forma inversa, es decir datos digitales en señales analógicas equivalentes.

1.2.6 LA INTERFAZ IEEE-488:

Utilizada para transferir datos en operaciones de control, es una interfaz estándar que define un conjunto de señales de interfaz específicas. Permite que los instrumentos programables conforme a la norma IEEE-488 se conecten entre si por medio de un bus único.

Existen muchos circuitos de interfaz utilizados para conectar la computadora con un periférico. Dichos circuitos son fabricados frecuentemente para un sistema específico, pero sin embargo pueden ser utilizados por otros sistemas, lo cual los hace universales, por ejemplo en la familia 80XXX puede ser usada tanto una PPI de Intel como una PIA de la motorola, este tipo de interfaces son conocidos como de propósitos generales debido a que son fabricados con tecnología LSI permiten una gran flexibilidad en sus diseños, dando la posibilidad de poder ser programados y dedicarlos también a funciones específicas. A continuación describiremos algunos de los dispositivos mas usados de cada una de las familias.

1.2.7 PIA (PERIPHERAL INTERFACE ADAPTER)

Este es un dispositivo que provee un significado simple para las interfaces de equipos periféricos de forma paralela al sistema 6800. Posee 3 registros internos por cada puerto, 3 para el puerto A y 3 para el puerto B; cada puerto es de 8 líneas con lo cual este dispositivo

proporciona 16 líneas de E/S, además de cuatro líneas de control del lado del periférico para conectar unidades externas. La PIA (el 6820) posee salidas que son compatibles con TTL o CMOS.

1.2.8 UART (UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER)

Debido a que las computadoras son sistemas paralelos, se necesita convertir el byte de datos a datos series y de series a paralelo. Las dos maneras de realizar esta conversión es por medio de software o por medio de esta unidad.

La UART es un diseño estándar con tecnología LSI. Su función principal es tomar los datos en paralelo y convertirlos en una corriente de bits con bit de start, paridad, y stop de carácter, y tomar una corriente de bits en serie y convertirlos en paralelo. La UART requiere ambos puertos uno de entrada y uno de salida para realizar la interface con el sistema , así las UARTs subsecuentes fueron diseñadas para ser compatibles con el bus del microprocesador. Dos de estos modelos son el motorola MC6850 conocida como ACIA, y el Intel 8251 conocido como USART.

1.2.9 ACIA (ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER)

Este dispositivo está diseñado para aceptar datos paralelos provenientes del sistema de bus del microprocesador y convertirlos en datos seriales para transmitirlos a un dispositivo que trabaje con bits en serie asincrono. Los registros de control del ACIA son programados a través del sistema de bus del microprocesador durante la inicialización. Esto determina los

bits del tamaño de la palabra, paridad, parada y el control de interrupciones de las funciones de transmisión y recepción.

1.2.10 USART (UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER-TRANSMITTER)

Este dispositivo difiere del ACIA únicamente en que provee de recepción y transmisión sincrónica. Tiene cinco registros, internos, uno de los cuales es el registro de MODO que determina si se trabajará en modo sincrónico o asincrónico.

1.2.11 GPIB (GENERAL PURPOSE INTERFACE BUS)

El bus IEEE-488 estándar conocido como bus de interfaz universal, sirve como nexo para las comunicaciones entre dos y hasta quince instrumentos equipados con el bus IEEE-488. Se utilizan las mismas líneas para transferir órdenes de interfaz desde un controlador hasta cualquier instrumento conectado al bus IEEE-488. Las órdenes de interfaz a partir de un controlador configuran a los instrumentos para que funcionen como transmisores o receptores.

1.2.12 GPIA (GENERAL PURPOSE INTERFACE ADAPTER)

El bus estándar IEEE-488 (también conocido como GPIB-Bus de Interfaz Universal) (General Purpose Interface Bus) consta de 16 líneas. Sirve como nexo para las comunicaciones entre dos o hasta quince instrumentos equipados con el bus IEEE-488. Las ocho líneas DIO1 A DIO8 transfieren datos de los transmisores a los receptores. Se utilizan las mismas líneas de

datos para transferir órdenes de interfaz desde un controlador hasta cualquier instrumento conectado con el bus IEEE-488. Las órdenes de interfaz a partir de un controlador configuran a los instrumentos para que funcionen como transmisores o receptores.

Las líneas DAV, NRFD Y NDAC son las líneas de intercomunicación. Estas líneas se utilizan para controlar el flujo de datos y las órdenes entre dos instrumentos.

Las cinco líneas restantes son las líneas de gestión de la interfaz. Están marcadas IFC, ATN, SRQ, REN Y EOI. Estas líneas portan señales de control , así como información de estado sobre todos los dispositivos conectados con el bus IEEE-488. La Interfaz Adaptadora Universal (GPIA) de 40 clavijas, hace interfaz entre la CPU y el bus de instrumentación IEEE-488. La GPIA cumple con todas las funciones de interfaz del IEEE-488, excepto las de controlador. La interfaz eléctrica entre el bus IEEE-488 y la GPIA la suministran los transistores de bus.

1.2.13 PPI (PROGRAMMABLE PERIPHERAL INTERFACE)

Un dispositivo que contiene 4 puertos, 2 de 8 bits cada uno y 2 de 4 bits cada uno. Cada puerto puede ser programado por medio del modo de registro de control para ser todas las líneas entradas, o todas salidas, o para función especial. En el modo de función especial la mitad del puerto C es usada para señales de handshaking. Este dispositivo Intel no es programable por bit, pero ofrece cuatro líneas de control. De cualquier manera las funciones desarrolladas son análogas a las de una PIA o VIA, en efecto cualquiera de ellas puede ser usada en la familia 80XXX. Cada fabricante de microprocesadores tiene su propia versión de una interface paralela programable. Su función es esencialmente similar. El circuito integrado

Intel 88255 es un PPI con encapsulado de doble línea de 40 pines, de los cuales 24 son para líneas de entrada/salida.

1.2.13.1 MODOS DE OPERACION DEL PPI 8255

El 8255 está conformado por dos grupos de buses de 12 bits cada uno. El grupo A que es el puerto A más los cuatro bits más significativos del puerto C y el grupo B formado por el puerto B más los cuatro bits menos significativos del puerto C.

Los tres puertos pueden ser programados no necesariamente de la misma manera y tienen una gran variedad de aplicaciones, pero cada uno posee sus características propias para lograr una mayor flexibilidad.

El 8255 se programa en cualquiera de tres modos de operación, MODO 0, MODO 1 y MODO 2, por medio de un byte o palabra de control enviada por el microprocesador para seleccionar el modo de operación en cualquiera de los dos grupos A o B.

Según sea seleccionado un modo de operación por el microprocesador, estos pueden ser:

Modo 0, entrada / salida elemental

Modo 1, entrada / salida con protocolo

Modo 2, puerto bidireccional con protocolo

PUERTO A: Un 8 bit data output latch/buffer, y un 8 bit data input latch. Puede ser programado en cualquiera de los tres modos como entrada o salida o como un puerto

bidireccional, cuando se programa como bidireccional este se comporta como una extensión del bus de datos.

PUERTO B: Un 8 bit data input/output latch/buffer, y un 8 bit data input buffer. Puede ser programado en modo 0 y modo 1 como entradas o como salidas, pero no puede programarse como puerto bidireccional.

PUERTO C: Un 8 bit data output latch/buffer y un 8 bit data input buffer. Este puerto puede ser dividido en 2 puertos de 4 bits los cuatro mas significativos pueden ser programados como puerto de entrada y los menos significativos como puerto de salida, o a la inversa. También puede ser usado en combinación con el puerto A Y B para indicar las salidas de señales de control o las entradas de las señales de estado.

La forma de configurar el 8255A es escribiendo en la dirección adecuada el byte de control requerido. El formato del byte de control es el siguiente:

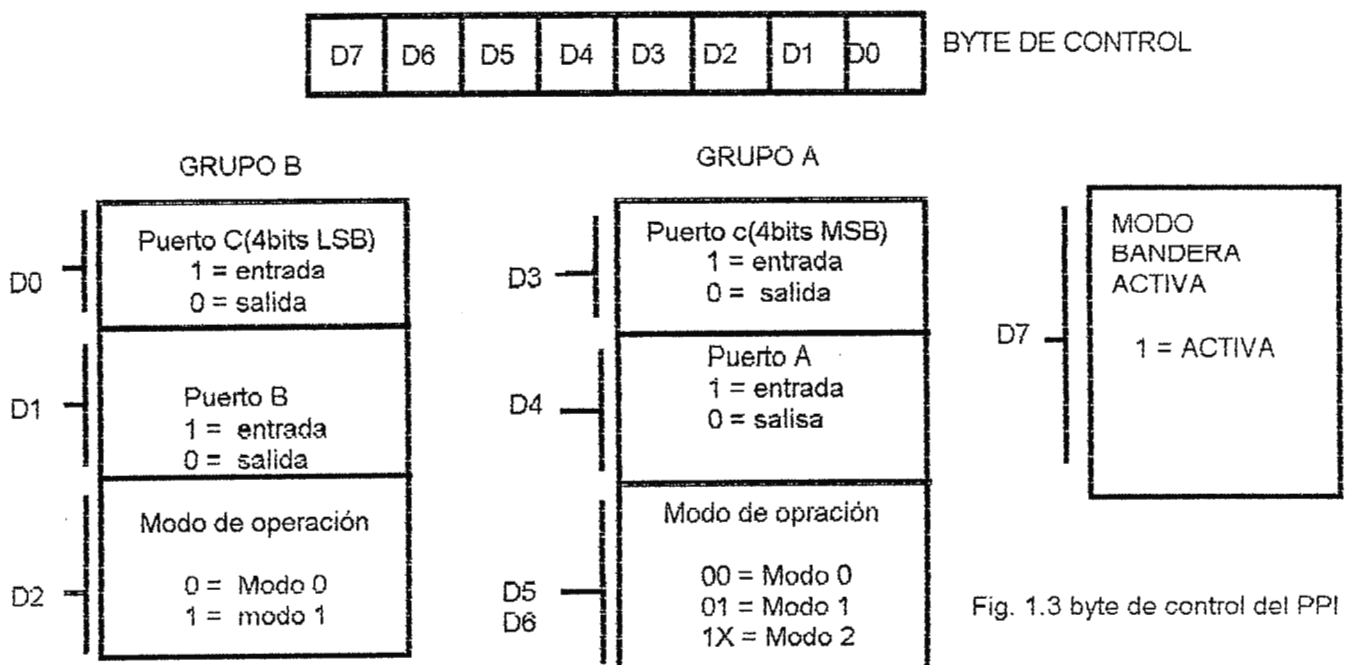


Fig. 1.3 byte de control del PPI

Los dos grupos de 12 bits pueden ser utilizados en tres modos principales de operación, dependiendo como se programe el bit de control. En el primer modo (modo cero) cada grupo puede ser programado en conjunto de cuatro bits para entradas o salidas.

En el segundo modo (modo 1) cada grupo puede se programado para tener 8 líneas de entrada u 8 de salida; de los cuatro pines restantes tres son utilizados para el handshaking y señales de control de interrupciones.

El tercero y último modo de operación (modo 2) es un modo para bus bidireccional que utiliza 8 líneas para el bus bidireccional y 5 líneas, utilizando una del otro grupo, para handshaking y control.

1.2..13.2 MODO 0: ENTRADA SALIDA ELEMENTAL

Proporciona simples entradas o salidas de datos en cualquiera de los tres puertos, es decir, el microprocesador puede leer o escribir datos en cualesquiera de los puertos especificados sin la utilización de protocolo o handshaking entre el equipo periférico y su dispositivo de interface. Este modo de operación se caracteriza por:

- Dos puertos de 8 bits y dos de 4 bits.
- Cualquier puerto puede ser entrada o salida.
- Las salidas son enclavadas hasta que otro dato es enviado por el microprocesador
- Las entradas no son enclavadas.
- En el byte de control, los bits D2, D5, D6 Y D7 deben programarse como D2,D5,D6=0, y D7=1
- Los bits restantes (D0, D1, D3 y D4) determinan si los puertos A, B y C serán entradas o

salidas lo que produce 16 formas distintas de combinar entradas y salidas en este modo. Lo anterior puede apreciarse en la siguiente tabla:

				GRUPO A		GRUPO B	
0	1	0	1	PUNTO A /A1B1	PUNTO C /A1B3	PUNTO B /A2B2	PUNTO D /A2B3
0	0	0	0	SALIDA	SALIDA	SALIDA	SALIDA
0	0	0	1	SALIDA	SALIDA	SALIDA	ENTRADA
0	0	1	0	SALIDA	SALIDA	ENTRADA	SALIDA
0	0	1	1	SALIDA	SALIDA	ENTRADA	ENTRADA
0	1	0	0	SALIDA	ENTRADA	SALIDA	SALIDA
0	1	0	1	SALIDA	ENTRADA	SALIDA	ENTRADA
0	1	1	0	SALIDA	ENTRADA	ENTRAD	SALIDA
0	1	1	1	SALIDA	ENTRAD	ENTRAD	ENTRAD
1	0	0	0	ENTRAD	SALIDA	SALIDA	SALIDA
1	0	0	1	ENTRAD	SALIDA	SALIDA	ENTRAD
1	0	1	0	ENTRAD	SALIDA	ENTRAD	SALIDA
1	0	1	1	ENTRAD	SALIDA	ENTRAD	ENTRAD
1	1	0	0	ENTRAD	ENTRAD	SALIDA	SALIDA
1	1	0	1	ENTRAD	ENTRAD	SALIDA	ENTRAD
1	1	1	0	ENTRAD	ENTRAD	ENTRAD	SALIDA
1	1	1	1	ENTRAD	ENTRAD	ENTRAD	ENTRAD

Tabla 1.3. Combinaciones ENTRADA/SALIDA para el MODO 0.

1.2.13.3 MODO 1: ENTRADA SALIDA CON PROTOCOLO (HANDSHAKING)

Permite comunicarse con el computador usando las señales de protocolo o handshaking. Las características principales de este modo son:

-Presenta dos grupos de líneas de comunicación.

-Cada grupo está compuesto de 8 bits de datos y un puerto de 4 bits para control (handshaking).

-El puerto de 8 bits puede ser de entrada o de salida. Las entradas y las salidas son enclavadas.

-El puerto de 4 bits es usado para controlar el estado del puerto de 8 bits.

Existen dos posibilidades para cada bloque, entrada con protocolo o salida con protocolo.

En la configuración como puerto de entrada con protocolo, las señales de handshaking son las siguientes:

a) - STB : Un 0 en esta señal de entrada carga el dato en el latch de entrada.

b) - IBF : Un uno en esta señal de salida, indica que el dato ha sido cargado en el latch de entrada.

c) - INTR: Un 1 en esta señal de salida puede ser utilizado para interrumpir cuando un dispositivo de entrada solicita servicio. Se activa cuando -STB e IBF son 1's y hay habilitación de interrupciones. Se desactiva cuando ocurre una operación de lectura.

La interrupción puede ser enmascarada o no mediante el set/reset del PC4 para el grupo A y el set/reset de PC2 para el grupo B.

En la configuración de puerto de salida con protocolo, la señal de handshaking son las siguientes:

a) -OBF: un 0 en esta señal de salida, indica que el CPU ha escrito un dato en el puerto de salida.

- b) -ACK un 0 en esta señal de entrada, le indica al PPI que el dato que se envió ha sido aceptado.
- c) INTR: Un 1 en esta señal de salida, puede utilizarse para interrumpir el CPU cuando un dispositivo de salida ha aceptado datos enviados por el CPU. Se activa cuando -OBF y -ACK son 1's y hay habilitación de interrupción. Se desactiva cuando hay una operación de escritura.

La interrupción puede enmascarse o no mediante el set/reset del PC6 para el grupo A o el set/reset del PC2 para el grupo B.

Los formatos del byte de control para el MODO 1 se muestra en el apéndice II

1.2.13.4 MODO 2 : PUERTO BIDIRECCIONAL CON PROTOCOLO

Este modo opera con un solo puerto que sirve para enviar y recibir datos utilizando señales de protocolo. Siendo exclusivo del puerto A, el puerto B no puede operar en esta configuración sin embargo podría ser programado en cualquiera de los otros modos 0 ó 1.

Algunas de las características especiales de este puerto son:

- Además de utilizar como puerto bidireccional puede ser usado como una extensión del bus de datos para los equipos periféricos.
- Las líneas PC7, PC6, PC5, PC4 y PC3 del puerto C son usadas para señales de handshaking.

- Las 3 líneas restantes del puerto C pueden ser programadas como 3 líneas de salida o 3 entradas, si el puerto B es programado en el modo 0 de operación. O pueden ser programadas como líneas para handshaking si el puerto B es en el modo 1 de operación.
- Las entradas y salidas son enclavadas.
- Función de control de interrupciones.

En el modo de operación 1 ó 2 las líneas de control han sido provistas para ser usadas como entradas de solicitud de interrupción al CPU (IRQ). Estas señales generadas del puerto C pueden ser habilitadas o inhibidas seteando o reseteando el flip-flop INTE respectivo con la función del puerto C de SET/RESET. Esta función permite al programador dar acceso o impedir al CPU sin afectar ninguna otra estructura de la interrupción.

El formato del byte de control para el MODO 2 se muestra en el apéndice II

1.2.13.5 COMBINACIÓN DE MODOS DE OPERACION

Los modos de operación del 8255 pueden ser combinados con la correcta programación del byte de control.

En el apéndice II se muestra una tabla con el listado de las posibles combinaciones de modos de operación para cada puerto.

1.2.13.6 FUNCION DE SET/RESET PARA BIT INDIVIDUAL DEL PUERTO C.

Cualquiera de los bits del puerto C pueden ser programados como unos lógicos (SET) o como ceros lógicos (RESET) usando una simple función de salida. Para hacer el seteo o reseteo cuando el puerto C esta siendo utilizado como puerto de estado o control para los puertos A o B, únicamente hay que mandar una salida al registro de control con D7=0. El formato de bit SET/ RESET para el byte de control se muestra en el apéndice II.

1.2.13.7 CONTROL DE INTERRUPCIONES

cuando se programa el 8255 para operar en el modo 1 ó modo 2, puede enviarse una señal de interrupción al microprocesador usando la línea INTR. Para que esta línea se ponga en "alto", deben de cumplirse ciertas condiciones. una de estas es que el flip-flop interno dl 8255 debe de estar en estado lógico de uno. Este flip-flop es programado usando un bit SET/RESET individual. El modo de operación y como sea que haya sido programado el puerto como salida o como entrada, determinara cual bit del puerto C debe de ser controlado.
(tabla en el apéndice II)

CAPITULO II

CIRCUITOS DIGITALES, ELECTRONICOS Y MANEJADORES DE POTENCIA

2.0 INTRODUCCION

En el siguiente capítulo se dará una descripción general de algunos circuitos digitales y electrónicos que son básicos para comprender el funcionamiento de un sistema con microprocesadores y que deben tomarse en cuenta para el diseño del hardware en una interfaz según se necesiten. Se dan también nociones sobre el uso de dispositivos con los que se puede manejar la cantidad de potencia entregada a una carga.

2.1.1 CIRCUITOS DIGITALES.

Los circuitos digitales se construyen con circuitos integrados. Un circuito integrado (IC) es un cristal semiconductor pequeño de silicio, que contiene componentes eléctricos como transistores, diodos, resistores y capacitores. Los distintos elementos están interconectados dentro de la pastilla para formar un circuito electrónico. Las pastillas se montan en un paquete de metal o plástico y se soldan conexiones a las clavijas externas para formar el IC. Los componentes individuales de un IC no pueden separarse o desconectarse y el circuito en el interior del paquete es accesible sólo a través de las clavijas de entradas y salidas externas, pero no a las entradas y salidas de las compuertas intermedias.

Conforme la tecnología de los IC ha mejorado, el número de compuertas que pueden colocarse dentro de una sola pastilla de silicio ha aumentado en forma considerable. La diferenciación entre los IC que tienen unas cuantas compuertas internas y los que tienen decenas, cientos o miles de compuertas, se hace por una referencia acostumbrada de pequeña, mediana, gran escala o de muy alta escala de integración. Varias compuertas lógicas en un solo paquete hacen un dispositivo con integración a pequeña escala (SSI). Para calificar como un dispositivo de integración a mediana escala (MSI), el IC debe realizar una función lógica completa y tener una complejidad de 10 a 100 compuertas. Un dispositivo de integración a gran escala (LSI) lleva a cabo una función lógica con más de 100 compuertas. Un dispositivo de muy alta escala de integración (VLSI) contiene miles de compuertas en una sola pastilla.

Desde el punto de vista de su operación los circuitos lógicos para sistemas digitales pueden ser combinacionales o secuenciales.

2.1.2 CIRCUITO COMBINACIONAL

Un circuito combinacional es un arreglo de compuertas lógicas en el que las salidas dependen de la combinación presente de las entradas sin tomar en cuenta los estados anteriores de las entradas o salidas; estos circuitos no tienen características de memoria, por lo que su salida depende únicamente del valor de sus entradas.

Dentro de los circuitos combinacionales mas comunes(con MSI Y LSI) podemos encontrar los siguientes elementos:

- Codificadores

- Decodificadores
- Multiplexores
- Demultiplexores

2.1.3 LOS DECODIFICADORES

Este circuito combinacional convierte información binaria de "n" líneas de entrada a m líneas de salida, ya que una de las N líneas de entradas puede ser 0 o bien 1, hay 2^n posibles combinaciones de entrada y las m líneas de salida pueden ser menor o igual 2^n . Si la información de n-bit tiene combinaciones no usadas o no importa, las salidas del decodificador tendrá menos de 2^n salidas. Para cada combinación de entrada solo una de las M salidas será alta activa; todas las otras son bajas. Algunos decodificadores están diseñados para producir salidas bajas activas, donde solamente la salida seleccionada es baja, y todas las demás son altas. Esto lo indica la presencia de pequeños círculos en las líneas de salida del diagrama del decodificador.

2.1.4 EL CODIFICADOR

Es una función digital que realiza una operación inversa a la del decodificador. Este tiene 2^n (o menos) líneas de entrada y n salidas, en el codificador solo una de las entradas se activa en un momento dado, y produce un código de salida de N bits, según la entrada que se active.

2.1.5 LOS DEMULTIPLEXORES

Un DEMULTIPLEXOR o distribuidor de datos, realiza una función similar a la de un interruptor de múltiples posiciones, tomando el dato(o datos) de las líneas de entrada y los distribuye selectivamente en una sola de las N líneas de salida; dependiendo del código de entrada existente en las entradas de selección.

2.1.6 LOS MULTIPLEXORES

Un multiplexor de información o selector de datos es un circuito lógico que acepta varias entradas de datos y admite sólo una de ellas para dirigirse a la salida. La dirección de la entrada de datos deseada hacia la salida es controlada por un conjunto de líneas de selección. Normalmente, hay 2^n líneas de entrada y n líneas de selección cuyas combinaciones bit determinan cual entrada se selecciona.

2.1.7 CIRCUITOS SECUENCIALES

Los circuitos secuenciales utilizan elementos de memoria además de las compuertas lógicas. Los elementos de memoria son dispositivos capaces de almacenar información binaria dentro de ellos. Esta información almacenada define en cualquier momento el estado del circuito secuencial. La información binaria recibida en las entradas externas junto con el estado presente de los elementos de memoria determinan el valor binario en las salidas. También determinan las condiciones para cambiar el estado presente de los elementos de memoria. Por esto el comportamiento del circuito debe especificarse en una secuencia de tiempo de entradas y de estados internos.

Dependiendo del temporizado de sus señales existen dos tipos principales de circuitos secuenciales, los circuitos secuenciales síncronos y los asíncronos. Un circuito secuencial síncrono es un sistema cuyo comportamiento puede definirse por el conocimiento de sus señales de entrada y puede afectarse en cualquier momento de tiempo. El comportamiento de un circuito secuencial asíncrono depende del orden en el cual cambian sus señales de entrada y puede afectarse en cualquier instante de tiempo. En los circuitos secuenciales asíncronos los elementos de memoria que se usan comúnmente son dispositivos de retardo de tiempo. La capacidad de memoria de un dispositivo de retardo de tiempo se debe al hecho de que toma un tiempo finito para que la señal se propague a través del dispositivo. Un circuito secuencial asíncrono puede considerarse como un circuito combinacional con retroalimentación. Debido a la retroalimentación entre compuertas lógicas, un circuito secuencial asíncrono a veces puede llegar a ser inestable, lo cual ocasiona muchas dificultades al diseñador.

La sincronización se logra por un dispositivo temporizador llamado reloj maestro generador, el cual genera un tren periódico de pulsos de reloj. Los pulsos de reloj se distribuyen a través del sistema en tal forma que los elementos de memoria están afectados sólo por la llegada del pulso de sincronización. Este tipo de circuitos se denominan circuitos secuenciales de reloj, estos no dan problemas de estabilidad y su temporizado se desglosa fácilmente en pasos discretos independientes, cada uno de los cuales se considera por separado.

Los elementos de memoria que se usan en los circuitos secuenciales de reloj se llaman flip-flop.

2.1.8 LOS FLIP-FLOPS(multivibradores biestables).

Son elementos de memoria utilizados en los circuitos secuenciales de reloj. Estos circuitos son elementos de memoria capaces de almacenar un bit de información(mientras se mantenga alimentado con energía al circuito), hasta que se reciba una señal de entrada. La diferencia básica entre todos los tipos de FLIP-FLOP que existen esta en el número de entradas que poseen y en como afectan las entradas al estado binario. Los FLIP-FLOP mas conocidos son:

2.1.9 FF R-S

En su configuración con reloj, la información que se tenga en las entradas RS, pasaran al FF básico sólo cuando el pulso de reloj cambia a 1. El estado SET se produce cuando $R=0$, $S=1$, y $clock=1$. El estado RESET se da cuando $R=1$, $S=0$, y $clock=1$. Al no existir pulso de reloj, el estado del FF se comporta como memoria y su estado es indeterminado si R y S son iguales a un 1 lógico.

2.1.10 FF TIPO D

Este FF con transición activa utiliza un circuito detector de transiciones, para asegurar que la salida tome el valor de la entrada D sólo cuando ocurra la transición activa del reloj.

2.1.11 FF J-K

Este es una variante mejorada del tipo RS. Cuando se aplican señales de entrada en forma simultáneamente a J y a K, el FF cambia a su estado complementario

2.1.12 FF TIPO T

Es una versión del FF J-K modificada uniendo las dos entradas. Sin importar el estado presente del FF, asume el estado complementario cuando ocurre el estado de reloj mientras la entrada T es un uno lógico.

2.1.13 FF MAESTRO- ESCLAVO

Este FF se construye con dos FF separados, en los que las salidas Q y Q' (del primer FF o maestro) se conectan a las entradas S y R (del esclavo) respectivamente. Los dos FF utilizan un mismo clock, al esclavo se le conecta anteponiéndole un inversor, para poder alternar el habilitamiento de cada FF.

Dentro de la lógica secuencial encontramos los siguientes elementos:

- Registros
- Memorias
- Contadores

2.1.14 LOS REGISTROS

Son una agrupación de elementos de memoria para almacenar cantidades discretas de información que contenga n bits (si posee n celdas binarias ó FF). En un registro la entrada de pulsos de reloj, CK capacita entonces la información presentada en una entrada se transfiere a la salida y la salida sigue los datos de entrada en tanto que la señal CK permanezca deshabilitada. La operación más frecuente efectuada sobre los datos almacenados en los registros es la transferencia de los datos de un elemento a otro.

Los tipos de registros se pueden clasificar de acuerdo con la forma en la cual se pueden ingresar datos en el registro para su almacenamiento, y con la forma en la cual los datos se extraen del registro. Las clasificaciones son las siguientes:

1. Entrada y salida en paralelo, si la formas en que se ingresan y se extraen los datos del registro se hace en forma simultánea con un solo pulso de reloj.
2. Entrada y salida serie, La información contenida en los registros se manipula y transfiere un bit a la vez, corriendo los bits fuera del registro fuente al registro de destino. La transferencia serial de información desde un registro a otro se hace con registro con corrimiento, el cual es un registro capaz de correr su información binaria ya sea a la derecha o a la izquierda. La configuración lógica de un registro con corrimiento consta de una cadena de FF conectados en cascada; estos reciben un pulso común de reloj que causa el corrimiento de una etapa a la siguiente.

3. Entrada serie y salida en paralelo, es una agrupación de n FF conectados en cascada, y la salida de cada FF esta accesible externamente para extraer el dato en paralelo. Después de n pulsos de reloj el primer bit del dato se encuentra en el ultimo FF, con lo que se completa el dato en paralelo.
4. Entrada paralelo-salida serie, siguiendo la lógica de los registros de corrimiento, en este tipo de transferencia, la única salida accesible es la serial. Los datos entran de forma paralela a cada etapa de flip-flop y son almacenados, luego por el pulso de reloj común que reciben todas las etapas, esta información es corrida de etapa en etapa hasta la salida serial.

2.1.15 LAS MEMORIAS

Son una agrupación de registros de almacenamiento para la acumulación masiva de datos, contiene la circuitería necesaria para la transferencia de la información almacenada. Una unidad de memoria almacena información binaria en grupos de datos. La comunicación entre una unidad de memoria y su medio ambiente se logra a través de dos señales de control(LECTURA Y ESCRITURA: para designar operaciones de transferencia interna y externa respectivamente) . Un registro externo especifica el registro particular de memoria escogido entre los miles disponibles.(dirección)

2.1.16 LOS CONTADORES

Son circuitos secuenciales que pasan a través de una serie prescrita de estados bajo la aplicación de pulsos de entrada. Los pulsos de entrada o pulsos de conteo, pueden ser

pulsos de reloj o pueden originarse en una fuente externa y ocurrir a intervalos de tiempo preestablecidos o aleatorios. la secuencia de estados puede ser un conteo binario o cualquier otra secuencia de estados. Estos se utilizan para contar el número de ocurrencias de un evento y son muy útiles para generar secuencias de temporizado para operaciones en un sistema digital.

2.2 MANEJADORES DE POTENCIA

Existen dos formas para manejar la potencia entregada a una carga: por medio de dispositivos de estado sólido y los dispositivos electromecánicos.

2.2.1 DISPOSITIVOS ELECTROMECHANICOS

Los dispositivos electromecánicos son aquellos que utilizan para su operación el movimiento mecánico de piezas activado generalmente por el flujo de corriente a través de una bobina. Dentro de estos dispositivos se encuentran entre otros los RELES y los CONTACTORES. La principal desventaja de estos dispositivos es que su grado de control no puede ser proporcional, únicamente total o nulo.

2.2.2 RELES ELECTROMAGNETICOS

Los relés electromagnéticos son componentes en los cuales una fuerza electromagnética inmediatamente o por medio de un elemento intermedio, acciona los contactos del relé. Tienen un máximo de tres posiciones, y sirven para. Ofrecen una separación galvánica entre los circuitos de entrada y de salida(bobinas y lado de los contactos) cuyas medidas son la

resistencia de aislamiento y la rigidez dieléctrica cuyos valores alcanzan de 10^7 a 10^{15} ohm de aislamiento. El valor eficaz del voltaje de paso puede oscilar entre 500 y 4000 voltios.

Eligiendo un arrollamiento y un tipo de relé adecuado los reles pueden adaptarse a cualquier tensión de funcionamiento (AC o DC) desde algunos voltios hasta algunos cientos de voltios, sin que el relé se vea afectado en su capacidad de funcionar. Los datos indicados en las listas de los fabricantes para la carga de la bobina sirven en general para régimen estacionario, pero si es por corto tiempo la bobina puede soportar una carga mucho mayor.

Las dos posiciones de trabajo de un contacto de relé se caracterizan por un criterio inequívoco. En estado abierto, la resistencia de bloqueo es de 10^7 a 10^{14} ohms, y en estado cerrado de 10 a 100 ohms. La resistencia de contacto de relé esta en el orden de magnitud de la resistencia de línea de las pistas grabadas(0.5 ohm por metro)

2.2.3 CLASIFICACION POR FUNCIONES

El tipo de relé por el que debe decidirse el usuario depende de la aplicación respectiva, y en especial de la clase de excitación y la misión que tenga que cumplir el relé. A continuación se ofrece la clasificación de los relés por sus funciones(según DIN 41215).

• RELES MONOSTABLES

- a) Relés monostables neutrales
- b) Relés monostables polarizados
- c) Relés de corriente alterna.

- **RELES BIESTABLES**

a) Relés biestables polarizados

b) Relés de remanencia

RELE MONOSTABLE. Es el que una vez desconectada la corriente de excitación vuelve a la posición de reposo.

RELE BIESTABLE. Es el que una vez desconectada la corriente de excitación permanece en la última posición alcanzada.

RELE NEUTRO. Relé en que el tránsito de la posición de reposo a la de trabajo es independiente del sentido de la corriente de excitación.

RELE POLARIZADO. Relé en que el tránsito de la posición de trabajo a la de reposo depende de la corriente de excitación.

RELE MONOSTABLE NEUTRO. Es el relé monostable que trabaja independientemente del sentido de la corriente.

RELE BIESTABLE NEUTRO. Es el relé biestable en que el tránsito de la posición de reposo a la de trabajo es independiente del sentido de la corriente de excitación.

RELE MONOSTABLE POLARIZADO. Relé monostable que con una corriente de excitación de determinado sentido adopta la posición de trabajo.

RELE BIESTABLE POLARIZADO. Relé biestable que con una corriente de excitación de determinado sentido adopta una posición de conmutación, y con una corriente de sentido contrario adopta la otra.

2.2.4 CONTACTORES

Se llama contactor a un interruptor gobernado a distancia por la acción de un electroimán . Este dispositivo consta de los siguientes elementos: contactos principales, contactos auxiliares, circuito electromagnético, y soporte o estructura del aparato.

Contactos principales. Tiene por finalidad realizar el cierre o apertura del circuito principal a través del cual se transporta la corriente al circuito de utilización. Estos pueden ser unipolares, bipolares, tripolares, etc. además fijos o móviles.

Contactos auxiliares. Tiene la finalidad del gobierno del contactor y de su señalización. Estos pueden estar abiertos y cerrados, estando en reposo el contactor y como han de dar paso a pequeñas corrientes, suelen ser de pequeño tamaño.

Circuito electromagnético. Este puede ser para corriente alterna y continua, donde los más empleados son los de corriente alterna. Este circuito consta de tres partes esenciales: el núcleo (con forma de E) lleva conectada la bobina y es la parte fija del circuito; la armadura , que es la parte móvil, el cual al ser atraído presiona los contactos móviles contra los fijos, cerrando los abiertos y abriendo los cerrados; y la bobina que es la encargada de crear el flujo, para que el núcleo atraiga a la armadura.

Sistema de soplado. Al realizarse la apertura de los contactos a través de los cuales le da paso a la corriente que alimenta al circuito de potencia, a pesar de separarse los contactos el circuito no se abre en el mismo instante, por lo que durante un breve tiempo pasa la corriente a través del aire ionizado, (el aire que al calentarse se hace conductor). Esto produce arcos y desgaste por erosión en los contactos. La manera de reducir este efecto es a través del sistema de soplado, que comprende: soplado de aire a presión, soplado magnético, baño de aceite y cámaras desionizadas.

Soporte del contactor. Los contactos principales y auxiliares, junto con el circuito electromagnético, se fijan en un soporte con los bornes correspondientes a su empleo y conexión.

2.2.5 DISPOSITIVOS DE ESTADO SOLIDO

TIRISTORES. Es un termino utilizado para identificar una clase de dispositivos semiconductores, el nombre es una contracción de tiratron-transistor; estos son utilizados para controlar la potencia con que se alimenta una carga. Estos tiristores o semiconductores de cuatro capas ofrecen las siguientes características:

- Son interruptores estáticos con enclavamiento, capaces de operar en microsegundos.
- Al ser del tipo semiconductor tiene la capacidad de ser sellados herméticamente y silenciosos.

- Si se seleccionan y protegen adecuadamente, tendrán una vida útil prácticamente ilimitada aún en ambientes rigurosos.
- Estos pueden encenderse o hacerlos conducir con la aplicación momentánea de una corriente de control en la puerta(un pulso de microsegundos es suficiente).

Existen una gran variedad de tiristores pero los más utilizados son: el SCR y el TRIAC.

2.2.6 SCR(SILICON CONTROLLED RECTIFIER)

Este es un dispositivo de tres terminales utilizado para controlar corrientes relativamente grandes de una carga. Este actúa de una manera similar a un interruptor controlado. Cuando esta conduciendo presenta un camino de baja resistencia para el flujo de corriente entre ánodo-cátodo; cuando esta bloqueado no fluye corriente entre ánodo-cátodo. Para ponerlo en conducción debe de aplicarse al tercer terminal (gate) un pulso de corriente de control con suficiente potencia para iniciar la conducción entre ánodo-cátodo.

El valor promedio que fluye por la carga puede controlarse colocando un SCR en serie con la carga. Si la fuente de alimentación es AC, el SCR permanece una cierta porción del periodo en estado bloqueado. La cantidad de tiempo que permanece en conducción se controla por medio de el terminal de compuerta, a través del cual se entrega la corriente necesaria para activar al SCR en el instante que se requiera.

El circuito típico de disparo mas simple se encuentra en la figura 2.1 . Como puede verse al cerrar el interruptor habrá corriente hacia la puerta cuando la fuente de voltaje sea positiva. El

ángulo de disparo esta determinado por la posición de la resistencia R2. Si esta resistencia es baja, la corriente de puerta será suficientemente grande para activar al SCR cuando la magnitud de la fuente sea baja. Por lo tanto el ángulo de disparo será pequeño y la magnitud del promedio de la corriente por la carga será grande. Si la resistencia es alta, la fuente de voltaje debe subir a un valor alto para poder entregar suficiente corriente de puerta para activar al SCR. Esto aumenta el ángulo de disparo y reduce la magnitud del promedio del corriente de carga.

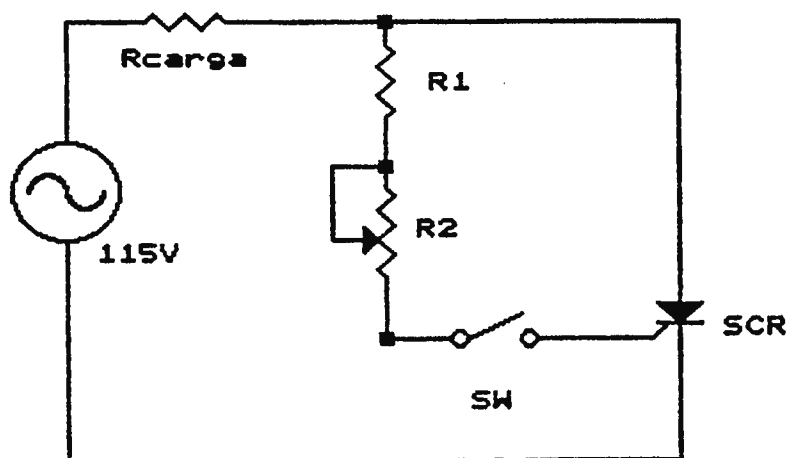


Fig. 2.1 Circuito básico con SCR.

2.2.7 TRIAC

Este es un dispositivo de tres terminales utilizado para controlar el valor promedio de la corriente entregada a una carga. Su diferencia básica con el SCR es que puede conducir corriente en los dos sentidos.

Cuando el TRIAC es bloqueado no fluye corriente entre sus terminales independientemente de la polaridad de la fuente aplicada. En estado de conducción la resistencia entre los terminales es muy baja, y fluye corriente con un sentido de flujo dependiente de la polaridad de la fuente externa aplicada.

El valor promedio de la corriente que se entrega a la carga puede afectarse variando la cantidad de tiempo por ciclo que el TRIAC permanece en estado de conducción. La cantidad de corriente que fluye por el TRIAC es proporcional a la porción del tiempo de ciclo que este permanece en conducción. Un TRIAC no está limitado a los 180 grados de conducción por ciclo, sino que con un arreglo adecuado puede obtenerse la conducción en los 360 grados de la onda completa.

El circuito de disparo más simple para un TRIAC se muestra en la figura 2.2. El condensador C se carga a través de $R1$ y $R2$ durante la porción del semiciclo correspondiente al ángulo de disparo. Cuando el voltaje de C es lo suficientemente grande para entregar a través de $R3$ la corriente de puerta necesaria para disparar al TRIAC, este se activa. La velocidad de carga del condensador se ajusta con la resistencia $R2$. Cuando este es grande la carga es lenta, y produce un ángulo de disparo grande y un promedio de corriente pequeño. Con una $R2$

pequeña se reduce la velocidad de carga y el ángulo de disparo con lo que el promedio de la corriente de carga es grande.

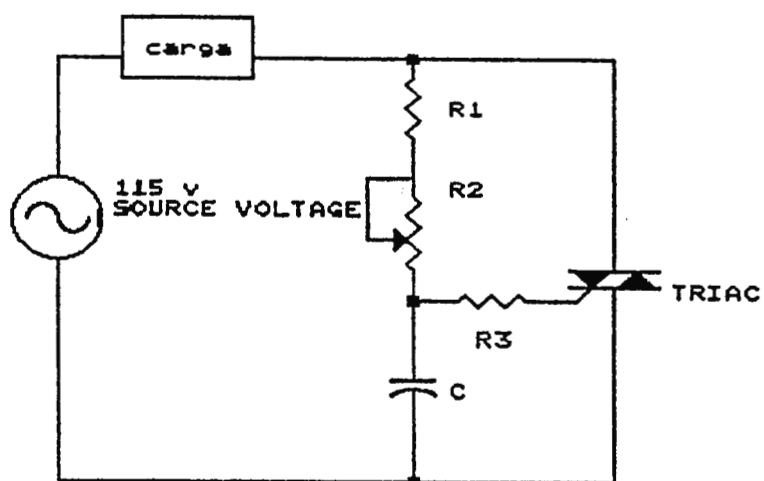


Fig. 2.2 Circuito básico del TRIAC.

2.2.8 ELEMENTOS DE DISPARO

Existen muchos elementos de disparo para los tiristores, pero los mas usados son: el UJT, DIAC, DIODO DE CUATRO CAPAS, SBS. Esos dispositivos se encargan de hacer conducir a los SCR y TRIACS por medio de arreglos especiales.

2.2.9 UJT (UNIJUNCTION TRANSISTOR)

El circuito típico para disparar tiristores con UJT es el oscilador de relajación. Hay varias razones para la compatibilidad de las tiristores y el UJT.

1. El UJT produce una salida tipo pulso, la cual efectúa con seguridad el cambio a conducción de un tiristor sin que se exceda la capacidad de disipación de la puerta.
2. El punto de disparo del UJT es prácticamente estable en un amplio rango temperatura.
3. Los circuitos de disparo con UJT se facilitan para el control realimentado.

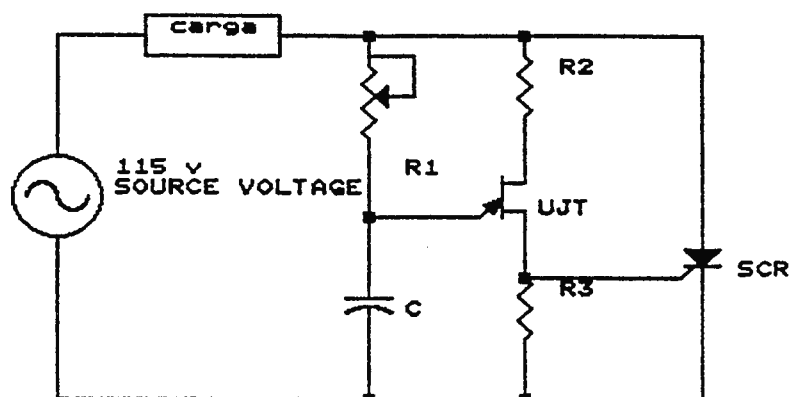


Fig. 2.3 Circuito básico de disparo con UJT.

2.2.10 DIAC(DIODO BIDIRECCIONAL DE DISPARO)

Este dispositivo es equivalente a un par de diodos de cuatro capas conectado en paralelo. Para hacer conducir un diac es necesario hacer que el voltaje a través de él exceda el voltaje de ruptura en cualquiera de las dos direcciones..

Es de hacer notar que en estos tres elementos (TRIAC, SCR, DIAC) una vez puestos en conducción la única manera de llevarlos al estado de bloqueo, es hacer que la corriente de

conducción caiga por debajo de la corriente de mantenimiento de cada dispositivo, o eliminando la alimentación de la fuente externa a cada elemento.

La figura 2.4 muestra un circuito típico de disparo de triac con un diac, como puede observarse el circuito es esencialmente el mismo para disparo con red R C, pero la diferencia es que el capacitor tiene que cargarse al valor de ruptura del diac en cualquier polaridad para poder dispararse. El valor más común de voltaje de ruptura de un DIAC es de 32Volt. Este es un valor adecuado si se usa en fuentes de alimentación AC.

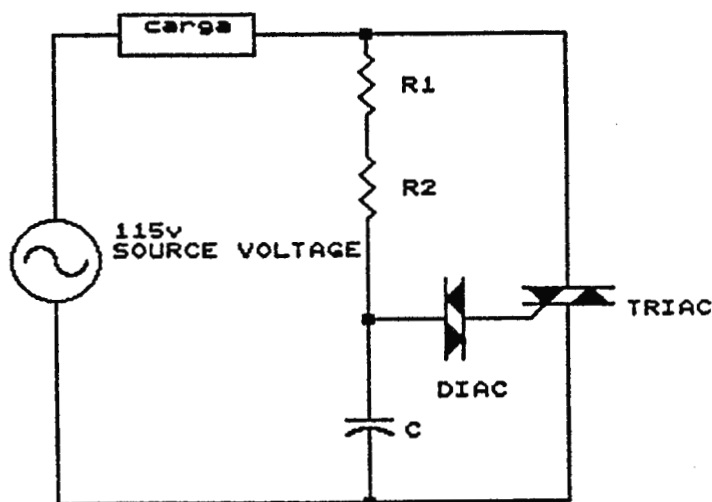


Fig.2.4 Circuito básico de disparo con DIAC.

2.2.11 DIODO DE CUATRO CAPAS

Según se muestra en la figura 2.5, el capacitor se cargara al valor del voltaje de disparo del diodo de cuatro capas, por medio del atraso proporcionado por la posición de R2. Cuando se dispara el diodo de cuatro capas, el condensador se descarga a través del devanado primario del transformador de pulsos.

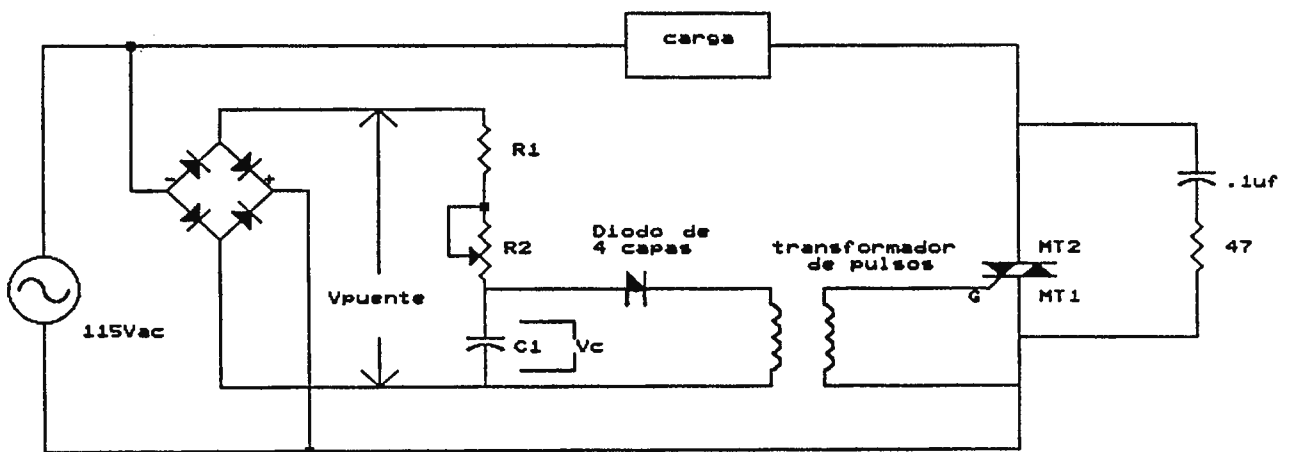


Fig.2.5 Circuito básico de disparo con diodo de 4 capas.

La descarga del condensador produce un impulso de corriente en el devanado primario del transformador de pulsos. El impulso de corriente continúa hasta que el condensador se descarga al punto donde no puede entregar una corriente igual a la de mantenimiento del diodo de cuatro capas.

2.2.12 SBS (INTERRUPTOR BILATERAL DE SILICIO).

Este es un dispositivo cuyo funcionamiento básico presenta características similares a las de un diodo de cuatro capas por lo que puede utilizarse en lugar de un DIAC cuando no se conecta su terminal de compuerta.

Si se observa la gráfica de la curva característica del SS (fig.2.6), puede darse cuenta que este tiene un voltaje de descenso muy drástico cuando conmuta al estado de conducción, además presenta una simetría más marcada. Otra característica importante es su estabilidad a la temperatura.

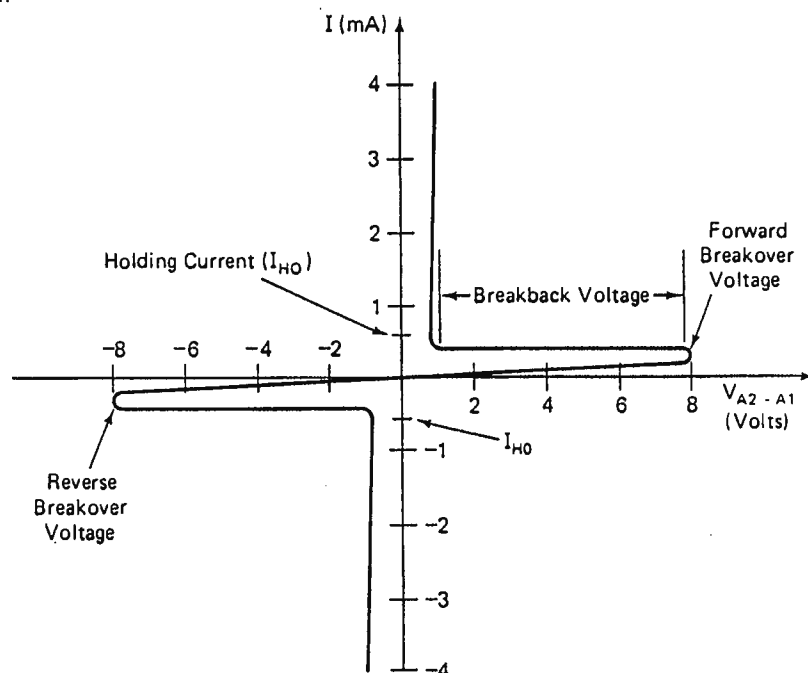


Fig. 2.6 Curva característica del SBS.

Este dispositivo es muy útil en aplicaciones de bajo voltaje debido a que su voltaje de ruptura se encuentra en el orden de +/- 8Voltios.

Otra aplicación de este dispositivo es la eliminación de la histéresis de los triacs cuando se conecta el terminal de compuerta. Esto sucede gracias al drástico descenso del voltaje A1A2 del SBS. En la figura 2.7, se aprecia el circuito típico de disparo.

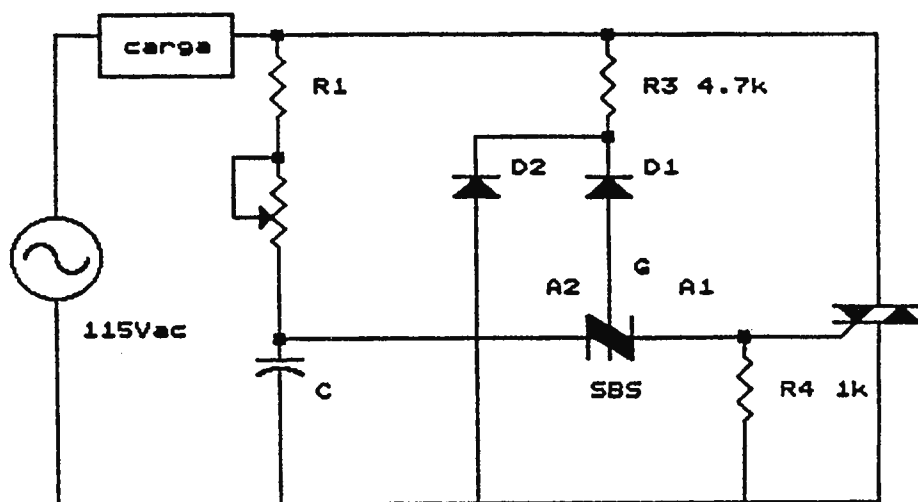


Fig. 2.7 Circuito de disparo con SBS

2.3 CONTROL REMOTO

Se entiende por control remoto a las acciones de mando a distancia que puede tenerse sobre los dispositivos eléctricos, electrónicos, máquinas etc. para tomar el control directo sobre las operaciones de estos. Para realizar las operaciones de mando a distancia, es necesario transmitir las instrucciones a través de un medio (comúnmente se utiliza el aire, pero podría ser un medio físico como un cable), y luego las instrucciones deben ser recibidas y ejecutadas.

La transmisión es el proceso por el cual las señales o la corriente eléctrica es transformada a otra forma de energía que pueda ser transmitida por el medio, esta puede ser energía luminosa (radiación infrarroja) o energía radiada.

La recepción es el proceso por el cual la forma de energía que se utilizo para transmitir, es captada y se convierte nuevamente a energía eléctrica.

En la utilización de energía luminosa para la transmisión y recepción de señales, se utilizan elementos optoelectronicos capaces de operar en la región del espectro luminoso y radiación infrarroja del espectro electromagnético.

2.3.1 ESPECTRO ELECTROMAGNETICO

El espectro electromagnético es el conjunto de todas las frecuencias o longitudes de onda posibles para las radiaciones electromagnéticas. Dentro de este existe una

pequeña porción del espectro que corresponde a la radiación luminosa o radiación visible, que comprende un margen entre $0.38\mu\text{m}$ y $0.78\mu\text{m}$. A la derecha de esta porción se encuentra la región correspondiente a la radiación infrarroja, que corresponde a la región de trabajo para los elementos ópticos usados comúnmente para la fabricación de dispositivos para la transmisión de señales para efectos de control y muchas otras aplicaciones.

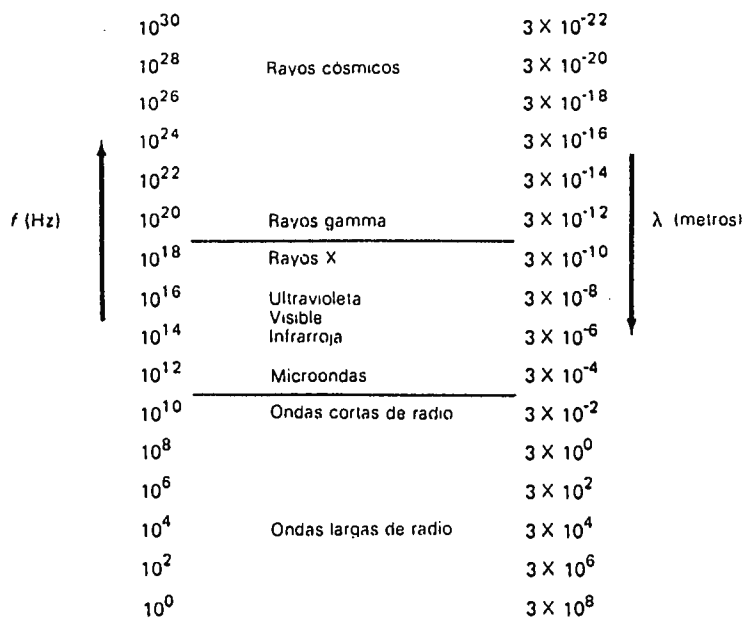


Fig. 2.8 espectro electromagnético

El campo de la optoelectrónica comprende muchos elementos basados en la acción de las uniones pn. Entre estos elementos podemos encontrar a los fotodiodos, fototransistores, elementos fotoeléctricos, diodos de radiación infrarroja etc.

2.3.2 SEMICONDUCTORES OPTOELECTRONICOS.

Los componentes optoelectrónicos han encontrado amplia difusión en la electrónica moderna . han participado en gran medida en el proceso de conversión de la mecánica en electrónica y, por su funcionamiento como transformadores de señales a energía electromagnética(región visible o infrarroja del espectro), y esta a señales o energía eléctrica, han permitido que la electrónica resuelva muchos problemas.

2.3.3 DETECTORES (RECEPTORES)

Son dispositivos sensibles a la radiación; cuando la radiación incide sobre el elemento, se genera una corriente fotoeléctrica.

- **FOTODIODO**

Es un dispositivo semiconductor que contiene una juntura pn. En lo obscuro se comporta como un diodo normal, en cambio si la juntura inversamente polarizada es alcanzada por una radiación luminosa, tenemos un aumento de la corriente inversamente proporcional a la misma radiación. Los materiales fotosensibles mas usados en la fabricación de los fotodiodos son el silicio, el germanio y arseniuro de galio, y otros semiconductores compuestos.

Los fotodiodos de silicio y de germanio se distinguen principalmente por la longitud de onda a la cual presentan la máxima sensibilidad: el primero la presenta aproximadamente $0.8 - 0.9 \mu\text{m}$, y el segundo aproximadamente $1.6 - 1.8 \mu\text{m}$, o sea en el infrarrojo.

- **FOTOTRANSISTORES**

Equivale a un fotodiodo(diodo colector-base), con base fotosensible, es alimentado con tensión positiva entre colector y emisor. Si se conecta una resistencia entre base y emisor, la sensibilidad del fototransistor depende del valor de la resistencia. Al variar la radiación luminosa varia la corriente de colector I_c .

2.3.4 EMISORES

Estos son componentes que tienen la capacidad de emitir radiaciones cuando son atravesados por una corriente eléctrica.

- **DIODOS LUMINOSOS(LED, IRED)**

Los diodos luminiscentes son diodos semiconductores que si son atravesados por una corriente emiten radiación electromagnética en el sentido del flujo. Al contrario que en una lámpara incandescente, el espectro de radiación esta limitado a una estrecha banda de longitudes de onda. La longitud de onda de la radiación emitida viene determinada sobre todo por el material semiconductor empleado.

estrecha banda de longitudes de onda. La longitud de onda de la radiación emitida viene determinada sobre todo por el material semiconductor empleado.

Los diodos luminiscentes sobre base de Arseniuro de Galio emiten en la banda próxima del espectro infrarrojo (IRED). debido a esto son muy utilizados para mandos a distancia por rayos infrarrojos, mediciones a distancia, en acopladores ópticos y entre otras aplicaciones como sistemas ópticos de transmisión de mensajes por guíasondas (fibra óptica).

Los diodos luminiscentes fabricados en base al Arseniuro-Fosforo de Galio emiten en la banda del espectro visible (LED).

CAPITULO III

DISEÑO DEL SISTEMA PARA EL CONTROL DE FUNCIONES ELECTRICAS DE USO DOMESTICO

3.0. INTRODUCCION

En este capitulo se presenta la explicación de la filosofía y funcionamiento de el trabajo de graduación, para lo que se presentan diagramas de bloques de cada etapa del sistema para su mejor comprensión. También se incluyen los diagramas esquemáticos de cada etapa y la explicación de cada uno de estos. Se dan además los procedimientos de cálculo de los elementos del sistema etapa por etapa.

3.1 FILOSOFIA DEL SISTEMA

La filosofía del funcionamiento del sistema se basa en tres aspectos: los medios de control, el programa en computadora, y las variables controlables. Cada uno de estos aspectos determina la operación del sistema. Para los medios de control, la operación de cada uno de los bloques de control, esta determinado por la introducción de las instrucciones del usuario a través del teclado de la computadora ,y el control remoto, con la diferencia que por medio de el control remoto no se tiene acceso a la programación del sistema.

El programa en computadora deberá mantener bajo control de tiempo la activación/desactivación de las operaciones del sistema. Además la presentación en pantalla

de todas las opciones debe de ser de fácil comprensión para el usuario para evitar la complejidad de la programación de las actividades de control, o la selección de las opciones.

Los bloques de control son específicamente un circuito con la capacidad de someter a las variables controlables a la voluntad del usuario a través del programa. Estas variables son activación/desactivación de luminarias y tomacorrientes (con la posibilidad de programarse para cualquier fecha y hora), regulación de la potencia entregada(para control de intensidad), y apertura y cierre . La forma de controlar cada una de las variables anteriores es explicada en la descripción del diagrama de bloques del sistema.

El sistema cuenta con líneas de expansión, utilizadas para ampliar la capacidad del sistema o para adicionar nuevas tarjetas, las cuales podrán acceder la misma cantidad de grupos y elementos, a los que es posible tener conectados los tipos de control que tiene la ULC u otros tipos de control según se requiera.

Para esto se tienen dos grupos de líneas, las líneas de direccionamiento las cuales seleccionan una de las tarjetas (ya sea la tarjeta principal o una tarjeta de expansión), el grupo y el elemento a controlar y las líneas de datos de control . Además las líneas de potencia y referencia. Todas las líneas están accesibles a través de un conector en la tarjeta principal o Unidad Lógica de Control (ULC), en el que podrán conectarse los nuevos elementos implementados sobre tarjetas llamadas de expansión.

3.1.2 DIAGRAMA DE BLOQUES GENERAL DEL SISTEMA

De la figura 3.1 se puede observar la distribución del sistema por bloques funcionales, de los cuales el bloque de programa, es en sí mismo el programa a ejecutar. Este contiene todas las instrucciones e información necesaria para que el sistema realice las actividades requeridas por el usuario.

En el bloque de la unidad lógica de control, se realizan las funciones de comunicación entre los bloques de control y la computadora, para lo cual selecciona el bloque de control que el programa especifique, y transfiere a cada bloque la instrucción de la actividad que debe de ejecutar. En el diseño de la unidad lógica de control se ha previsto la capacidad de manejar 10 bloques de control proporcional, 32 bloques de control todo o nada, 6 bloques de control de pulsos de los cuales 2 serán utilizados para el circuito de apertura-cierre de un portón y los otros 4 para cualquier circuito de activación que necesite pulsos.

La función del bloque de control proporcional, es variar la potencia entregada a una carga, esta podría ser una luminaria incandescente, un ventilador o un calefactor.

El bloque de control todo o nada está encargado de prestar una función similar a la de un interruptor, en el que el programa designara cuando activarlo o desactivarlo. Podrá controlar cualquier luminaria y tomas controlados, es decir, los tomacorrientes que podrán ser habilitados a voluntad para que puedan dar alimentación.

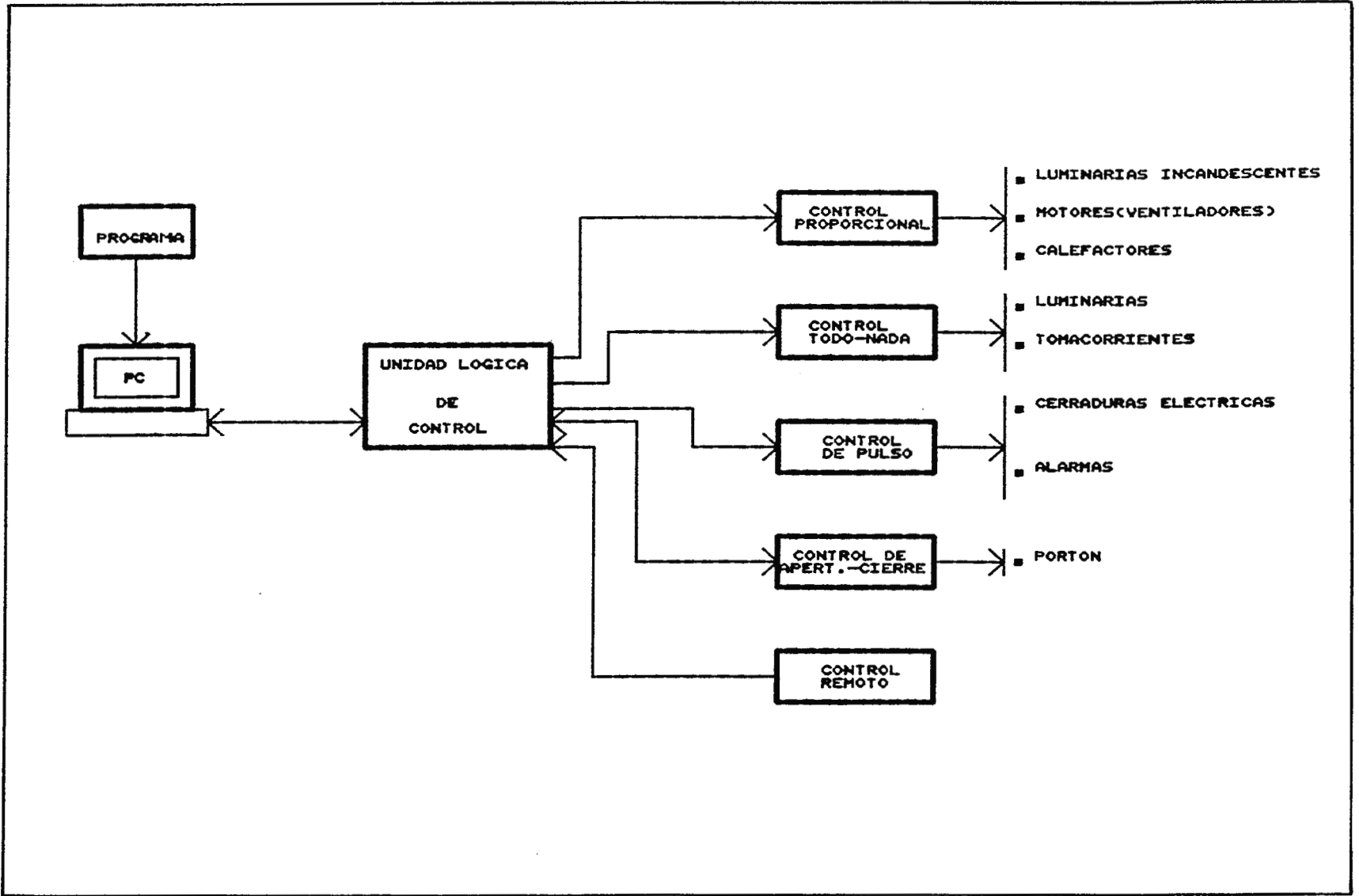


Fig. 3.1. Diagrama general de bloques del sistema.

En el bloque de control de pulsos, se pretende que éste genere un pulso con una duración suficiente para que pueda introducirse al circuito de activación que necesite de pulsos, por ejemplo, un sistema de apertura y cierre de un portón utilizando el sistema ya existente en el que la función se controla por interruptores normales y de fin de carrera, una cerradura eléctrica, alarmas etc.

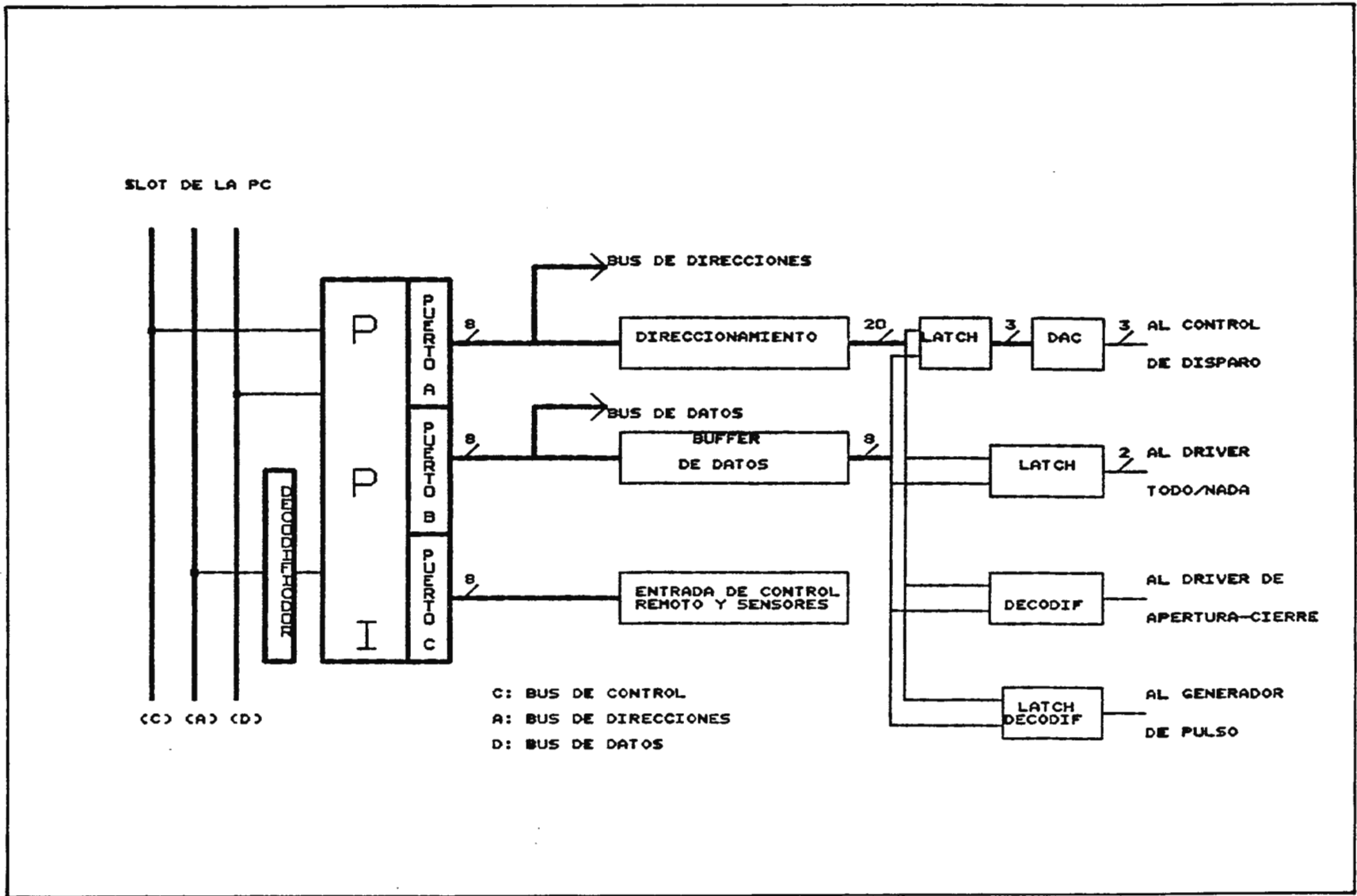
El bloque de control remoto da al usuario la posibilidad de controlar a los demás bloques del sistema a distancia, con la limitante de que no se podrán realizar funciones de programación, pero si accesar a todos los elementos y tener control directo sobre las funciones eléctricas de apagado-encendido y potencia parcial.

3.1.3 UNIDAD LOGICA DE CONTROL(ULC)

La función principal de esta unidad es la de realizar las operaciones de interpretación de los comandos del programa, efectuar la comunicación entre los bloques de control y la computadora, e interpretar los comandos de control. Esta unidad se encuentra conformada por los bloques de la figura 3.2. En las que el decodificador de direcciones reconoce la dirección asignada a la tarjeta conectada al slot de la PC, y genera una señal para activar al bloque de la PPI.

El bloque de PPI es una interfaz que tiene la capacidad de lectura y escritura de datos para lo cual tiene 3 puertos, de los cuales el puerto A y puerto B realizan operaciones de salida de datos y el puerto C de entrada de datos.

Fig. 3.2. Diagrama de bloques de la Unidad Lógica de Control.



El bloque de direccionamiento realiza la selección de uno de los cuatro grupos de control:

1. Grupo de control proporcional: direcciona hasta 10 controles
2. Primer grupo de control todo o nada: direcciona hasta 16 controles
3. Segundo grupo de control todo o nada: direcciona hasta 16 controles
4. Grupo de control de pulsos : direcciona hasta 6 controles

Una vez seleccionado una de los grupos el bloque de direcciones puede acceder individualmente a cada uno de los elementos que lo conforman.

El bloque buffer de datos es utilizado para suplir las corrientes necesarias para controlar las compuertas conectadas a la PPI, ya que esta ofrece un fanout que limita a una las compuertas que se pueden conectar a ella. Este buffer de datos se conecta al puerto B que es utilizado como puerto de salida de datos.

Los bloques de latch permiten mantener los datos de control provenientes del buffer de datos, aun cuando el elemento no este seleccionado por el bloque de direccionamiento, hasta ser accesado nuevamente y el programa cambie sus datos de control.

Los bloques decodificadores identifican cuando el bloque de control respectivo ha sido seleccionado por el bloque de direccionamiento, generando una señal que va directamente a un driver o a un generador de pulsos dependiendo del elemento al que este conectado.

3.1.4 ETAPA DE CONTROL PROPORCIONAL

Su función es la de manejar la potencia entregada a una carga en forma racionada, según lo requiera el usuario. En el diagrama de bloques de la figura 3.3, se aprecia que esta etapa consta del bloque sincronizador, que se encarga de sincronizar el circuito de disparo con el voltaje de la línea. El bloque temporizador, contiene la línea proveniente de la etapa digital que transporta la señal de control para que el circuito temporizador modifique los pulsos que se utilizarán para variar el ángulo de disparo del triac, esto lo hace a través de un voltaje variable a su entrada que modifica o modula el ancho de el pulso en la salida del bloque a lo largo de los 8 mS que dura el período de la señal de sincronismo.

La etapa de acople óptico se utiliza para aislar la etapa de potencia de la etapa de control. El triac y la carga comprenden la etapa de potencia a la que se le puede conectar una carga que se alimente con 110v y a la que se le pueda variar la potencia entregada.

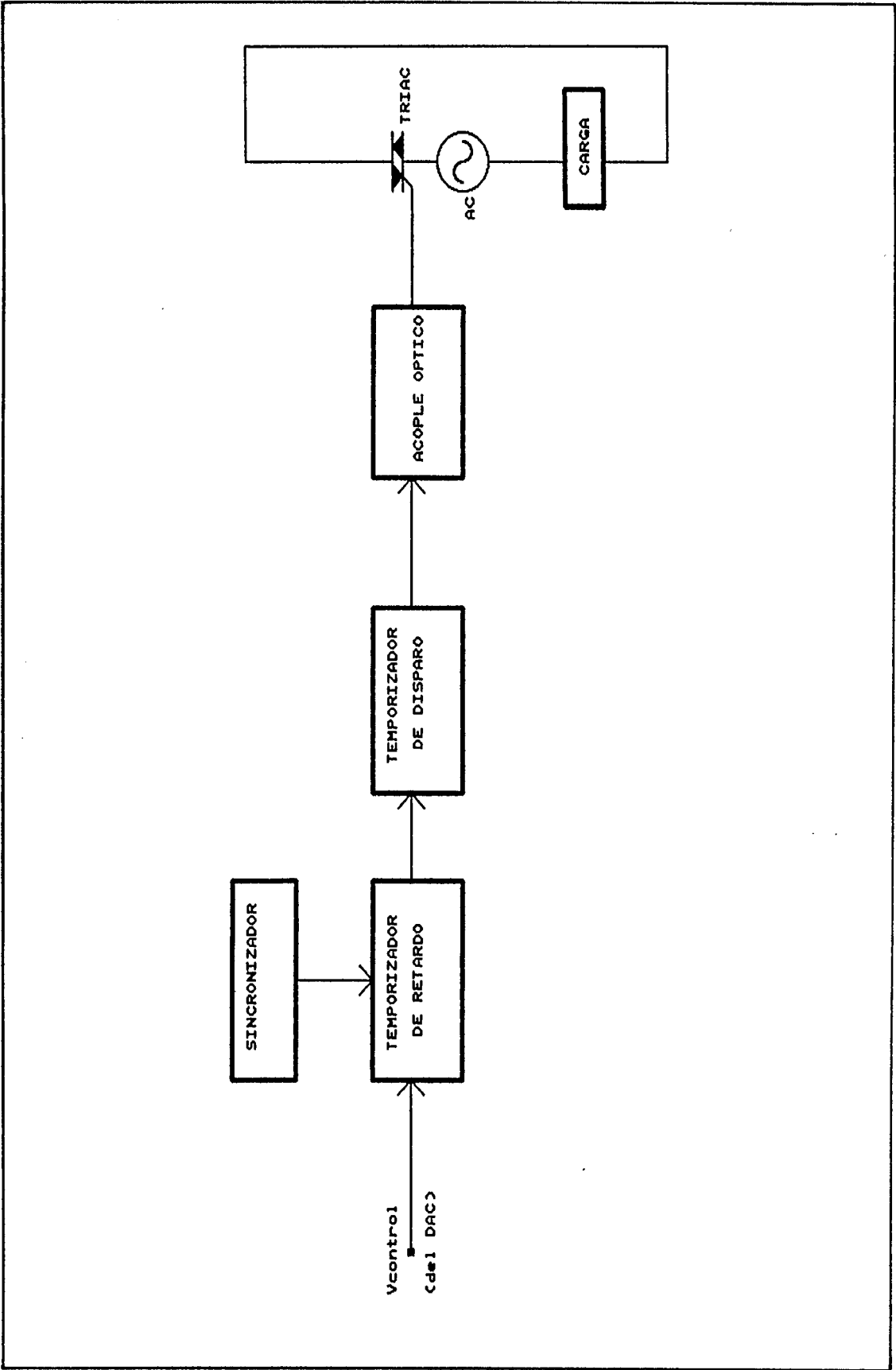


Fig.3.3. Diagrama de bloques de la etapa de control proporcional.

3.1.5 CONTROL REMOTO

En el diagrama de bloques de la siguiente figura, el bloque transmisor representa el mando a distancia de la etapa de control remoto. Su función es la de codificar los datos digitados por el usuario en la matriz de interruptores y transmitir por medio de radiación infrarroja el código modulado en AM.

EL bloque receptor captura los datos enviados por el transmisor y los convierte en datos seriales y compatibles con lógica TTL.

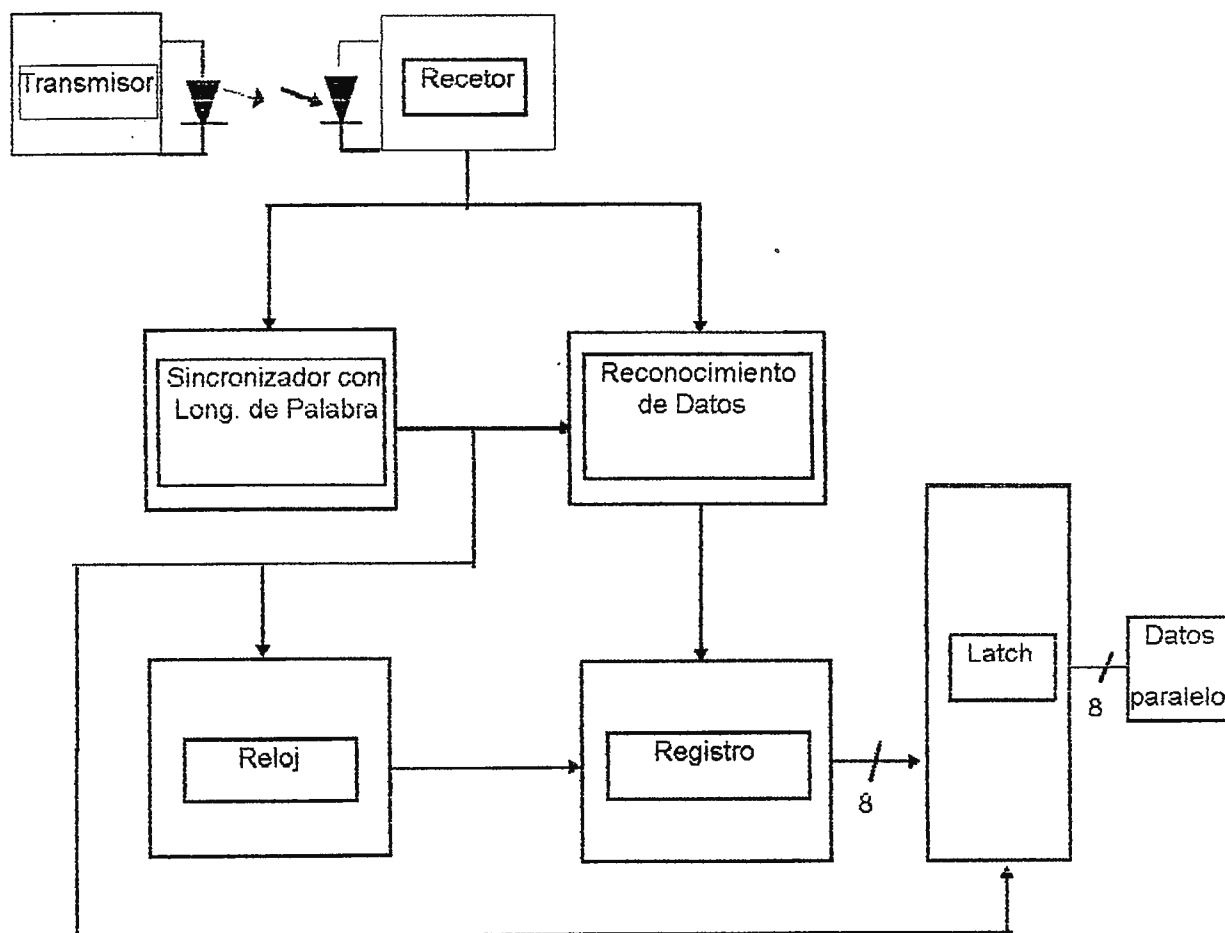


Fig. 3.4. Diagrama de abloques de la etapa de control remoto.

El bloque de sincronizador con la longitud de la palabra, genera una ventana de tiempo o pulso que dura exactamente la longitud de la palabra captada por el receptor. Esta sirve para sincronizar los demás bloques con el tiempo que dura cada palabra.

El bloque de reconocimiento de datos, identifica si los datos captados por el receptor son unos o ceros según su posición en la señal a la salida del receptor(esto se entenderá mejor al revisar la sección **3.2.8**). Una vez identificados los datos son pasados al bloque de registro.

El bloque de reloj, proporciona los pulsos de reloj durante un intervalo de tiempo igual a la duración de la palabra captada por el receptor. Estos pulsos sirven para proporcionar el corrimiento de los datos en el bloque de registro.

En el registro se efectúa la conversión de datos seriales a paralelo por medio de corrimiento de bits comandado por el bloque de reloj. Finalmente los datos en paralelo son pasados a un latch para asegurar que los datos se mantengan hasta que se reciba la siguiente palabra.

3.2 CALCULO DE LOS ELEMENTOS DEL SISTEMA

3.2.1 DISEÑO DE LA UNIDAD LOGICA DE CONTROL

Para la interconexión de distintos elementos es necesario considerar las características de cada elemento como lo son el fan-out y el fan-in. Las características de los elementos de la ULC son mostrados en la tabla 3.1

	8255A	74LS240	74LS139	74154	74116	74LS74A	7402	74LS0 2
I_{IL} (mA)		0.2	2	1.6	1.6	0.4	1.6	0.4
I_{IH} (μ A)		20	50	40	40	20	40	20
I_{OL} (mA)	1.7	24	20	16	16	8	16	8
I_{OH} (μ A)	200	15	1	0.8	0.8	0.4	0.4	0.4

Tabla 3.1 Características eléctricas de los elementos de la ULC.

Para interconectar dos o más elementos entre sí, debe cumplirse que las corrientes tanto de entrada como salida del elemento a conectarse tienen que ser menores. Lo anterior significa que el FAN-IN de un elemento debe de ser menor que el FAN-OUT de el otro elemento. Por lo tanto para los elementos a conectarse con la PPI se tiene que:

La corriente que necesita el BUFFER para operar debe ser menor o igual que las corrientes del PPI, entonces:

$$n(I_{IH}) \leq I_{OH} \quad \text{y} \quad n(I_{IL}) \leq I_{OL}$$

$$20\mu\text{A} \leq 200\mu\text{A} \quad \text{y}$$

$$0.2 \text{ mA} \leq 1.7 \text{ mA}$$

Al cumplirse las dos desigualdades se cumplen los requerimientos de carga, por lo que los elementos pueden interconectarse.

* BUFFER (como salida) y DEMULTIPLEXOR 74S139

$$50\mu\text{A} \leq 15\text{mA} \quad \text{y}$$

$2\text{mA} \leq 24\text{mA}$, Se cumplen las desigualdades

*DEMUX 139 (como salida) y (10) LATCH

$$10(1.6\text{mA}) \leq 20\text{mA}$$

$16\text{mA} \leq 20\text{mA}$, cumple desigualdad

$$10(40\mu\text{A}) < 1\text{mA}$$

$0.4\text{mA} < 1\text{mA}$, cumple desigualdad

*DEMUX 139 (como salida) y (16)NOR 74LS02

$$16(0.4\text{mA}) \leq 20\text{mA}$$

$6.4\text{mA} \leq 20\text{mA}$, cumple desigualdad

$$16(20\mu\text{A}) \leq 1\text{mA}$$

$0.32 \leq 1\text{mA}$, cumple la desigualdad

*DEMUX139 (como salida) y (6)NOR7402

$$6(1.6\text{mA}) \leq 20\text{mA}$$

$9.6\text{mA} \leq 20\text{mA}$, cumple desigualdad

$6(40\mu\text{A}) < 1\text{mA}$

$0.24\text{mA} < 1\text{mA}$, cumple desigualdad.

* NOR 74LS02(como salida) y (16) FF D 74LS74A

$16(0.4\text{mA}) \leq 8\text{mA}$

$6.4\text{mA} \leq 8\text{mA}$, cumple desigualdad

$16(20\mu\text{A}) \leq 0.4\text{mA}$

$0.32\text{mA} \leq 0.4\text{mA}$, cumple desigualdad.

*BUFFER 74LS240(como salida) y (10) LATH 74116

$10(1.6\text{mA}) \leq 24\text{mA}$

$16\text{mA} \leq 24\text{mA}$, cumple desigualdad

$10(60\mu\text{A}) \leq 15\text{mA}$

$0.6\text{mA} \leq 15\text{mA}$, cumple desigualdad

* BUFFER 240 (como salida) y (16) FF D 74LS74A

$16(0.4\text{mA}) < 24\text{mA}$

$6.4\text{mA} \leq 24\text{mA}$, cumple desigualdad

$16(20\mu\text{A}) \leq 15\text{mA}$

$0.32\text{mA} \leq 24\text{mA}$, cumple con la desigualdad

Los cálculos anteriores justifican la utilización de todos los elementos en el diagrama esquemático, al cumplir la condición del fan-out de cada elemento.

3.2.2 DIAGRAMA ESQUEMATICO DE LA UNIDAD LOGICA DE CONTROL

La figura 3.5 muestra el diagrama esquemático de la unidad lógica de control. Con el fin de tener claro la conexión de las distintas etapas del sistema con la ULC, se presenta en la fig.3.5 a, b y c la interconexión con cada etapa.

De la figura 3.5 se observa que los ocho bits del puerto A de la PPI son utilizados para el direccionamiento de las tarjetas de expansión, los grupos y los elementos de control, de los cuatro bits menos significativos del puerto dos son utilizados para direccionar las tarjetas de expansión, y los dos restantes direccionan los grupos. Los cuatro bits mas significativos seleccionan los elementos de control en forma individual. Los circuitos integrados CI 201 a 203 (74LS240) son BUFFERS utilizados para proporcionar las corrientes que necesitan los elementos conectados a sus salidas y no sobrecargar a la PPI.

Las salidas del primer CI204(74S139, 2DEMUX 2:4), y_0, y_1, y_2 e y_3 , se utilizan para habilitar la tarjeta principal y las tarjetas de expansión. Esto se logra al conectar estas salidas a los ENABLES(habilitadores) de los demultiplexores(DEMUX) que habilitan los grupos o los elementos de control. La tarjeta principal es la ULC, y la que contiene toda la etapa digital del sistema. Las tarjetas de expansión son elementos externos al sistema que se usan para

extender la capacidad del sistema. Estas se conectan en un conector ubicado en la tarjeta principal.

La tarjeta principal es habilitada por la salida y_0 del CI204(primer DEMUX) conectada al habilitador del CI204(segundo DEMUX) para la selección de los grupos, y a uno de los habilitadores del CI205(174154, DEMUX 4:16) para la selección de los elementos de control.

En el CI204 (segundo DEMUX), la salida y_0 selecciona el grupo de controles proporcionales, la salida y_1 selecciona al primer grupo de controles todo-nada, y_2 selecciona al segundo bloque de controles todo-nada, y_3 selecciona al control de pulsos.

De las salidas del CI205, de la 0 a la 15 se conectan a todos los elementos de cada grupo respectivamente. Para que un elemento sea seleccionado, deben de cumplirse dos condiciones, la selección de grupo y la selección del elemento.

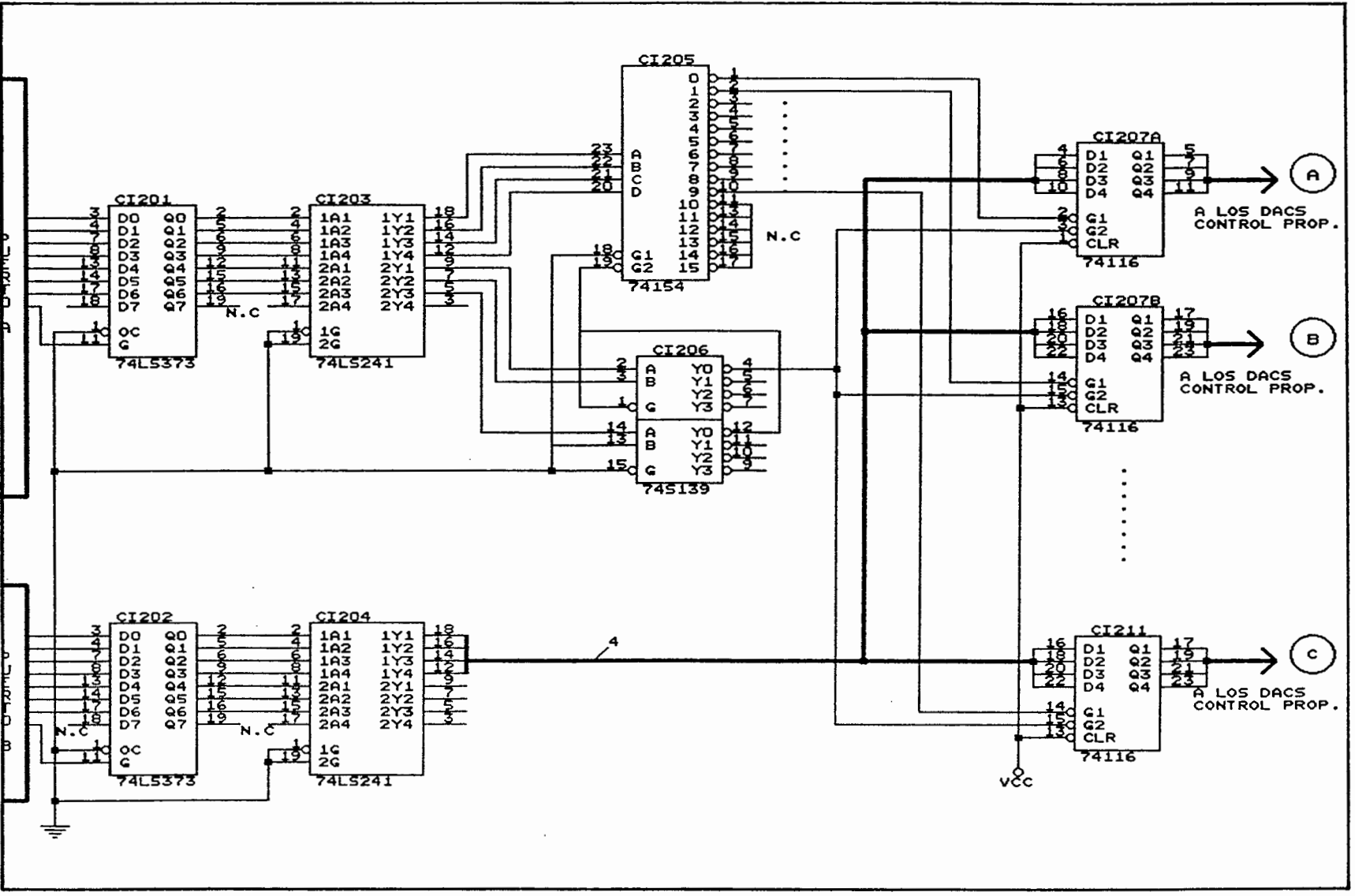
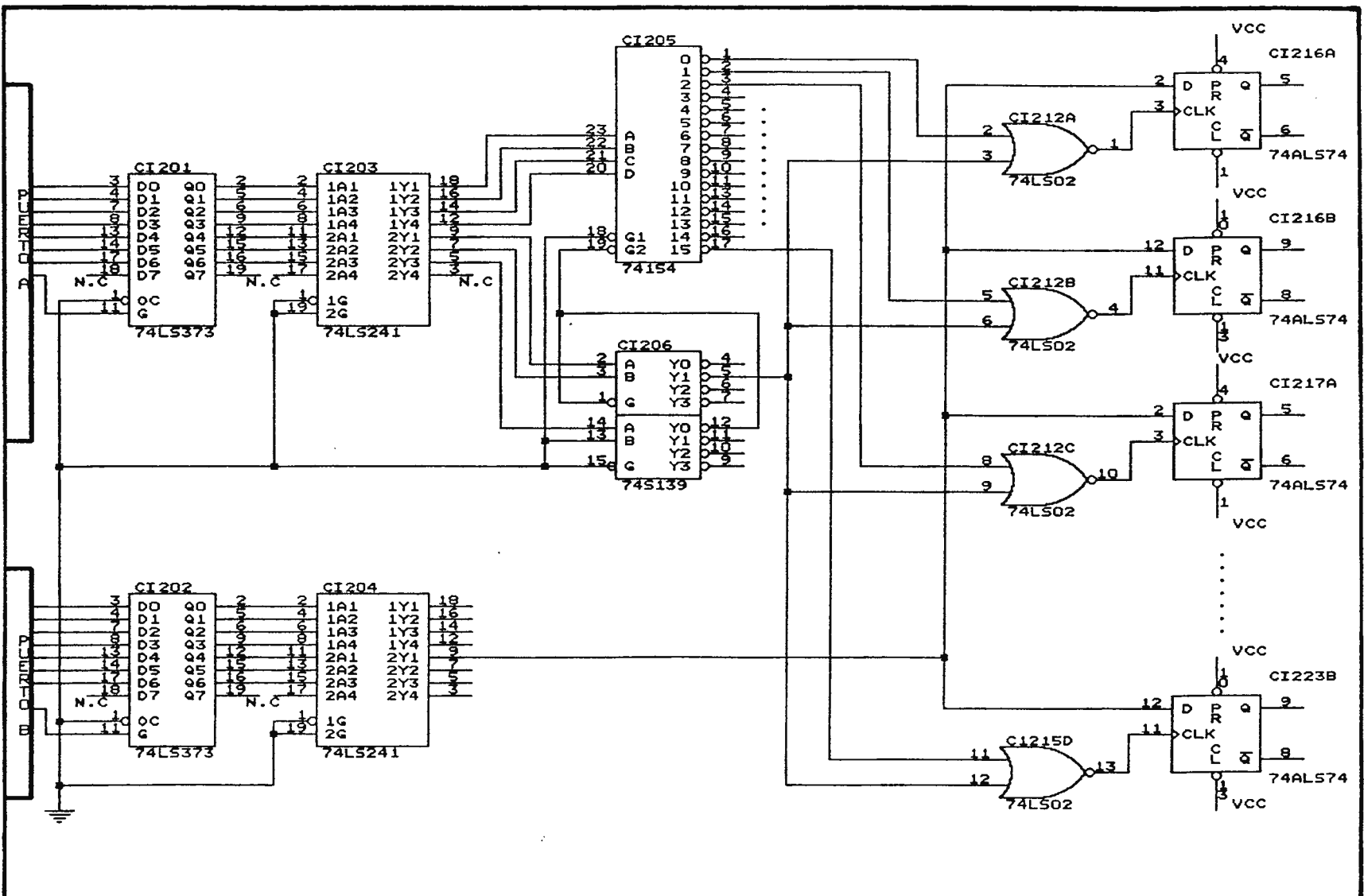


Fig. 3.5 a) Diagrama de la ULC para la etapa de control proporcional.

Fig. 3.5 b). Diagrama esquemático de la ULC para la etapa de control todo-nada.



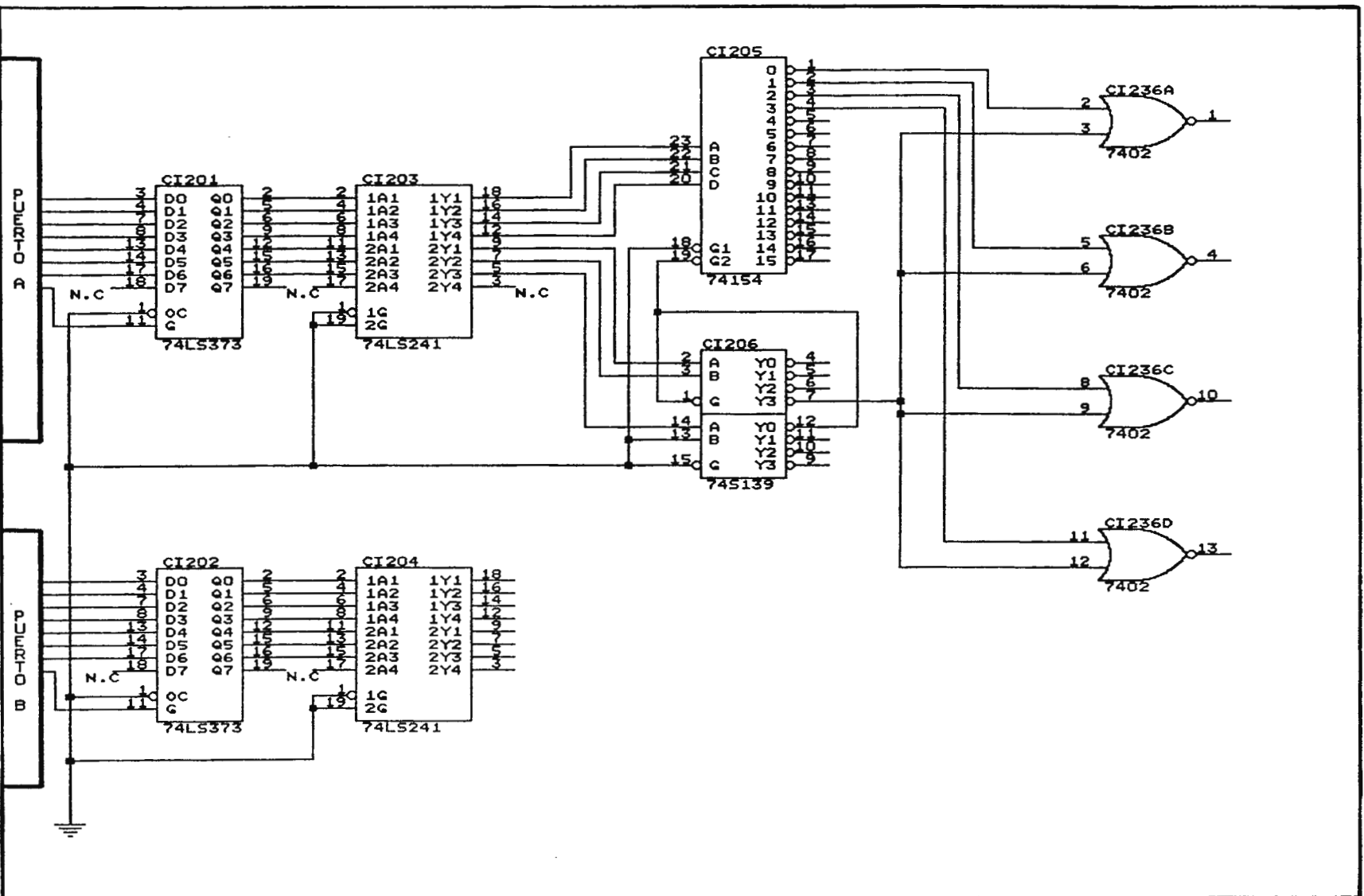


Fig. 3.5 c) Diagrama esquemático de la ULC para la etapa de control de pulso.

El CI203 (BUFFER DE DATOS, 74LS240) , suple las corrientes necesarias para el suministro de los datos a los elementos conectados a la PPI. Las salidas y_1 a y_4 (CI 203, primer BUFFER) son los datos utilizados por los controles proporcionales, las salidas y_1 e y_2 del CI 203(segundo BUFFER) son los datos de los dos grupos de control TODO-NADA.

Los CI206 a CI210 (2 LATCH de 4 bits) mantienen los datos hasta que se da una nueva señal de entrada. Sus salidas son conectadas a los DACS, que convierten los datos digitales a un voltaje utilizado para control en el circuito de disparo del triac en cada control proporcional.

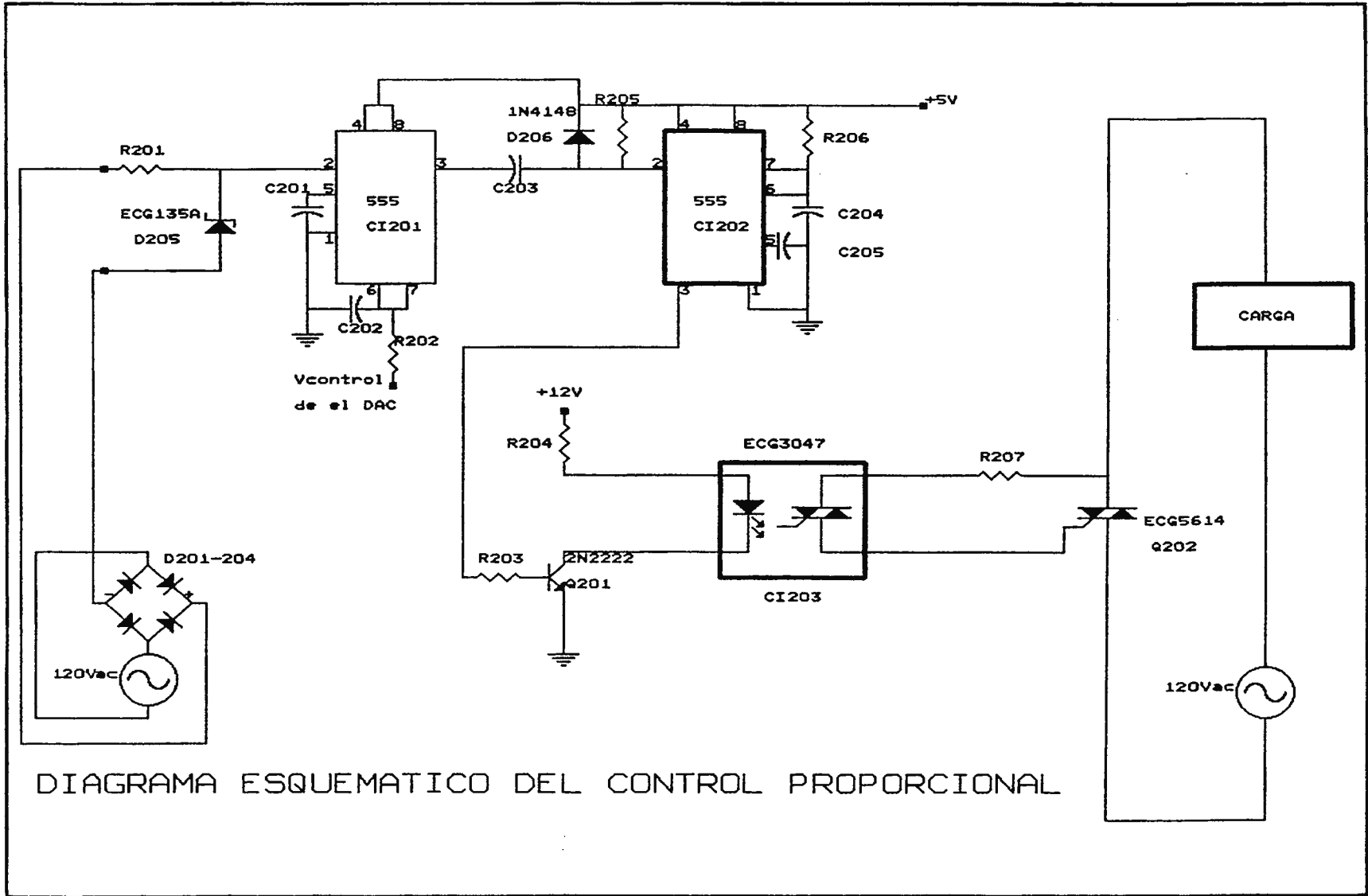
Los CI211 a CI218 (2 FF D) mantienen el dato proporcionado a cada control TODO-NADA. Al seleccionar un control TODO-NADA, el CI 219 a CI222(74LS74, compuerta NOR) activa al FF D de cada control , cambiando así el valor del dato anterior. La salida de cada FF es introducida vía resistencia de base al transistor de cada DRIVER utilizado por los controles TODO-NADA.

Las compuertas NOR 7402 son activadas cuando se selecciona un control de pulsos, estas generan una transición que se utiliza para disparar a un temporizador 555 configurado como monostable que utiliza cada control de PULSOS.

3.2.3 DIAGRAMA ESQUEMATICO DE EL CONTROL PROPORCIONAL

Un método para disparar un triac utilizando temporizadores es mostrado en la figura 3.6. En este circuito el diodo zener recorta la señal rectificada por el puente de diodos a un valor de 5.1V. La forma de onda proporcionada por el zener es mostrada en la figura 3.7b.

Fig. 3.6. Diagrama esquemático del circuito de control proporcional.



Una vez obtenida la señal recortada por el zener, ésta es utilizada para proporcionar un tren de pulsos de disparo en sincronía con el voltaje de línea para el circuito temporizador 555, CI 201. Este circuito configurado como monostable pone su salida (pin 3) en alta cuando en el pin 2 se da un pulso que va a negativo. El tiempo en alto de este pulso de salida, es determinado por el valor de R202 y C 202, y el voltaje de control. La duración del pulso es controlada por la variación del voltaje de control proveniente de la etapa digital, para permitirle al capacitor C201 que se cargue hasta un valor de $2/3$ de $V_{cc}(5v)$ para poner la salida en bajo. La duración máxima de este pulso de salida esta restringido por la duración de cada pulso recortado por el zener, este tiene un valor aproximado de 8.33mS. La forma de onda en el pin 3, es mostrada en la figura 3.7c.

El pulso del pin 3 de CI201 es acoplado al pin 2 del CI202 por medio del capacitor C203. la utilización de C203, R 205, y D206, aseguran el pulso único de salida por uno de entrada. La posición de R 205 entre V_{cc} y pin 2 obliga a que la salida siempre sea baja, hasta que C203 se cargue a $V_{cc}-V_{in}$ hasta que se da el pulso de disparo negativo. El diodo D206 evita que durante la subida del pulso se produzcan disparos indeseables. La forma de onda en el pin 3 de este CI se aprecia en la figura 3.7d. El propósito de esta configuración es que el pulso de salida siga al pulso de entrada cuando se de la variación del voltaje de control.

El pulso obtenido del pin 3 del CI 202 es introducido al driver formado por el transistor Q201, R203 con el objeto de proporcionar la corriente necesaria para activar el acoplador óptico. La variación de la posición en el tiempo, de el pulso que entra al acople óptico sirve para proporcionar la variación del pulso de disparo del triac, con lo que se obtiene el control del ángulo de disparo del triac. La forma de onda en la carga es mostrada en la figura 3.7e

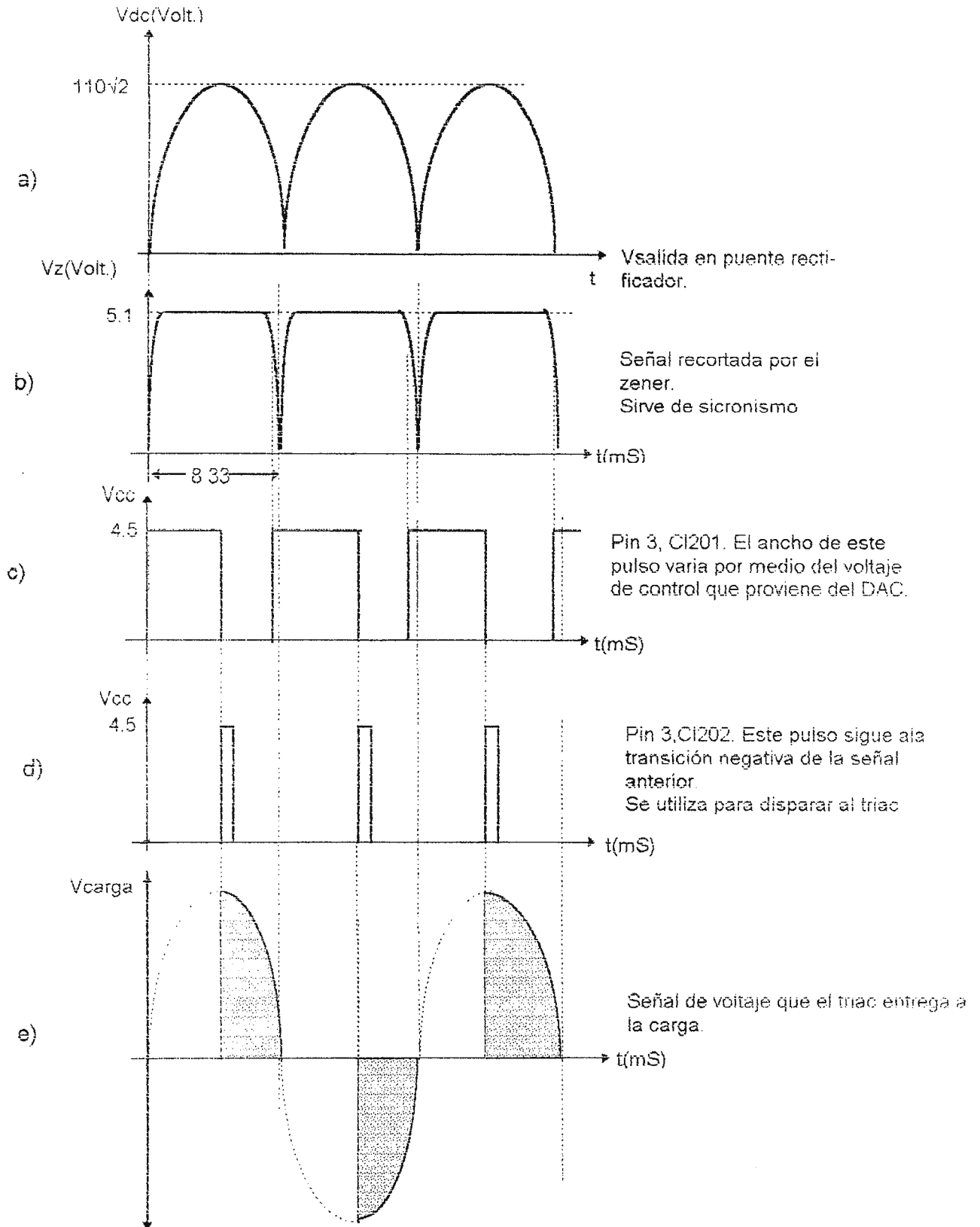


Fig.3.7. Formas de onda para el circuito de control proporcional

3.2.4 CALCULO DE LOS ELEMENTOS DEL CIRCUITO DEL CONTROL PROPORCIONAL

Si nos referimos a la figura 3.6, el temporizador 555 necesita obtener $1/3$ del V_{cc} para dispararse y $2/3$ de V_{cc} para pasar a estado bajo, (para el CI 201) se busca un zener que tenga un voltaje de ruptura arriba de $2/3V_{cc}$, por lo que una buena elección es de $V_z=5.1v$ (para $V_{cc}=5v$) que es un zener comercial con número ECG 135A.

Durante el pulso de disparo el 555 demanda una corriente de $0.5\mu A$ lo que representa una corriente despreciable, pero para una carga 10 veces mayor (cantidad de controles proporcionales que podrán manejarse) este valor es de $5\mu A$. lo cual sigue siendo despreciable y la potencia disipada por el zener se debe únicamente a la de su corriente de consumo. Para garantizar la baja disipación de potencia para asegurar una larga vida útil del elemento se considera que $1/4$ Watt es aceptable.

Del divisor, puente rectificador D201-204, R201 y D205, se calcula el valor de R201(R_d).

Para un voltaje de línea de 125v(para compensar la variación del voltaje de línea en diferentes lugares).

$$V_p = 125 \sqrt{2} = 176.777$$

$$V_{prom} = (0.636) * 176.777 = 112.43v$$

$$R_d = \frac{V_{pom} - V_z}{I_z} ;$$

$$V_z = V_{D206} = 5.1v$$

$$I_z = \frac{P_z}{V_z} = \frac{1/4W}{5.1v} = 49.02mA \quad I_z = I_{D206}$$

$$R_d = \frac{V_{prom.} - V_z}{I_z} = \frac{112.43v - 5.1v}{49.02mA} = 2189.5 \Omega ; \text{valor comercial de } 2.2K\Omega$$

Por razones de seguridad del dispositivo, el valor de R201 debe ser mayor. Una disipación con margen de seguridad de 2 a 1 es usada frecuentemente. Por lo que el valor de R201 se toma como 4.4K Ω .

$$P_{Rd} = \frac{V_{Rd}^2}{R_d} = \frac{(107.33v)^2}{4.4K\Omega} = 2.62w ; \text{valor comercial próximo de } 3W$$

El tiempo en alta del pulso de salida del CI201 esta fijado por la relación:

$$t = 1.1 * R_{202} * C_{202}$$

Para un pulso de 0.8 mS y 0.1 μ F

$$R_{202} = \frac{0.8mS}{1.1 * 0.1\mu F} = 7277.727\Omega ; \text{Valor comercial de } 8K\Omega$$

La variación del ancho del pulso de salida puede controlarse en un rango de 4v a 12 v, para asegurar que el ancho del pulso se encuentre dentro de los 8.33mS que dura el pulso recortado por el zener.

El CI 202 configurado también como monostable, genera un pulso de 0.11mS a su salida:

$$t = 1.1 * R_{206} * C_{204}$$

Conociendo el ancho del pulso y escogiendo el valor del capacitor de 0.01µF se obtiene el valor de la resistencia

$$R_{206} = \frac{0.11\text{mS}}{1.1 * 0.01\mu\text{F}} = 10\text{K}\Omega$$

Del lado de la entrada del circuito la constante de tiempo de R205 y C203 debe ser menor que el intervalo de tiempo de la salida, por lo que se escoge el ancho del pulso de 0.05mS y la R205=10KΩ,

$$C_{203} = 0.05\text{mS} / (1.1 * 10\text{K}\Omega) = 0.005\mu\text{F}.$$

Para seleccionar el D206, se escoge uno con características de propósito general, estas características las reúne el 1N4148.

La salida (pin 3) del CI 202 se conecta a un circuito driver que será explicado posteriormente, este circuito se utiliza para que proporcione la corriente de encendido de el diodo de el acoplador óptico.

De la salida del driver se obtienen 30mA , por lo que se necesita de un acople óptico que soporte esta corriente del lado de elemento emisor. El acoplador óptico ECG 3047 es un acoplador de diodo a triac con una corriente máxima en el diodo de 50mA y una corriente máxima en el triac de 100mA.

El triac deberá manejar cargas de 100Watt a un voltaje de 125Vac y por consiguiente corrientes cercanas a 1A. Pero existen luminarias en las que se conectan varias unidades a una misma línea , por lo que deben considerarse corrientes mayores a un amperio. Una consideración de 10 A es aceptable si se deja un margen de seguridad. El triac ECG 5614 posee características máximas de : corriente de disparo de 50mA. y voltaje de disparo de 2.5v.

La resistencia R207 entre el triac y el opto acoplador se obtiene de

$$R207 = V_{gt}/I_{gt} = 2.5 \text{ v} / 25\text{mA} = 100\Omega.$$

3.2.5 DRIVER DE CORRIENTE

Se utiliza para proporcionar la corriente que se necesita para activar los circuitos que contienen reles . Este es un circuito simple que utiliza un transistor como interruptor en el que

la señal proveniente de la etapa digital es introducida a la base a través de una resistencia de base para hacer conducir al transistor. Generalmente esta corriente es del orden de $800\mu\text{A}$:

Del diagrama esquemático (figura 3.8, control todo-nada) puede verse la malla entre base-emisor que $R_{301} = 5\text{V} / 800\mu\text{A} = 6250\Omega$, el valor comercial próximo es de $6.2\text{K}\Omega$ y $6.5\text{K}\Omega$.

Como este circuito será utilizado para manejar reles con una resistencia de 400Ω , que ha de ser conectada como resistencia de colector, y una corriente de operación de 30mA obtenemos el voltaje de saturación del transistor.

$$V_{cc} = I_c * R_c = 30\text{mA} * 400\Omega = 12\text{V}$$

Con lo que se obtiene el voltaje de polarización para saturar al transistor. El transistor que se ha escogido para este circuito es el NTE 128P, que es un transistor de propósitos generales.

Este circuito driver es el mismo que se utiliza en los demás circuitos del sistema, como son pulso para apertura de puertas, control proporcional, todo o nada y cambio de giro de motor. La única diferencia existente en la utilización de este circuito es la interconexión de los reles en el circuito de cambio de giro y el acoplador óptico en el control proporcional.

3.2.6 CONTROL TODO O NADA

La función de este bloque es como la de un interruptor, es decir, proporciona o elimina de forma completa la alimentación de energía eléctrica a una carga. Cuando la señal

proveniente un latch(etapa digital) esta en alto fluye la corriente a través de la base saturando el transistor(driver) accionando el interruptor del relé.

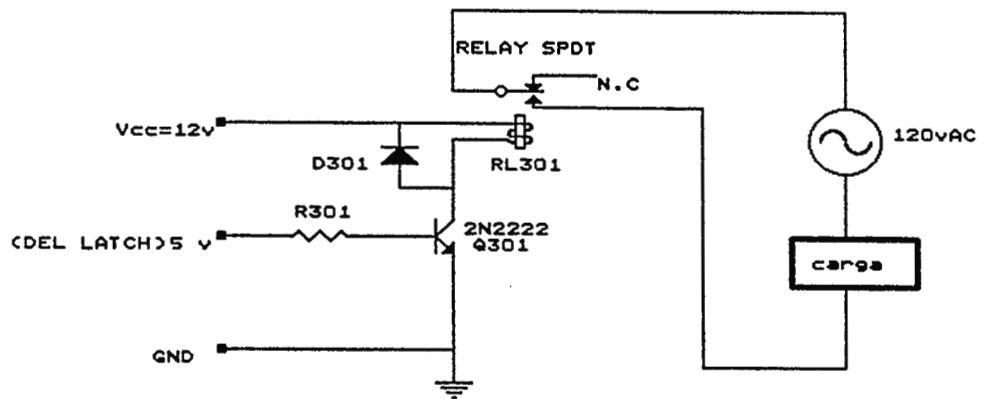


Fig.3.8. Diagrama esquemático del control todo-nada.

Este circuito utiliza un driver explicado anteriormente, y un relé de un solo tiro. Debe de seleccionarse un relé que entre sus contactos soporte una corriente adecuada para la carga que manejará. Las cargas que serán conectadas a este serán luminarias y tomas controlados, por lo que la consideración de una corriente de 10A entre contactos es aceptable. Como se explico en el circuito de driver se selecciono un relé de 12v DC, 10 A entre contactos y una impedancia del embobinado de 400Ω .

3.2.7 CIRCUITO CONTROL DE PULSO

Este circuito es utilizado para que por medio de un pulso pueda controlar una carga que requiera de un pulso de corta duración para activarse (cerraduras eléctricas).

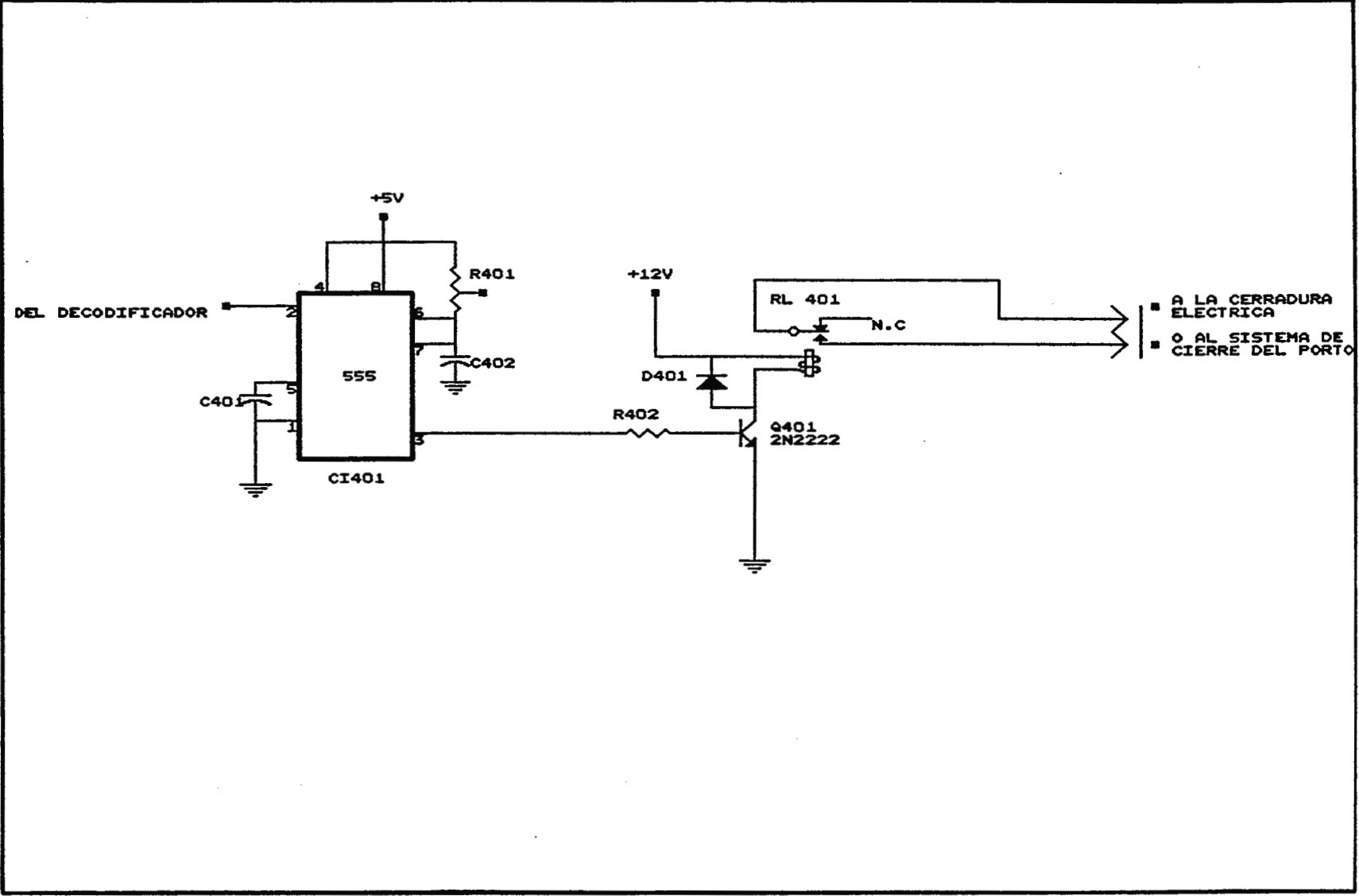
Se utiliza un temporizador 555 configurado como monostable, para generar el pulso que se introduce al driver explicado anteriormente, que activará el interruptor del relé que será conectado en serie con una de las líneas de alimentación de la carga. El tiempo en alta del pulso de salida se selecciona de tal manera que sea el suficiente para retener el pin de seguridad de la chapa y le permita abrirse. Este tiempo se ha considerado en aproximadamente 1/2 segundo. El valor del capacitor también se ha elegido en un valor comercial de 0.2 μ F.

El valor de la resistencia de la constante de tiempo de el circuito es:

$$R_{401} = 0.5 \text{ s} / (1.1 * 0.2\mu\text{F}) = 2.2\text{M}\Omega.$$

Esta señal obtenida en el pin 3 se utiliza para saturar al transistor del driver para que accione el relé. y active a la carga. La figura 3.9, corresponde al diagrama esquemático de este circuito.

Fig. 3.9 Diagrama esquemático del circuito de control de pulsos.



3.2.8 CIRCUITO DE CONTROL REMOTO

En la actualidad existen en el mercado circuitos integrados que realizan todas las funciones de recepción y transmisión internamente en encapsulados pequeños, necesitando únicamente de unos cuantos elementos externos para asegurar una operación óptima. Tal es el caso de un cristal y un par de condensadores que sirven para asegurar que el oscilador interno mantenga la frecuencia de la portadora, además de un transistor para amplificar la corriente a la salida del transmisor y un diodo infrarrojo para transmitir.

Del lado receptor la situación es similar, necesitando sólo un diodo detector infrarrojo, elementos para regular la ganancia del circuito y condensadores para filtros; y si el circuito no cuenta con datos en paralelo a su salida (salida en serie fig.3.10), se utiliza un transistor configurado como interruptor para amplificar la señal de salida (fig.3.13). Incluso el fabricante proporciona la configuración de los circuitos con el dimensionamiento de los elementos para la operación ideal de sus circuitos.

Como puede observarse de lo anterior, la implementación de un control remoto muchas veces se limita a el diseño de la etapa de conversión de los datos a la salida del receptor a un formato útil para el diseñador. Siendo ese el caso a tratar a continuación.

Para la implementación del control remoto se utilizaron los circuitos integrados MC14497 y MC3373 los cuales son el transmisor y receptor respectivamente (el diagrama esquemático se muestra en la figura 3.14). El circuito transmisor MC14497 ofrece la posibilidad de tener un máximo de 61 teclas, modulación FSK y AM, un oscilador de 500Khz controlado por cristal, transmisión infrarroja con start bit y bit de polaridad (en AM solamente).

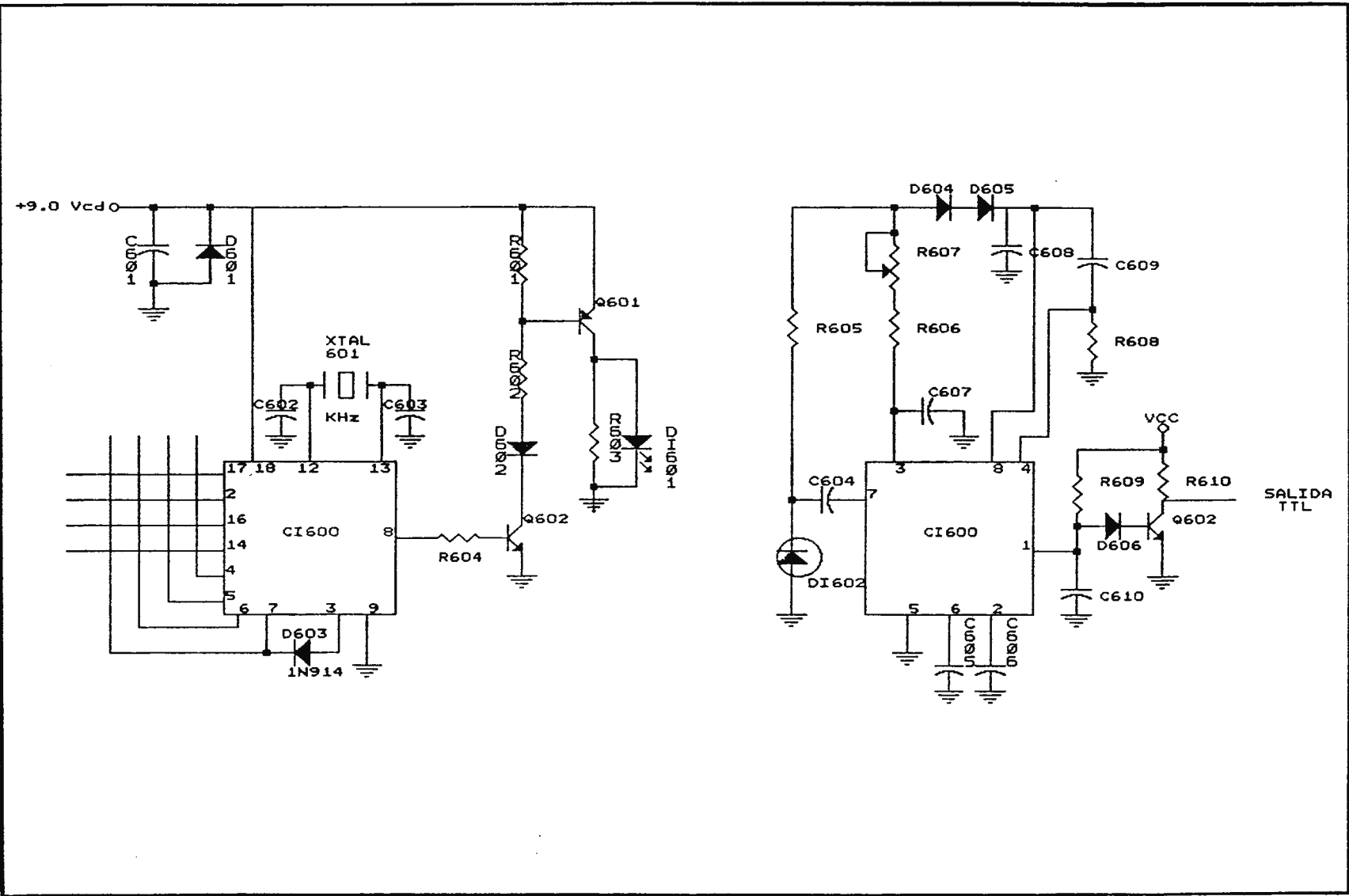


Fig. 3.14. Diagrama esquemático de el transmisor y receptor del control remoto.

El transmisor envía seis bits clasificados desde A(LSB), hasta F(MSB), este código binario da un total de 64 posibles combinaciones o códigos. Estos canales son seleccionables excepto los últimos dos , donde el canal 63 no es enviado hasta que el canal 62 se manda automáticamente como indicación de fin de transmisión.

En cualquier modo de transmisión FSK o AM , la señal transmitida es de la forma de código de modulación de pulso bifásico. En AM la forma de la señal bifásica es como la de la figura 3.11. En esta señal el "0" o el "1", se representan por su posición en la señal, es decir, el uno y el cero son enviados en una posición específica de la señal .

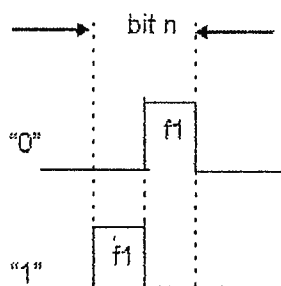


Fig.3.11. Modulación AM

En este modo, f_1 es un tren de pulsos a la frecuencia modulada de 31.25kHz para una referencia de 500kHz

El teclado del transmisor puede ser una simple matriz de interruptores conectados a las cuatro salidas de A1 a A4, y las ocho filas de E1 a E8. Entre el pin 3 y 7 (E9 y A1) debe conectarse un diodo para seleccionar el modo de transmisión AM .

El circuito cuenta internamente con un retardador para que 20mS después de oprimida una tecla sea enviado el código. La transmisión es repetida a intervalos de 90mS mientras que la tecla esta siendo oprimida. Una vez que la tecla es liberada, el circuito envía el código 62 para indicar el fin de la transmisión y el transmisor retorna a su estado de reposo(standby). En la siguiente figura se muestra la forma de onda de la palabra transmitida en AM y la señal en el tiempo.

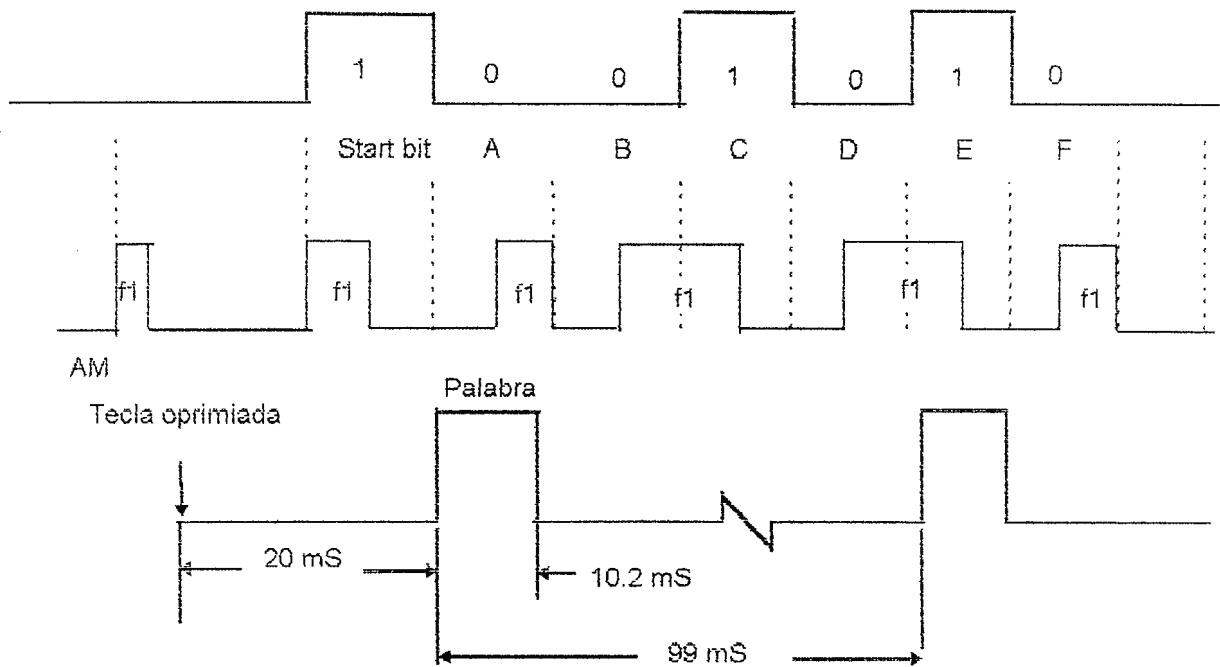


Fig. 3.12 Formas de la señal transmitida y temporizado para la palabra 1001010

Para el circuito del receptor El fabricante sugiere utilizar el circuito integrado MC3373 diseñado para trabajar exclusivamente con el MC14497. Este circuito integrado esta diseñado para detectar y amplificar las señales provenientes de un diodo receptor infrarrojo en un sistema de control remoto. La señal es generalmente de la forma de pulsos ultrasónicos en los

que el rango de la amplitud esta entre $50\mu V_{p-p}$ y algunos cientos de millivoltios. La figura 3.13 muestra las formas de onda en el receptor

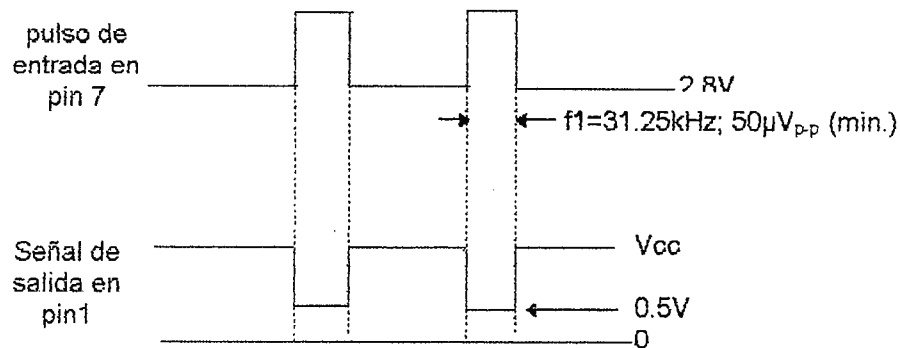
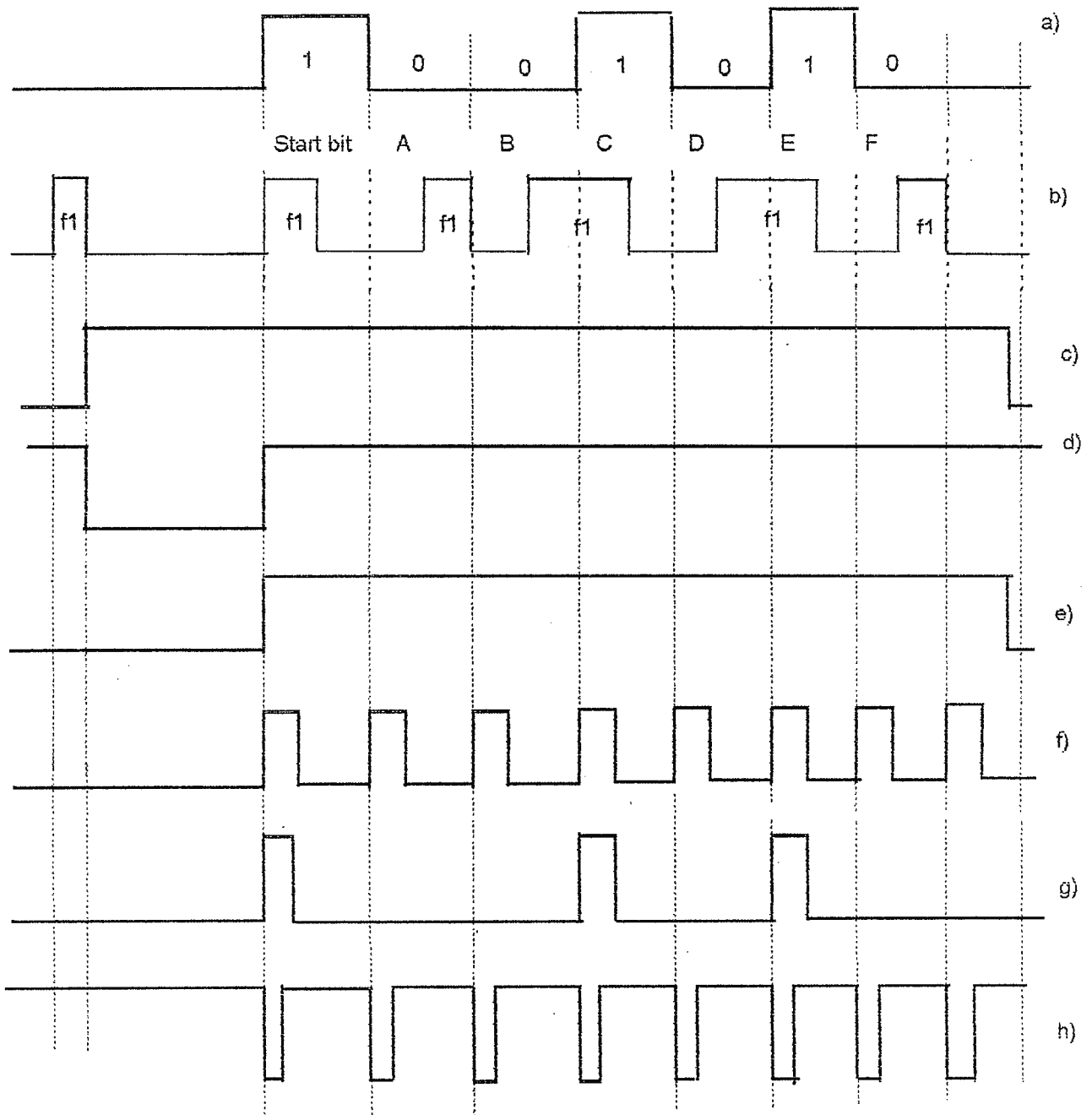


Fig.3.13 Formas de onda típicas en el receptor

Para que los datos puedan ser leídos por la PPI en el puerto C deben de estar en paralelo, por lo que debe hacerse la conversión de datos en serie (a la salida del receptor) a paralelo.

3.2.9 DISEÑO DE LA ETAPA DE CONVERSION DE DATOS.

Si se observa la gráfica de tiempo de la figura 3.14, puede verse que desde el comienzo del bit de inicio de transmisión hasta el start bit hay una longitud de 2.9mS, y el contenido de la palabra transmitida dura 7.3mS. Por lo tanto, para activar la etapa de conversión únicamente durante la transmisión, es necesario generar un pulso de habilitación para todos los circuitos de la etapa. Este pulso o ventana de tiempo debe durar 11.2mS, con lo que se logra la sincronización requerida.



a) Instrucción

d) Ventana de retardo de 2.6mS despues del inversor

f) Señal de sincronismo para reconocimiento de datos

b) Dato recibido en AM

e) Ventana de 8.3mS, para sincronia con longitud de palabra

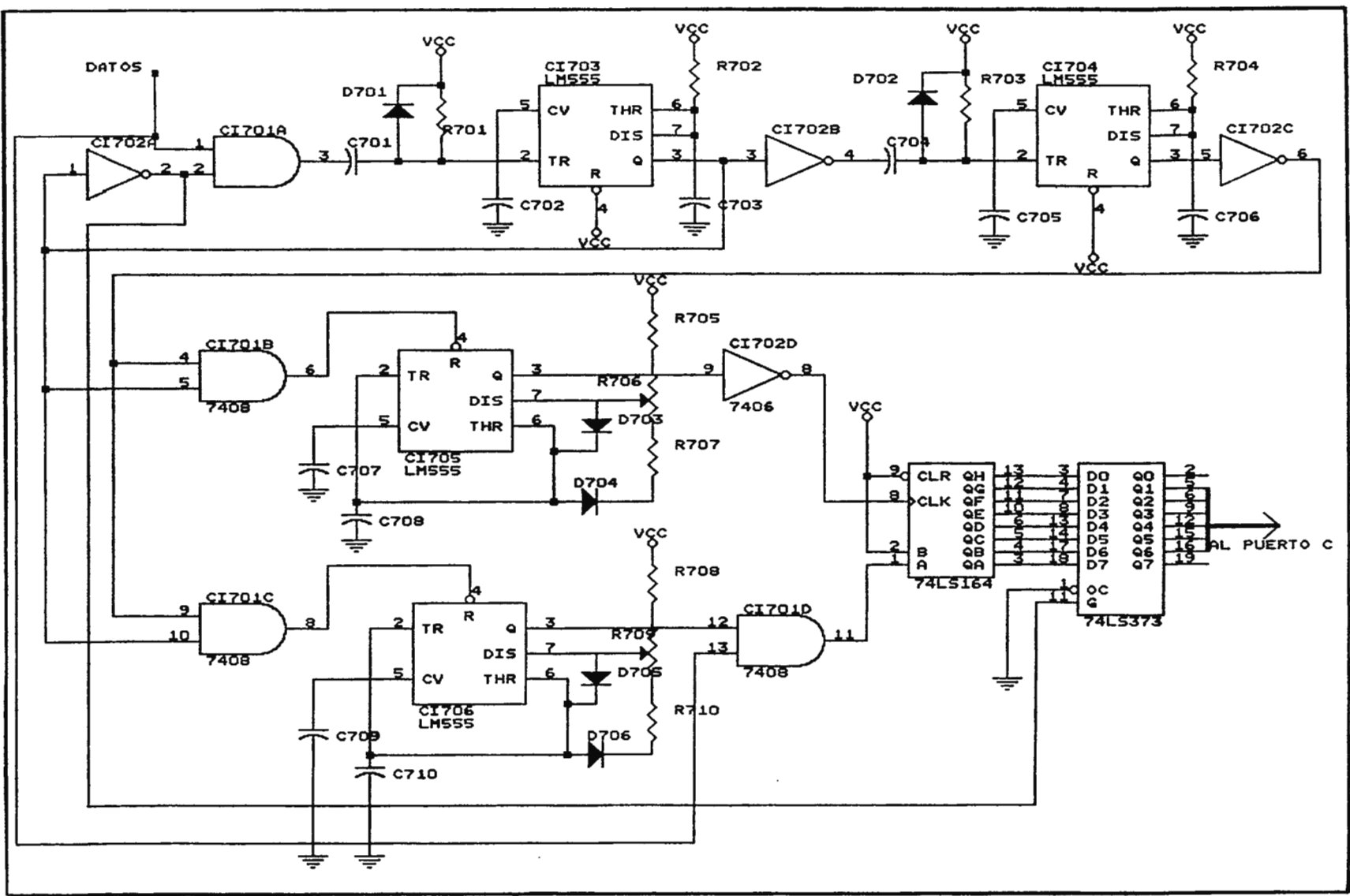
g) Suma de la señal (AND) de datos y de reconoc.de datos. Entra al registro

c) Ventana de 11.2mS

h) señal de reloj.

Fig. 3.14 Diagrama de tiempo para la recepción y decodificación de una palabra

Fig. 3.15. Diagrama esquemático de la etapa de conversión de datos



El pulso de 11.2mS puede obtenerse de un temporizador 555 configurado como monostable con el siguiente cálculo:

$$T = 1.1R_{702}C_{703} \Rightarrow 11.2\text{mS} = 1.1R_{702}(0.1\mu\text{F})$$

$$R_{702} = 101.81\text{K}\Omega$$

El valor del capacitor se asigna por conveniencia.

Como la palabra comienza 2.9mS después de iniciada la transmisión, es necesario suministrar un retardo de 2.6mS para obtener una ventana equivalente a la longitud de los datos válidos de la palabra transmitida. Esto se consigue con un temporizador 555 como monostable. Este circuito es alimentado con la ventana de 11.2mS invertida, debido a que el 555 se dispara con transición negativa y se necesita que estos dos temporizadores se disparen al mismo instante para poder sumar las dos señales en una compuerta AND; la señal de 2.6mS es invertida antes de introducirse a la compuerta AND para obtener el retardo requerido. A la salida de la de la AND se obtiene un pulso que dura exactamente lo mismo que la longitud de los datos válidos de la palabra transmitida.

El cálculo de los elementos para el circuito de retardo es el siguiente:

$$T = 1.1R_{704}C_{706} \Rightarrow 2.6\text{Ms} = 1.1R_{704}(0.1\mu\text{F})$$

$$R_{704} = 23.63\text{K}\Omega$$

La señal obtenida anteriormente está sincronizada con la longitud de la palabra y se utiliza para activar a la etapa de reconocimiento de datos y al clock justo en el momento en que comienza la palabra.

La etapa de reconocimiento de datos está conformada por un temporizador 555 como astable, el cual tiene una señal de salida con un periodo de 1.2mS, que corresponde a la duración de cada bit transmitido; y tiene un ciclo de trabajo del 70% con lo cual da un pulso en alto de 0.3mS en el tiempo correspondiente al código "1" (consultar sección 3.2.8). La salida de éste 555 y los datos captados por el receptor son sumados en una compuerta AND y siempre que el dato sea "1" mas la señal del 555 que esta en alto en ese momento, dará un "1" su salida y es introducido a la entrada de un registro serie paralelo.

Cuando el dato sea "0" la salida del 555 estará en alto y la salida de la AND será "0". La entrada de estos datos al registro está sincronizada con la entrada del clock. El clock se da 0,18mS después que el pulso de reconocimiento de datos comienza . Esto se logra con un 555 configurado como astable y cuya salida tenga un periodo igual al de reconocimiento de datos que es de 1.2mS, pero con ciclo de trabajo de 85% dando un pulso en alto de 0.18mS. Al conectar esta salida a un inversor se logra un clock con transición positiva 0.18mS después de comenzar el dato, logrando así que el dato ya se encuentre en la entrada del registro cuando se dé el pulso del clock.

Los cálculos para el dato son:

$$T = 0.7(RA + RB)C$$

$$1.04mS / (0.7 * 0.1\mu F) = 14857.14 = RA + RB \rightarrow RA = 14857.14 - RB$$

$$\text{Ciclo de trabajo} = RB / (RA + RB) = 0.7$$

$$0.7 = RB / (14857.14) \Rightarrow RB = 10.4K\Omega$$

$$\text{Y } RA = 4.45K\Omega$$

Los cálculos para el clock son los siguientes:

$$RA + RB = 14857.14$$

$$RB = 14857.14 - RA$$

$$\text{Ciclo de trabajo} = RB / (RA + RB)$$

$$0.85 = RB / 14857.14 \Rightarrow RB = 126.28K\Omega$$

$$\text{y } RA = 2.23K\Omega$$

3.2.10 DISEÑO DE LA TARJETA INTERFAZ

Para interconectar los elementos explicados anteriormente con el microprocesador de la computadora es necesario contar con el elemento interfaz, que como se mencionó antes se utilizará un circuito integrado INTEL 88255A, para el que deben tomarse algunas consideraciones.

3.2.10.1- DECODIFICACION DE DIRECCIONES

Antes de asignarle una dirección a un nuevo puerto o periférico de una computadora, hay que revisar primero los espacios que se encuentran disponibles o reservados para este tipo de aplicación. Como se observo en la tabla 1.2 en el capítulo I, los espacios libres designados para tarjetas prototipo están entre 0300H y 031FH. Debe considerarse que el PPI posee cuatro registros u ocupa cuatro bytes de memoria, por lo que la PPI puede colocarse en las siguientes direcciones:

0300H	0304H	0308H	030CH
0310H	0314H	0318H	031CH

Tomando en cuenta la forma en que varían los bits de una dirección a otra desde 0300H hasta 031FH, se seleccionan los bits con los que se pueda variar la dirección de memoria de la tarjeta y evitar de esa manera cualquier conflicto de direccionamiento con otras tarjetas prototipo.

<u>Dirección</u>	<u>FEDC</u>	<u>BA98</u>	<u>7654</u>	<u>3210</u>
0300H	0000	0011	0000	0000
031FH	0000	0011	0001	1111

Los primeros seis bits son irrelevantes, ya que la cantidad máxima de puertos o dispositivos que se pueden acceder llegan sólo hasta 031FFH.

Los cinco bits siguientes son valores fijos , ya que en ningún momento deben de alterarse para no salirse del rango establecido.

Los dos últimos bits son para el direccionamiento interno del PPI y accesar al registro de control y los tres puertos.

Los tres bits A_4, A_3 , y A_2 (bits 4,3,2) son los únicos que varían al cambiar de dirección, por lo tanto si se hace una tarjeta prototipo deben seleccionarse estos bits para poder de direccionarla . Estos tres bits deben de conectarse a un comparador de bits para que seleccione al PPI única y exclusivamente cuando la dirección programada sea la correcta. Esto se logra con la colocación de una compuerta XOR exclusiva , la cual compara el bit enviado por el microprocesador con el bit programado.

La tabla de verdad de una XOR exclusiva se muestra a continuación.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Con la tabla se demuestra que para lograr un uno a la salida de la compuerta, el bit programado debe ser el inverso al que se debe leer y comparar.

De la misma forma a los bits que son siempre cero se les coloca un inversor para hacerlos unos. El final de hacer que todos los bits sean uno, es que al obtener en el bus la dirección seleccionada correctamente, se coloque un decodificador que indique que la condición se ha cumplido. Esto se logra mediante una compuerta NAND de ocho entradas que da un cero a la salida únicamente cuando sus ocho entradas son uno. La condición deseada.

La tabla de verdad de la compuerta NAND de ocho entradas se muestra a continuación:

<u>X1</u>	<u>X2</u>	<u>X3</u>	<u>X4</u>	<u>X5</u>	<u>X6</u>	<u>X7</u>	<u>X8</u>	<u>Y</u>
0	X	X	X	X	X	X	X	1
X	0	X	X	X	X	X	X	1
X	X	0	X	X	X	X	X	1
X	X	X	0	X	X	X	X	1
X	X	X	X	0	X	X	X	1
X	X	X	X	X	0	X	X	1
X	X	X	X	X	X	0	X	1
X	X	X	X	X	X	X	X	1
1	1	1	1	1	1	1	1	0

3.2.10.2- BUS DE CONTROL

A este se le conectan las líneas directas del bus de control para hacerlo funcionar.

La línea de RESET inicializa el puerto colocando todos los puertos como salida en modo cero. esta línea es activada al encender la maquina o darle un reboot.

Las líneas IOW e IOR se mantienen permanentemente en estado lógico uno. Estas líneas se activarán (estado lógico cero) única y exclusivamente si la lectura o escritura se realiza en un puerto periférico. En combinación con la línea selector de chip conectada al buffer del bus de datos que posee el PPI internamente, deshabilita el triple estado y da acceso a una entrada o una salida.

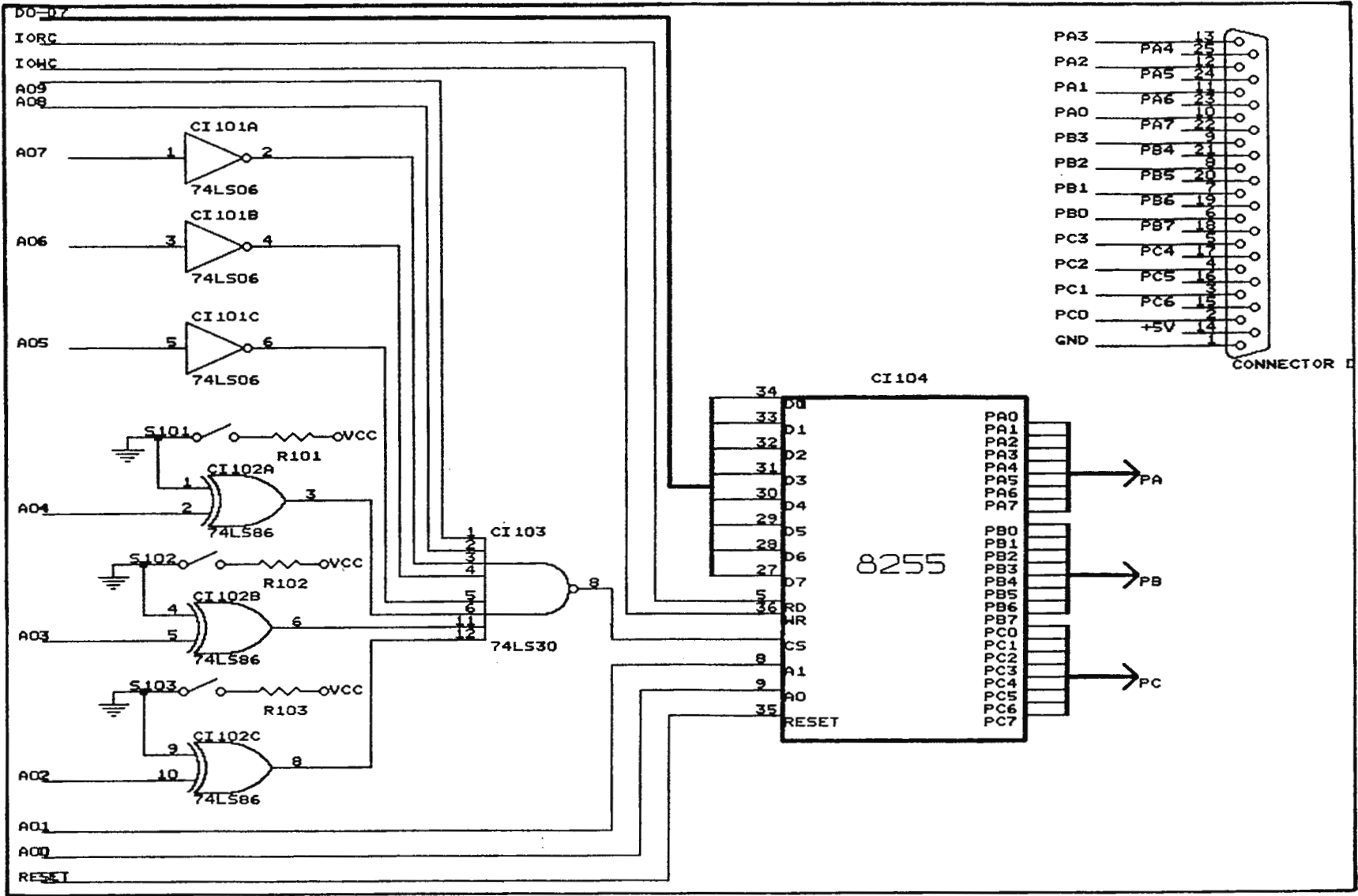
Las líneas de A0 y A1 son las encargadas de acceder los cuatro registros internos que posee el PPI.

3.2.10.3- LIMITACIONES DE INTEL

Intel recomienda tomar muy en cuenta el FAN OUT (capacidad de carga) de los componentes conectados al SLOT de la maquina. Este no debe de exceder de dos componentes por línea de salida. En caso de sobrepasar este limite, es recomendable colocar un buffer para obtener un FAN OUT mayor.

La siguiente figura muestra el diagrama esquemático de la tarjeta interfaz

Fig. 3.16 Diagrama esquemático de la tarjeta interfaz



CAPITULO IV

COMPILADOR CLIPPER, BASES DE DATOS Y SU APLICACION

4.0 INTRODUCCION

Este capítulo cuenta con la información necesaria para formar una idea acerca de las bases de datos; también se proporciona información general acerca del manejador de base de datos CLIPPER y un listado de las principales funciones y comandos utilizados para realizar el programa de aplicación, además de presentar el flujograma respectivo.

4.1 BASE DE DATOS

Una base de datos es un conjunto de información organizado. El tipo de información no es realmente importante, ésta puede ser de muchas clases por ejemplo, una lista de nombres y direcciones como la guía telefónica, un diccionario o el archivador de una oficina; en los tres casos se cuenta con una base de datos.

La base de datos informatizada funciona de forma similar a un archivador de una oficina, en el que se siguen ciertas normas para la clasificación de los datos. Por ejemplo, podría almacenar información de un empleado en un archivador propio para mantenerlo separado de otros archivos. De esta, se tendrá una carpeta para cada empleado ordenadas por el primer apellido para facilitar la búsqueda. Las reglas que se utilizan en una base de datos manual no difieren de las que se utilizan en un sistema de gestión de base de datos informatizado.

4.1.1 CAMPOS Y REGISTROS (COLUMNAS Y FILAS)

Una forma de ver la información almacenada en una base de datos es como un conjunto de fichas en las que se guarda toda la información concerniente a algo o alguien, por ejemplo, los datos de un empleado en los que los elementos almacenados serían: el Nombre del empleado, el Código del empleado, conocimientos generales, historia salarial etc. En términos de base de datos, a la ficha de cada empleado se le denomina REGISTRO y a cada elemento de información se le denomina CAMPO. Un REGISTRO es simplemente una forma significativa y consistente de combinar partes y elementos de información acerca de algo. Un CAMPO representa un solo elemento útil de información (un elemento que aparece en cada registro de base de datos).

Otra forma útil de ver la base de datos es como una lista de filas y columnas, similar a una típica hoja de cálculo electrónica. En este caso cada fila de la lista corresponde a un registro y cada columna corresponde a un campo.

Cuando se crea una tabla (de datos), debe asignársele a cada campo un único nombre llamado nombre de campo, con el fin de localizar y gestionar la información de forma rápida y fácil, manteniendo los datos separados y organizados. La longitud del nombre de campo no debe ser mayor de diez caracteres.

4.1.2 SISTEMA DE GESTION DE BASE DE DATOS

Un sistema de gestión de base de datos o DBMS(DataBase Managment System) es un conjunto de herramientas que ayudan a gestionar la información almacenada en una base de

datos. CLIPPER proporciona esta facilidad y funciona como una interfaz entre la información y el usuario.

4.1.3 TIPOS DE DATOS

Antes de introducirse la lista de campos tiene que elegirse un TIPO DE DATO para cada campo. Un tipo de dato describe la clase y el rango de valores que se permiten en un campo.

Los tipos de datos pueden ser:

- **Character(Carácter):** Utilizado para almacenar texto. Acepta todas las letras, números, espacios, signos de puntuación, y otros símbolos. La longitud máxima de un campo carácter es de 254 caracteres.
- **Numeric(Numérico):** Utilizado para almacenar números. Acepta sólo números del 0 al 9, el signo más o el signo menos, o un punto decimal. La longitud máxima de un campo numérico es de 20 dígitos incluyendo los signos más o menos y el punto decimal.
- **Logical(Lógico):** Almacena un sólo carácter que indica verdadero o falso. La longitud máxima de este campo es de un carácter.
- **Date(Fecha):** Utilizado para almacenar fechas. El rango válido que se acepta es desde 01/01/0100 hasta 31/12/999. Un campo de fecha siempre tiene longitud de ocho, ya que las fechas se almacenan internamente como DDMMAAAA..

- **Memo(Memoria):** Se utiliza para guardar información de cualquier tipo, aunque en la práctica se usa para almacenar texto. Un campo memo puede variar de longitud, y puede ser tan largo como se desee, limitado sólo por la capacidad del disco.

4.1.4 ARCHIVOS Y NOMBRES DE ARCHIVOS

El nombre de un archivo CLIPPER consiste de dos partes: el nombre y la extensión separadas por un punto. El nombre puede estar formado por cualquier letra, números y símbolos excepto por el guión. Este debe comenzar con una letra y no debe tener espacios en blanco. La longitud máxima permitida es de ocho caracteres.

CLIPPER requiere que se le asigne un único nombre a cada procedimiento y función, incluyendo programas y archivos de formato. El compilador CLIPPER evalúa cada nombre de archivo de la misma forma que otros identificadores (variables de memoria y archivos alternos).

En la aplicación de CLIPPER existen muchos comandos en los que no es necesario especificar la extensión de un archivo, a menos que tenga que hacerse. Si un comando crea un archivo, la extensión apropiada es asignada automáticamente. Sin embargo, con los comandos COPY FILE, DELETE FILE, ERASE, RENAME, y TYPE se requiere que se especifique la extensión del archivo.

Los archivos usados por CLIPPER son: Archivo de Base de Datos, Archivo de memoria de Campo, Archivos indexados y Archivos de memoria.

- Archivo de Base de Datos: contienen la estructura de los registros y los campos, la extensión predeterminada para este archivo es “.DBF”.
- Archivo de memoria de Campo: contiene todos los campos de memoria para un archivo de datos particular. Todos los archivos de memoria de campo tienen el nombre del archivo de datos asociado y su extensión es “.DBT”.
- Archivos Indexados: son creados para proveer un orden para los registros dentro de un archivo de datos. Deben ser asociados varios archivos índice con un archivo particular de datos. En CLIPPER estos archivos tienen una o dos extensiones: “.NTX”(formato clipper) o “.NDX”(compatible con DBASE III PLUS).
- Archivos de memoria: contienen valores asignados a variables de memoria guardadas en el disco durante la ejecución de un programa para ser restablecidas en cualquier momento. La extensión para estos archivos es “.MEM”.

4.2 COMPILADOR CLIPPER

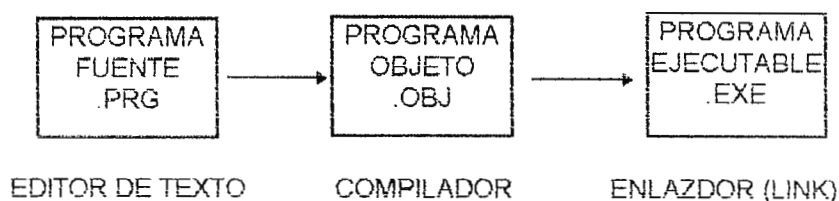
Es un sistema diseñado para facilitar el desarrollo de programas de aplicación. Con CLIPPER se pueden crear y compilar programas sin la necesidad de asistencia de software adicional más que un editor de texto.

Después que el programa fuente está libre de errores debe ser compilado y luego encadenado (linked), creándose así un programa ejecutable (.EXE), que puede ser corrido directamente en cualquier computadora compatible con MS-DOS versión 2.0 en adelante.

4.2.1 LIBRERIAS DEL CLIPPER

Las funciones e CLIPPER están contenidas en las librerías CLIPPER.LIB y EXTEND.LIB. Estas deben de especificarse cuando se enlazan las aplicaciones o programas.

Después de creado el programa fuente (.PRG) éste es compilado con CLIPPER.EXE, el cual traduce todas las instrucciones usadas a lenguaje máquina y las graba en un archivo llamado OBJETO (.OBJ).



Este programa objeto no puede ser ejecutado hasta que sea encadenado (link) , lo que incorpora rutinas de ejecución que están almacenadas en una librería (.LIB), así como otros programas previamente compilados que son llamados por un programa. Este proceso crea un archivo ejecutable(.EXE).

Es de hacer notar que los programas compilados ejecutables (.EXE) son considerablemente mayores que los programas objeto (.OBJ) debido a la incorporación de las rutinas de ejecución que permiten que el programa .EXE sea corrido directamente desde el sistema operativo.

El archivo ejecutable creado durante el proceso de enlazado(LinK), contiene todo lo necesario para correr el programa desde el DOS sin la asistencia de software adicional. Entonces el programa puede ser corrido únicamente digitando su nombre y lo hará a un máximo de velocidad ya que no se detendrá a chequear línea por línea por errores de sintaxis.

4.2.2 COMANDOS Y FUNCIONES DE CLIPPER UTILIZADOS

Sólo se detallarán los comandos y funciones que son claves para el diseño del programa, describiendo sus funciones únicamente, ya que profundizar en cada uno de ellos implicaría la elaboración de un documento exclusivo para programación.

Las funciones y comandos utilizados son los siguientes:

COMANDOS CLIPPER

- **@...BOX:** sirve para dibujar cuadros en la pantalla, y especificar los diferentes caracteres para cada lado , cada esquina y el interior del cuadro.
- **@...PROMPT:** usado para ubicar las selecciones del menú en la pantalla
- **MENU TO:** invoca la barra de iluminación del menú permitiendo deslizar la barra iluminada entre los PROMPTS y retornando la posición del PROMPT seleccionado dentro de la variable de memoria especificada.

- **RESTORE SCREEN:** se usa junto con el comando SAVE SCREEN para evitar redibujar el contenido de la pantalla original.
- **SAVE SCREEN:** escribe el contenido actual de la pantalla en un buffer o una variable, para eliminar la necesidad de dibujar nuevamente la pantalla original.
- **RUN:** ejecuta comandos del DOS o programas desde dentro de una aplicación compilada. Cuando se corre un comando DOS, CLIPPER realiza una copia de COMAND.COM antes de correr el comando del DOS, por lo que debe de contarse con suficiente memoria para el COMAND.COM y el programa a ejecutar.
- **@ f1,c1 TO f2,c2 :** dibuja cuadros con coordenadas f1, c1 para la esquina superior izquierda y f2,c2 para la esquina inferior derecha.
- **USE " NOMBRE DE ARCHIVO" INDEX"NUMERO DE INDICE":** abre una base de datos y los índices relacionados a ella.
- **INDEX ON "CAMPO" TO "NOMBRE DE ARCHIVO":** crea un archivo que contiene un índice para registros en la base de datos abierta. Se crean los archivos .NTX
- **SELECT NUMERO:** cambia de archivos abiertos o de una área de trabajo a otra.
- **APPEND BLANK:** anexa un registro en blanco a la base de datos en uso (abierta con el comando SELECT)

- **REPLACE:** introduce datos dentro del campo especificado con el valor especificado.
- **DELETE:** marca registros para borrar
- **PACK:** borra físicamente los registros marcados por DELETE.
- **SEEK "DATO":** busca el dato especificado de acuerdo al índice abierto (si no hay índice .NTX no funciona).
- **SET FILTER TO "CONDICION" :** esconde todos los registros que no cumplen con la condición especificada.
- **REPORT FORM "NOMBRE DEL ARCHIVO .FRM":** genera un reporte preelaborado con la base de datos en uso.
- **DO "NOMBRE DE ARCHIVO .PRG":** llama una rutina que se encuentra en otro archivo .PRG

COMANDOS DE QBASIC

- **OPEN "ARCHIVO" FOR INPUT, OUTPUT, APPEND AS "NUMERO":** abre archivos secuenciales para lectura o escritura.
- **LINE INPUT "NUMERO,VARIABLE":** lee un registro del archivo "NUMERO" y lo agrega a la variable.

- **PRINT "NUMERO,VARIABLE"**: escribe el contenido de una variable en el archivo "NUMERO".
- **INP "DIRECCION,PUERTO"**: lee el contenido de esa dirección y lo asigna a una variable.
- **OUT "DIRECC,PUERTO,VARIABLE"**: manda al puerto o a esa dirección el contenido en la variable.

FUNCIONES CLIPPER

- **ACHOICE(F1,C1,F2,C2,ARREGLO DE MEMORIA,)**: despliega un menú con el contenido del arreglo de memoria y devuelve el valor del sub índice del arreglo correspondiente a la selección del usuario.
- **INKEY()** : lee el teclado y asigna la tecla presionada a una variable
- **DATE ()** : devuelve la fecha del sistema.
- **TIME()** : devuelve la hora del sistema.
- **FILE(NOMBRE DE ARCHIVO)**: devuelve "verdadero" si el archivo existe en el disco y "falso" si no existe.
- **DEBEDIT(F1,C1,F2,C2,ARREGLO DE CAMPO,NOMB. DE LA FUNCION)**: despliega una ventana tipo BROWSE(ventana para la edición de base de datos) para edición de datos del

tamaño especificado con los campos especificados, y también se incluye una función definida por el usuario para el tratamiento de teclas.

4.3 DISEÑO DEL PROGRAMA (SOFTWARE)

El programa está desarrollado con un manejador de base de datos llamado clipper. Este tiene un alto grado de compatibilidad con dBASE, FOX PRO y demás manejadores de bases de datos.

Se seleccionó clipper por ser un compilador y a diferencia de fox y otros manejadores de base de datos, genera programas ejecutables. Este tiene las siguientes ventajas:

- Seguridad en el código fuente
- Mayor rapidez de ejecución(todo está en memoria)
- Por trabajar con OVERLAYS mayor cantidad de memoria libre durante la ejecución.
- No se necesita ningún otro archivo más que el programa principal con extensiones .EXE y los archivos de información normal.

Se escogió un manejador de base de datos por la facilidad de programación, para manejar archivos y crear una interface más amigable para el usuario final.

Aun con todas las facilidades CLIPPER al igual que todos los manejadores de base de datos no cuentan con instrucciones o comandos para manipular los puertos de ENTRADA-SALIDA. En cambio otros lenguajes de uso general o científico como el basic, pascal, lenguaje c, y otros, sí cuentan con instrucciones para manipular direcciones de memoria y puertos de

entrada y salida. De todos los programas de uso general, escogimos QBASIC por dos razones importantes: la primera es que BASIC es un lenguaje diseñado para principiantes y no necesita un alto grado de conocimiento para programación, algo muy beneficioso para el usuario final al momento de comprender el sistema. La segunda es que QBASIC es un compilador que genera archivos .EXE, algo de mucha utilidad puesto que cualquier rutina compilada en QBASIC puede ser llamada en modalidad shell desde el programa hecho en CLIPPER o cualquier programa principal.

4.3.1 DIAGRAMA DE FLUJO

En las figuras 4.1, se encuentra el diagrama de flujo del programa de aplicación con el fin de tener un panorama más amplio de todas las operaciones y procesos que este realiza.

Para una mejor comprensión del diagrama de flujo, definimos a continuación los elementos más importantes que aparecen en el :

- **PROGUS.EXE:** compilación de PROGUS.BAS, subrutina hecha en QBASIC para leer archivo del programa del usuario y ejecutarlo, además lee y ejecuta comandos del control remoto.
- **INTERAC.EXE:** compilación de INTERAC.BAS, ejecuta operaciones interactivas con el usuario provenientes del programa principal ICD.

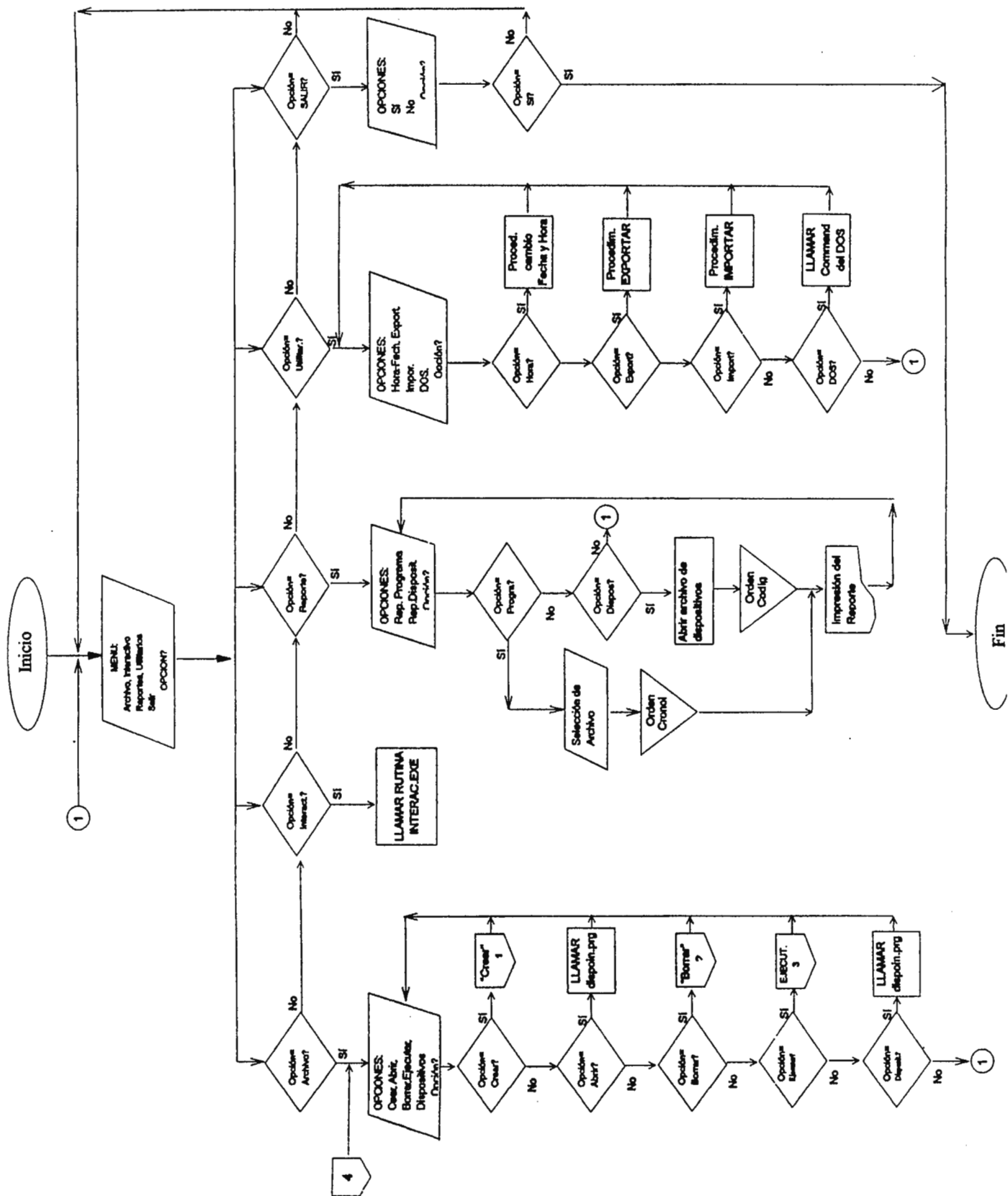


Fig. 4.1 a) Diagrama de flujo del programa de aplicación

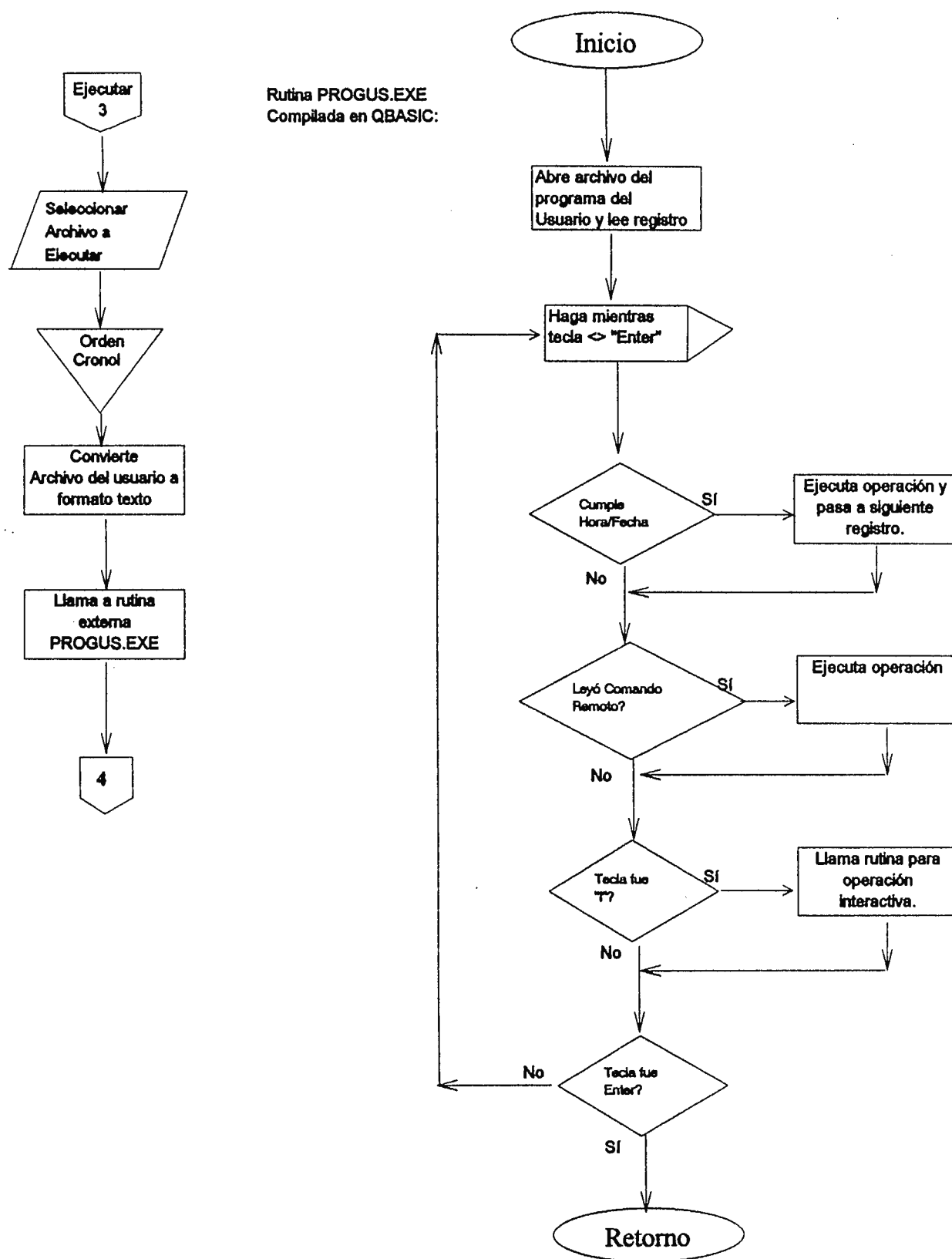


Fig. 4.1b) Diagrama de flujo del programa de aplicación

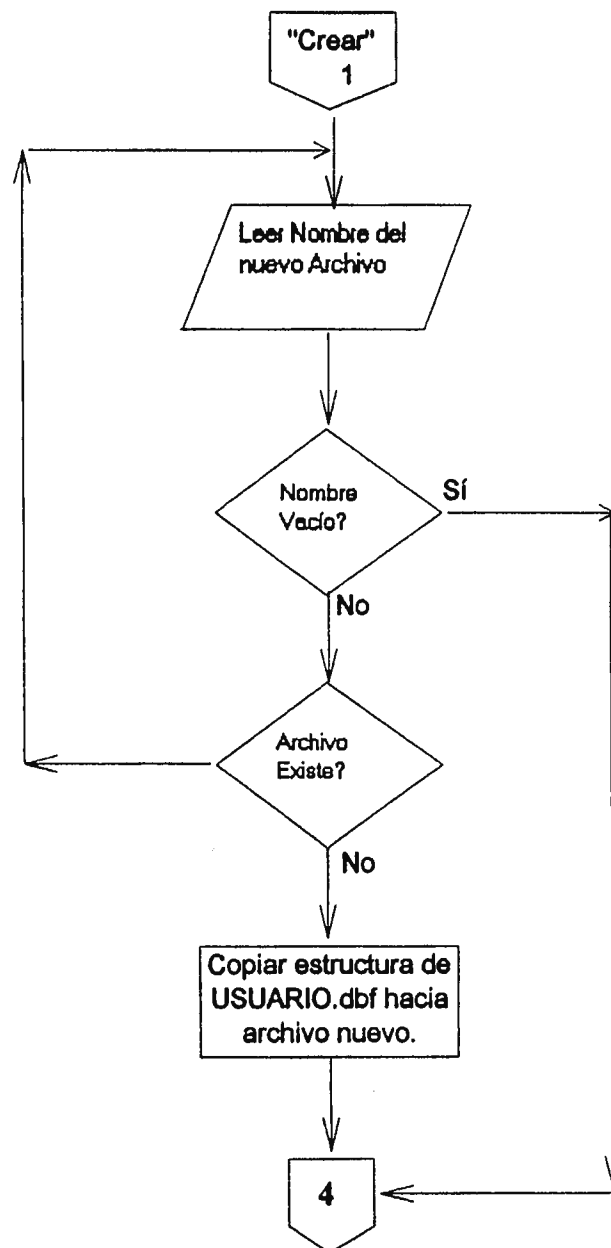


Fig. 4.1c) Diagrama de flujo del programa de aplicación

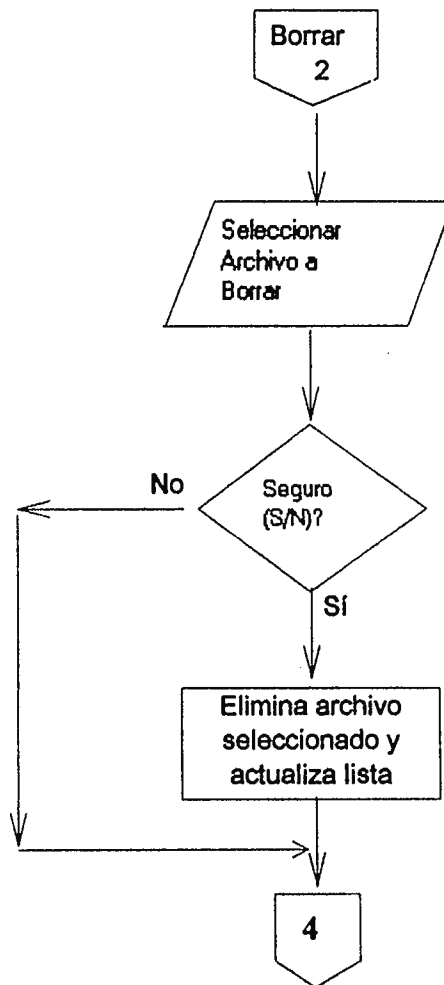


Fig.4.1d) Diagrama de flujo del programa de aplicación

- **USUAIN.PRG:** da mantenimiento al archivo del usuario mediante la función **DEBEDIT()**.
- **DISPOING.PRG:** da mantenimiento al archivo de dispositivos mediante la función **DEBEDIT()**.

4.3.2 APLICACION DEL PROGRAMA

El programa maneja dos bases de datos principales para la ejecución de sus tareas:

1. **USUARIO.DBF** es la que contiene la estructura para los archivos que crea el usuario para programar los distintos dispositivos.
2. **DISPOSI . BDF** contienen una lista de todos los dispositivos que manejará el sistema, y todos los códigos de operación de cada uno de ellos. Este archivo es para uso interno del programa.

Para realizar las operaciones el programa cuenta con archivos auxiliares los cuales son :

- **BASE.DBF**
- **BASE.TXT**
- **EVENT.DBF**
- **EVENT.TXT**

El archivo BASE.DBF sirve para la comunicación del módulo clipper al módulo qbasic, este se convierte al formato texto DOS hacia el archivo llamado y se utiliza para operaciones interactivas. En el menú principal de la pantalla, en la opción INTERACTIVO, el usuario selecciona el dispositivo y la operación a ejecutar . Esta selección se graba en el archivo clipper BASE.DBF que sólo tiene un campo y un registro y luego se copia hacia otro archivo TXT con formato DOS (formato reconocido por qbasic). Luego se llama a la rutina externa INTERAC.EXE la cual lee el contenido del archivo BASE.TXT y lo asigna a una variable de código dispositivo (los 8LSB), los 8MSB los asigna a otra variable para el código de operación. Finalmente el código completo es enviado al puerto de salida, enviando primero el código de operación al puerto B y después el código de dispositivo al puerto A de la interface de salida.

Durante la ejecución de un programa de usuario en el PROGUS.EXE, cuando se cumple una condición de fecha y hora, se envían a puerto los códigos respectivos y el evento " ejecutado" es guardado en el archivo EVENT.TXT. Cuando hay eventos de hora y fecha que no se ejecutaron por que son anteriores al momento en que se mandaron a ejecutar, son clasificados como " pasados " y la palabra "pasado" es grabada en el archivo EVENT.TXT. Al presionar la tecla "enter" y regresar al programa principal, en clipper ICD.EXE, el archivo EVENT.TXT se convierte al formato de base de datos de clipper bajo el nombre de EVENT.DBF y se relaciona con el archivo que contiene el programa del usuario para actualizar el campo "estado" en dicho archivo, así todas las operaciones que tengan estado "ejecutado" y estado "pasado" ya no serán tomados en cuenta cuando se mande a ejecutar de nuevo el programa tomando en cuenta únicamente los que tienen estado "pendiente".

EL ARCHIVO PROG1.TXT cuando el usuario manda a ejecutar cualquier programa este se convierte en el archivo PROG1.TXT en formato texto TXT reconocido por qbasic y es grabado

en orden cronológico para su ejecución. Entonces PROGUS.BAS lee los registros de PROG1.TXT y al cumplirse la condición se graba en EVENTO.TXT y manda a puerto los códigos respectivos.

4.3.3 GUIA DEL USUARIO

Una vez que el programa ha sido cargado en el disco duro, para ejecutarlo deberá seguirse el siguiente procedimiento:

C:>CD ICD

C: ICD>ICD

luego de digitar lo anterior aparecera en la pantalla el desplegado de la figura 4.2 correspondiente al menu principal con las siguientes opciones:

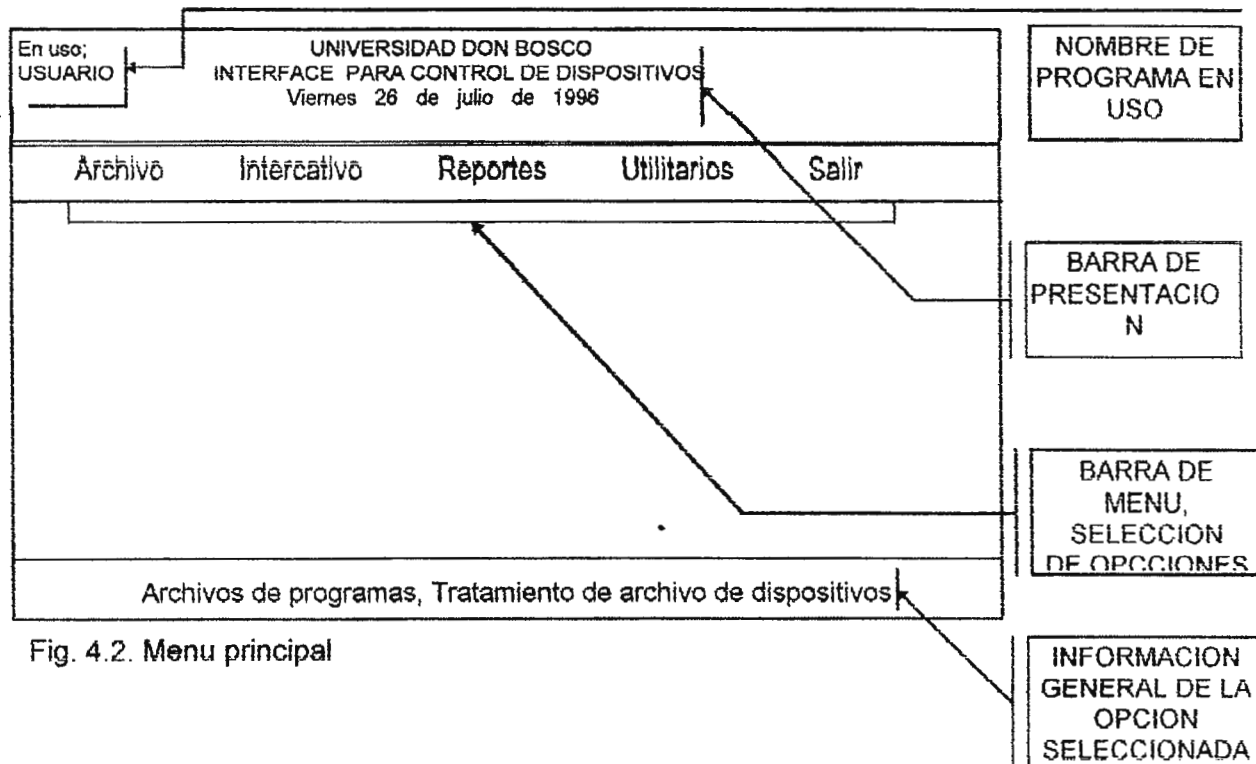


Fig. 4.2. Menu principal

- **Menu Archivos:** desde esta opción pueden crearse nuevos programas del usuario, abrir programas ya existentes, ejecutar programas, borrar archivos, y da acceso a la base de datos para agregar nuevos dispositivos o cambiar códigos para controlar su operación.

- **Menu *Interactivo*:** aquí se obtiene el listado de los dispositivos agrupados por áreas, es decir, todos los dispositivos estan numerados a partir del lugar donde se encuentran, por ejemplo cada habitación posee un área diferente numeradas asi: habitación 1, habitación 2, y habitación 3 etc.
- **Menu *Reportes*:** se utiliza para obtener una impresión de un programa específico del usuario o del listado general de los dispositivos.
- **Menu *Utilitarios*:** con esta opción se puede tener acceso a la hora y fecha de la computadora para poder cambiarla, además se tiene la facilidad de guardar un programa específico en un disco flexible o invocar un programa desde la unidad de disco flexible; también se puede salir temporalmente al sistema operativo (DOS).
- **Menu *Salir*:** con esta opción se sale definitivamente del programa.

Para efectuar la selección de cualquier opción en la barra de menú, el programa ofrece la facilidad de una barra iluminada que puede desplazarse utilizando las flechas del teclado.

4.3.3.1 CREANDO UN PROGRAMA

si se desea crear un nuevo programa (al que se llamara DEMO.) siga el siguiente procedimiento:

1. Seleccione la opción ARCHIVO y verá en pantalla un recuadro con las opciones de la figura 4.3, de las nuevas opciones se escoge "Crear Programa" . Para asignar el nombre al programa a crear digite el nombre que desee en el espacio indicado por el mensaje en pantalla y oprima ENTER.

En uso; USUARIO					UNIVERSIDAD DON BOSCO INTERFACE PARA CONTROL DE DISPOSITIVOS Viernes 28 de julio de 1996				
Archivo		Intercativo		Reportes		Utilitarios		Salir	
Crear programa		Abrir programa		Borrar archivo		Ejecutar			
Dispositivos									
CREAR NUEVO PROGRAMA									
Nombre del Archivo : DEMO. :									
<div style="border: 1px solid black; padding: 5px; display: inline-block;">Espacio para digitar el nombre del programa</div>									
Enter en blanco para cancelar									

Fig. 4.3. Creación de nuevo programa

2. Luego de haber asignado el nombre al programa en la esquina superior izquierda el mensaje "En uso : USUARIO" cambiará a "En uso: U_DEMO.", este mensaje indica el programa que se tiene abierto en determinado momento. Ahora se necesita introducir los datos de las actividades a programar o que se desea que el programa ejecute, para ello se selecciona ARCHIVO del menu principal y se escoge "Abrir Programa", con esto se obtiene a la derecha del recuadro un listado de los programas existentes pero en este ejemplo solo aparece DEMO. por ser el único creado.

La siguiente pantalla se muestra en la fig.4.5, en esta se introducen los datos requeridos por el usuario, para el ejemplo se ha introducido una lista de actividades como pude observarse en dicha figura. Primero debe digitarse el número de actividad, fecha y hora; el código se obtiene ubicando la barra iluminada en la columna del código y presionando "ENTER". Aquí se obtiene una lista de los dispositivos por áreas, se selecciona el que se desee programar y se oprime "ENTER", estos datos son copiados automáticamente en la pantalla de

programación. En la última columna(Operación) se oprime "ENTER" y al fondo de la pantalla aparece las operaciones permitidas para ese dispositivo seleccionado y se digita la operación requerida.

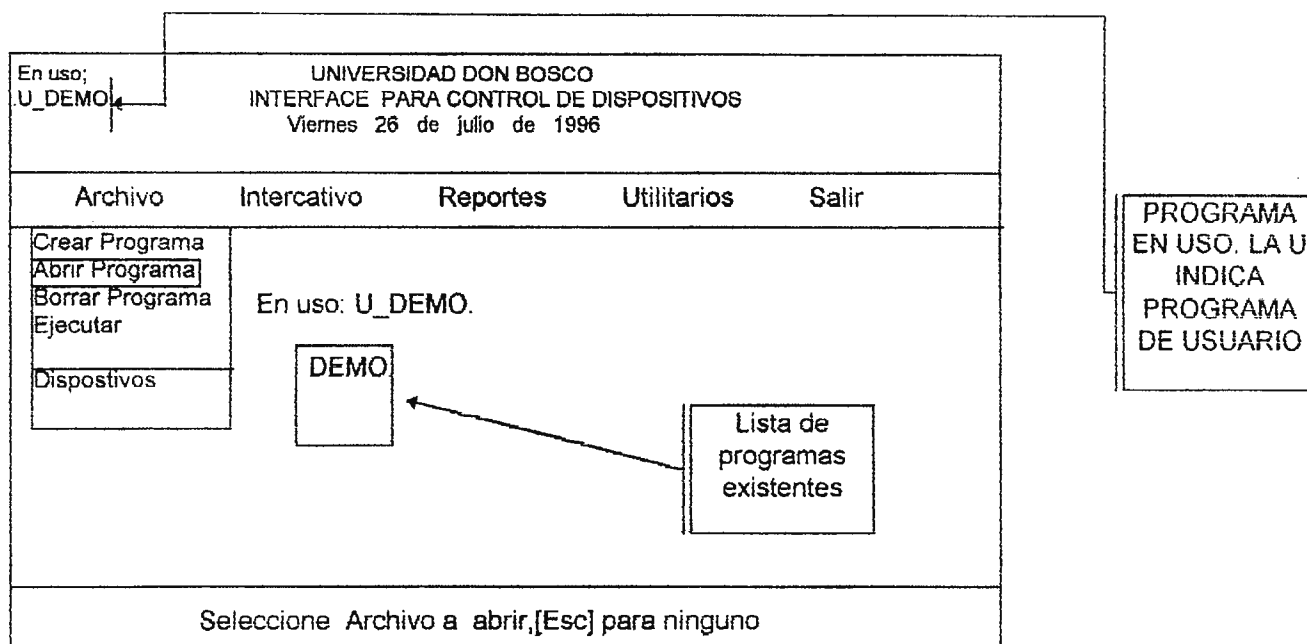


Fig.4.4. Pantalla para abrir un programa.

En uso; U_DEMO. <div style="text-align: center;"> UNIVERSIDAD DON BOSCO INTERFACE PARA CONTROL DE DISPOSITIVOS Viernes 26 de julio de 1996 </div>						
No.	Fecha	Hora	Codigo	Nombre	Area	Operación
1	26/07/96	14:00:00	014	LUZ 1	COCINA	ENC
2	26/07/96	14:05:15	015	LUZ 2	COCINA	ENC
3	26/07/96	14:10:25	014	LUZ 1	COCINA	APA
4	26/07/96	14:25:30	015	LUZ 2	COCINA	APA
5	26/07/96	15:30:20	008	LUZ 2	SALA 2	5
6	26/07/96	16:20:00	008	LUZ 2	SALA 2	0
No.	Fecha	Hora	Codigo	Nombre	Area	Operación

Fig. 4.5. Pantalla de programación

En todas las pantallas se tiene la facilidad de un recuadro de ayuda al oprimir la barra espaciadora, para este caso si se deseara agregar una séptima actividad, se oprime la barra espaciadora y luego se oprime la tecla N. El recuadro de ayuda que aparece en cualquier pantalla es el siguiente:

En uso; U_DEMO. <div style="text-align: center;"> UNIVERSIDAD DON BOSCO INTERFACE PARA CONTROL DE DISPOSITIVOS Viernes 26 de julio de 1996 </div>						
No.	Fecha	H	OPCIONES			Operación
Presione tecla del procedimiento deseado						
1	26/07/96	14:	H. Ver pantalla de ayuda			ENC
2	26/07/96	14:	U. Ir al ultimo			ENC
3	26/07/96	14:	P. Ir al primero			APA
4	26/07/96	14:	C. Ir directamente a un código			APA
5	26/07/96	15:	F. filtro según área determinada			5
6	26/07/96	16:	O. Orden cronológico			0
A. Ordenar por área						
N. Anexar nuevo registro						
V. Ver hora actual						
Otra tecla: salir sin elegir procedimiento.						
No.	Fecha	Hora	Codigo	Nombre	Area	Operación

Fig. 4.6 Recuadro de ayuda

Una vez introducidos los datos presione "ESC" y el programa está listo para ejecutar.

3. Para ejecutar el programa seleccione "ARCHIVO" del menu principal y de las opciones escoja "Ejecutar", el programa presentará la lista de programas existentes pero en este ejemplo sólo aparecerá DEMO. por ser el único, además un mensaje para digitar "ESC" si únicamente se quiere acceder al receptor del control remoto sin ejecutar un programa. Seleccione el programa y presione "ENTER". La pantalla mostrada es la siguiente:

En uso; DEMO.	UNIVERSIDAD DON BOSCO INTERFACE PARA CONTROL DE DISPOSITIVOS Viernes 26 de julio de 1996			
Archivo	Intercativo	Reportes	Utilitarios	Salir
EJECUCION DE PROGRAMA DEL USUARIO Y COMANDOS REMOTOS				
Operación según programa:1		Hora Actual.....: 13:40:20		
Pendientes.....:1/6				
Fecha programada.....:26/07/96		Hora Programada : 14:00:00		
Dispositivo a accionar.....:LUZ 1,Cod.014				
Area.....:COCINA				
Operación a ejecutar.....:ENCENDER				
Estado Actual.....:Pendiente				
COMANDOS REMOTOS: Ninguno				
[ENTER] : Volver a programa maestro, [I] : Control Interactivo				

Fig. 4.7. Pantalla de ejecución de programa y recepción de datos del control remoto.

La información contenida en esta pantalla es muy clara y fácil de entender, aquí se presenta el número de la operación o actividad próxima a ejecutar, su código, área de ubicación, y la actividad a ejecutar, también se ve la hora actual del sistema y la hora a la cual se ejecutará la próxima operación. Además de esto en esta pantalla es donde se reciben los comandos

provenientes del control remoto, siempre que un comando es recibido el mensaje "Ninguno"(COMANDOS REMOTOS: Ninguno) cambia según la tecla presionada en el control remoto, una vez transmitidos los comandos correctos desde el control remoto la operación indicada se efectuará. En esta pantalla también se puede acceder temporalmente al control interactivo presionando la tecla "I" para el control de los dispositivos desde el teclado mientras se ejecuta un programa. El programa muestra un mensaje intermitente que el programa en ejecución está suspendido temporalmente, al salir de interactivo se regresa al programa en ejecución.

4.3.3.2 ARCHIVOS

El proceso para crear, programar y ejecutar un programa o archivo fue descrito anteriormente, si se desea borrar un programa se selecciona del menú principal "ARCHIVOS" y se elige "Borrar archivo", el programa presenta la lista de programas guardados, se selecciona el que se desea borrar y pregunta si se está seguro de borrarlo, si es afirmativo se borra definitivamente.

Para acceder a la opción de "Dispositivos " y agregar nuevos elementos o modificar los códigos de operación, es decir, los códigos binarios para apagar o encender o variar la intensidad de los dispositivos, es necesario una clave de acceso con el objeto de no modificar la base de datos a menos que sea necesario.

4.3.3.3 CONTROL INTERACTIVO

Cuando se selecciona esta opción del menú principal se pueden controlar todos los dispositivos desde el teclado de la computadora , para lo cual se realiza lo siguiente:

1. Seleccione "Interactivo" y obtendrá la lista de todos los dispositivos agrupados por área. Si desea acceder un área específica digite la tecla inicial de esa área y el programa lo ubicará en ella.

En uso; U_DEMO.		UNIVERSIDAD DON BOSCO INTERFACE PARA CONTROL DE DISPOSITIVOS Viernes 26 de julio de 1996		
Archivos	Interactivo	Reportes	Utilitarios	Salir
CONTROL DE DISPOSITIVOS				
Area:	Nombre:	Cod.	Tipo	
HABITACION 2	LUZ 2	027	PROP.	
HABITACION 2	TOMA	028	T/N	
HABITACION PPAL.	LUZ 1	019	T/N	
HABITACION PPAL.	LUZ 2	020	PROP.	
HABITACION PPAL.	TOMA1	021	T/N	
HABITACION PPAL.	TOMA 2	022	T/N	
SALA 1	LUZ 1	001	T/N	
SALA 1	LUZ 2	002	T/N	
SALA 1	LUZ 3	003	PROP.	
Seleccione Dispositivo , [ESC] para volver				

Fig. 4.8. Selección de dispositivos en control interactivo.

2. Seleccione con la barra iluminada y "ENTER" un dispositivo que desee controlar, por ejemplo si se quiere encender la LUZ 1 DE LA HABITACION PRINCIPAL, se selecciona dicho dispositivo y se obtiene la siguiente información:

En uso: U_DEMO.					UNIVERSIDAD DON BOSCO INTERFACE PARA CONTROL DE DISPOSITIVOS Viernes 26 de julio de 1996					
Archivo		Intercativo		Reportes		Utilitarios		Salir		
CONTROL DE DISPOSITIVOS										
Dispositivo.....: LUZ 1,Cod.019										
Area ubicación.....: HABITACION PRINCIPAL										
Tipo.....: T/N										
Operaciones Válidas: Encender o Apagar.										
<table border="1"> <tr> <td style="text-align: center;">ENCENDER APAGAR</td> </tr> </table>										ENCENDER APAGAR
ENCENDER APAGAR										
Seleccione opeación, [ESC] para volver										

Fig. 4.9. Control Interactivo de un dispositivo.

En esta pantalla se obtiene toda la información del dispositivo seleccionado y un cuadro con las dos operaciones permitidas, con la barra iluminada se selecciona una de ellas y la operación se ejecutará. Si el dispositivo seleccionado fuera uno del tipo PROPORCIONAL (PROP.) aparecería la lista de operaciones permitidas la escala del 0 al 5 para el control de intensidad.

4.3.3.4 REALIZACION DE REPORTE

Con esta opción del menu principal, pueden efectuarse impresiones de cualquier programa guardado o del listado general de todos los dispositivos. Por ejemplo para hacer un reporte del programa DEMO. se selecciona "RERPORTES" y se escoge la opción "Listar Programa en uso" y de la lista de programas existentes se selecciona DEMO. obteniendo la impresión de cada actividad, dispositivo , hora programada tipo de dispositivo y estado de la operación(si ya se ejecutó o está pendiente):

LISTADO DE PROGRAMA DEL USAURIO: U_DEMO.

Page No. 1
26/07/96

No.	FECHA PROG.	HORA PROG.	COD. DIS.	AREA	UBICACION	NOMBRE DISP.	TIPO	OPER	ESTA
1	26/07/96	14:00:00	014	COCINA		COCINA	T/N	ENC	Pendien.
2	26/07/96	14:05:15	015	COCINA		COCINA	T/N	ENC	Pendien.
3	26/07/96	14:10:25	014	COCINA		COCINA	T/N	APA	Pendien.
4	26/07/96	14:25:30	015	COCINA		COCINA	T/N	APA	Pendien.
5	26/07/96	15:30:20	008	SALA 2		SALA 2	PRO 5		Pendien.
6	26/07/96	16:20:00	008	SALA 2		SALA2	PRO 0		Pendien.

CAPITULO V

CONCLUSIONES

- Es posible ampliar físicamente el sistema por medio de la utilización de los puertos de entrada salida y la conveniente utilización de un dispositivo interfaz. Esto trae como consecuencia el aumento de la capacidad de control y asignación de tareas de la computadora.
- La asignación de un sistema con computadora para una tarea específica depende exclusivamente de las limitantes que imponga el hardware que requieran los diseños para dicha tarea.
- Todos los diseños son sencillos y prácticos pero cumplen con la función básica de demostrar que la computadora puede tener el control completo de los elementos externos conectados a ella. Aunque estos pueden ser sometidos a modificaciones y mejoras.
- La flexibilidad que ofrecen los sistemas con microprocesadores y la utilización del interfaz 8255 permite utilizar sus veinticuatro líneas de Entradas/Salidas para el control completo de muchos procesos y designarlos para gran cantidad de tareas. Los aquí mencionados son solo una muestra de una de las formas en las que pueden utilizarse.

- El trabajo realizado sirve como base para una gran cantidad de aplicaciones específicas y ejemplifica con una de las formas posibles de sacarle provecho y ampliación a un sistema con computadora.

- La tarjeta interfaz puede dedicarse a otras aplicaciones con la adecuada variación del programa que la maneja.

- La cantidad de actividades que pueden programarse está prácticamente limitada por la capacidad del disco duro, ya que CLIPPER permite cerca de un billón de registros y unos cuantos miles de campos, lo que da al sistema una gran flexibilidad para el manejo de actividades en cualquier fecha y hora.

- El auxilio de qbasic para el manejo de las operaciones de entrada y salida en los puertos de comunicación, hace al programa de fácil comprensión, además de su presentación amigable para el usuario.

APENDICE 1

GENERALIDADES DEL PPI 8255A.

Se proporciona una descripción funcional de los pines, se dan los formatos de programación de los modos de operación, además se muestran los datos técnicos del chip.

DESCRIPCIÓN DE LOS PINES

- Pines del 1-4: representan los cuatro bits menos significativos del puerto A.

- Pin 5: **READ (-RD)**, cuando la señal en este pin es baja, el microprocesador esta recibiendo datos del PPI, es decir, se realiza alguna operación de lectura en alguno de los puertos.

- Pin 6: **CHIP SELECT(-CS)**. Una señal baja en este pin habilita el funcionamiento del PPI y puede comunicarse con el microprocesador a través del bus de datos. Una señal alta deshabilita el PPI, y el buffer del bus de datos se pone en estado de alta impedancia.

- Pin 7: **GND**, tierra del sistema.

- Pines 8 y 9: **A1 Y A0**. Son líneas de direccionamiento que permiten accesar los puertos de la siguiente manera:

A0	A1	ACCESA A
0	0	PUERTO A
0	1	PUERTO B
1	0	PUERTO C
1	1	BYTE DE CONTROL

- **Pines 10 al 13:** son los cuatro bits mas significativos del puerto C.
- **Pines 14 al 17:** son los cuatro bits menos significativos del puerto C.
- **Pines 18 al 25:** son los ocho bits del puerto B.
- **Pin 26:** es Vcc o la línea de alimentación.
- **Pines 27 al 34:** son D0 a D7, el bus de datos que se conectan al computador.
- **Pin 35: RESET.** un alto en esta señal inicializa al 8255A colocando todos sus puertos como puertos de entrada.

- **Pin 36:** \overline{WR} , esta señal debe de ser baja para poder efectuar una operación de lectura en algún puerto.

-**Pines 37 al 40:** son los cuatro bits mas significativos del puerto A.

OPERACION EN MODO 1

Características de este modo:

- Dos grupos de líneas de comunicación (grupos A y B)
- Cada grupo esta formado para por un puerto de 8 bits para datos y un puerto de cuatro bits para control
- (handshaking)
- El puerto de ocho bits puede ser entrada o salida, y pueden ser enclavadas
- El puerto de cuatro bits es usado para controlar el estado del puerto de ocho bits.

Este modo presenta dos posibilidades para cada grupo: entrada con protocolo y salida con protocolo.

- En la configuración entrada con protocolo se dan las siguientes señales de handshaking:
 - **-STB(baja activa)** : con un cero se carga el dato en el latch de entrada.
 - **IBF:** señal de salida, un uno en esta señal indica que el dato ha sido cargado en el latch de entrada.

- **INTR:** señal de salida, un uno en esta línea puede ser usado para interrumpir el CPU cuando un dispositivo de entrada solicita servicio. Se activa cuando -STB e IBF son unos y hay habilitación de Interrupciones.

La interrupción puede ser "enmascarada" o no mediante el set/reset del PC4 para el grupo A y el set/reset del PC2 del grupo B.

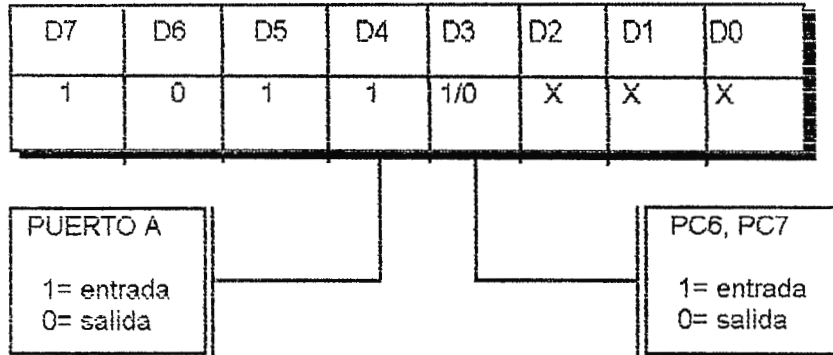
- En la configuración de salida con protocolo, las señales de handshaking son las siguientes:

- **-OBF:** señal de salida, un cero indica que el CPU ha escrito un dato al puerto de salida.
- **-ACK:** señal de entrada, un cero indica a la PPI que el dato ha sido aceptado.
- **INTR:** señal de salida, un uno puede utilizarse para interrumpir al CPU cuando un dispositivo de salida ha aceptado datos enviados por el CPU. Se activa cuando -OBF y -ACK son unos y hay habilitación de interrupción. Se desactiva cuando hay una operación de escritura.

La interrupción puede "enmascararse" o no mediante el set/reset del PC6 para el grupo A o el set/reset del PC2 para el grupo B .

GRUPO A

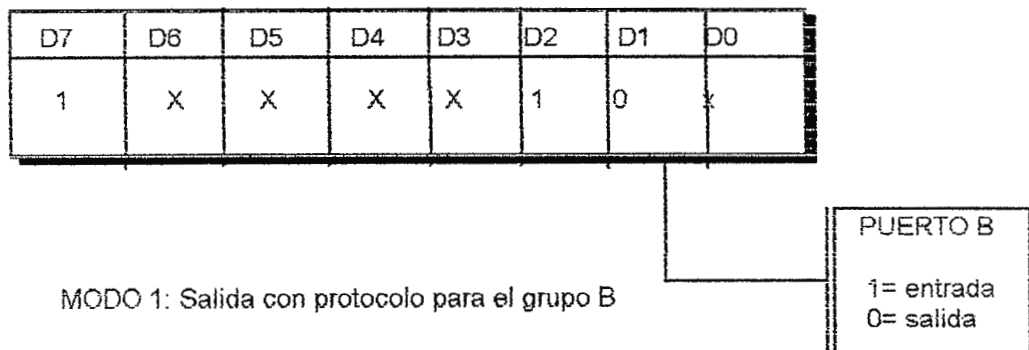
BYTE DE CONTROL



MODO 1: Entrada con protocolo para el grupo A

GRUPO B

BYTE DE CONTROL



MODO 1: Salida con protocolo para el grupo B

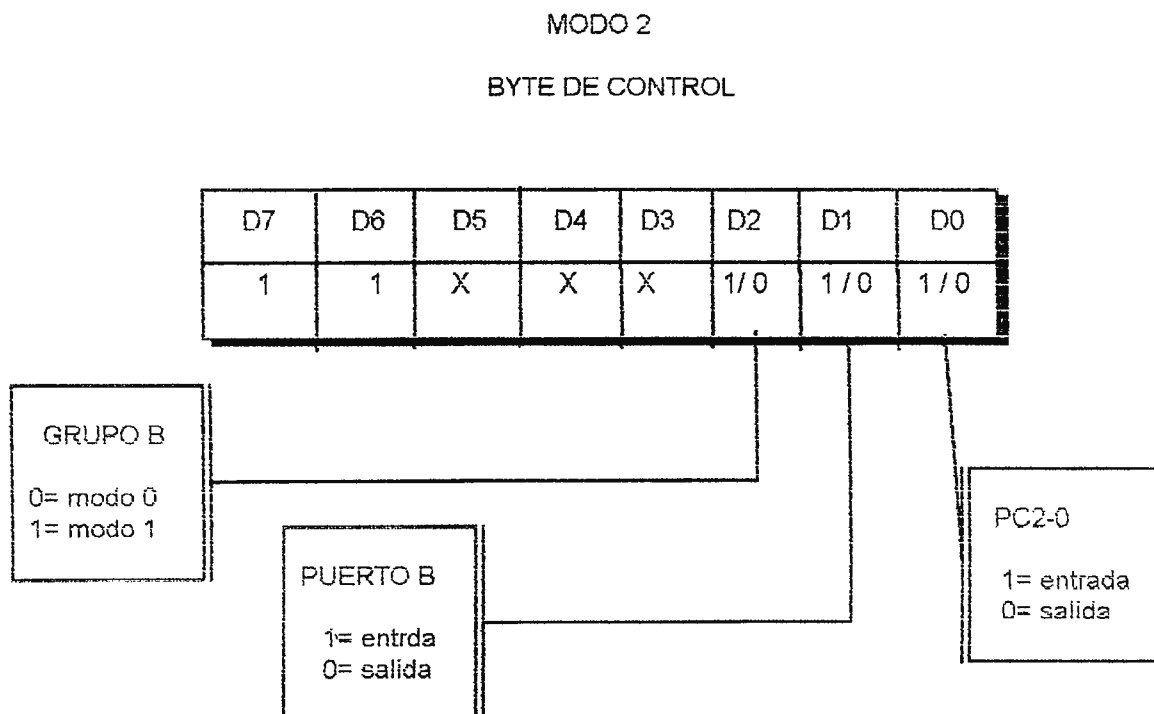
OPERACION EN MODO 2

Características de este modo:

Opera con un solo puerto que sirve para enviar y recibir datos utilizando señales de protocolo.

- Usado en el grupo A únicamente.
- Un puerto bidireccional de ocho bits y un puerto de control de cinco bits.
- En términos del byte de control, solamente D6 y D7 son necesarios para especificar el modo 2 de operación (D6=1 y D7=1). Los bits de control D3, D4 y D5 pueden estar en 0 ó en 1.
- Las entradas y salidas son enclavadas.

Cuando el puerto A se usa en el modo 2, el puerto B debe ser programado en cualquier modo ya sea 1 ó 0.



MODO 2. Formato del byte de control para el modo 2.

COMBINACION DE MODOS

MODO 0 PUERTO A	MODO 1 PUERTO B	MODO 1 PUERTO A	MODO 0 PUERTO B	MODO 2 PUERTO A	MODO 0 PUERTO B	MODO 2 PUERTO A	MODO 1 PUERTO B
ENTRADA	ENTRADA	ENTRADA	ENTRADA	BIDIRECC.	ENTRADA	BIDIRECC.	ENTRADA
ENTRADA	SALIDA	ENTRADA	SALIDA	BIDIRECC.	SALIDA	BIDIRECC.	SALIDA
SALIDA	ENTRADA	SALIDA	ENTRADA				
SALIDA	SALIDA	SALIDA	SALIDA				

FORMATO DE PALABRA PARA EL ESTADO DEL PUERTO C

		PUERTO C							
PUERTO A	PUERTO B	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
SALIDA	SALIDA	-OBF _A	INTE _A	I/O	I/O	INTR _A	INTE _B	-OBF _B	INTR _B
SALIDA	ENTRADA	-OBF _A	INTE _A	I/O	I/O	INTR _A	INTE _B	IBF _B	INRT _B
ENTRADA	SALIDA	I/O	I/O	IBF _A	INTE _A	INTR _A	INTE _B	-OBF _B	INRT _B
ENTRADA	ENTRADA	I/O	I/O	IBF _A	INTE _A	INTR _A	INTE _B	IBF _B	INRT _B

APENDICE 2

DESCRIPCION DE LAS LINEAS EN LOS CANALES (I/O) DE EXPANSION DE LAS COMPUTADORAS PC AT

Aquí se presentan las funciones y ubicación física de cada línea del bus de expansión para cualquier computador compatible con IBM.

- SA0-SA19:

Son las señales del bus de direcciones con las cuales se puede tener acceso a las localidades de memoria y a los dispositivos I/O. Son colocadas en el bus del sistema cuando la señal BALE (Base Address Latch Enable) se encuentra en estado alto.

-LA17-LA23:

Estas señales son utilizadas junto con las anteriores para lograr el acceso a 16 millones de localidades de memoria.

- SD0-SD15:

Estas líneas contienen el bus de datos de 16 bits para el microprocesador, la memoria y todo dispositivo I/O. Las direcciones de 8 bits pasaran por las líneas SD0-SD7.

-AEN: (Adress Enable)

Esta se utiliza para detener las operaciones del microprocesador y de otros dispositivos que se encuentran funcionando en los canales de I/O permitiendo que tomen lugar las transferencias de BMA.

-I/O CH RDY: (I/O Chanel Ready)

La señal de alistamiento de canal I/O es llevada a estado bajo por un dispositivo externo para alargar los periodos de escritura y lectura. Esto tiene como fin lograr la sincronización con dispositivos externos de I/O que no sean tan rápidos como el microprocesador.

- I/O CH CK: (I/O Chanel Check)

La señal de prueba de canal provee al sistema de la información de los errores que puedan ocurrir en la memoria o en los dispositivos en los canales I/O.

-GND:

Provee el voltaje de referencia Vss.

-RESET DRV:

Es utilizada para restablecer o reiniciar el sistema lógico en el momento de encendido de la computadora.

IRQ3-IRQ7, IRQ9-IRQ12 e IRQ14-IRQ15:

Estas líneas deberán ser utilizadas por cualquier dispositivo que requiera la atención inmediata del microprocesador. La señal de interrupción deberá mantenerse en alto hasta que el microprocesador la reconozca. La prioridad mas alta la sostiene IRQ9.

- SMEMR, SMEMW, MR y MW:

Estas señales son activadas para leer o escribir en la memoria datos que se encuentren en el bus de datos. Las señales SMEMR y SMEMW son activadas únicamente cuando la dirección de memoria es menor que un megabyte. Las señales MR y MW pueden ser por cualquier microprocesador o control DMA que se encuentre en el sistema.

- I/OW e I/OR:

Son señales de lectura y escritura que se activan solamente cuando se deseen leer o escribir de un dispositivo I/O. Pueden ser manejadas tanto por el CPU como por el controlador DMA.

- DACK0-DACK7:

Son utilizadas para el reconocimiento de una solicitud DMA.

- DRQ0-DRQ3 y DRQ5-DRQ7:

Señales utilizadas para solicitar el servicio DMA por los periféricos para el control del sistema. La prioridad más alta la posee DRQ0. Las líneas DRQ0-DRQ3 transfieren cadenas de 8bits y DRQ5-DRQ7 cadenas de 16bits.

- REFRESH:

Esta línea indica el inicio de un ciclo de refrescamiento de memoria.

YS CLK:

Es una señal de sincronización generada por el reloj del sistema con un ciclo de trabajo del 50%.

- T/C:

Indica cuando el conteo de DMA ha finalizado.

- BALE:

Esta señal habilita el enclavamiento de direcciones del decodificador de memoria del microprocesador para que el DMA entre en funcionamiento.

- OSC:

Es una señal de onda cuadrada con un periodo aproximado de 70ns que no se encuentra sincronizada con el sistema.

- MEM CS16

Indica que el sistema va a transferir datos de 16 bits a una localidad de memoria en un solo ciclo.

- I/O CS16:

Indica que el sistema va a transferir datos de 16 bits en un solo ciclo a un puerto I/O.

- MASTER:

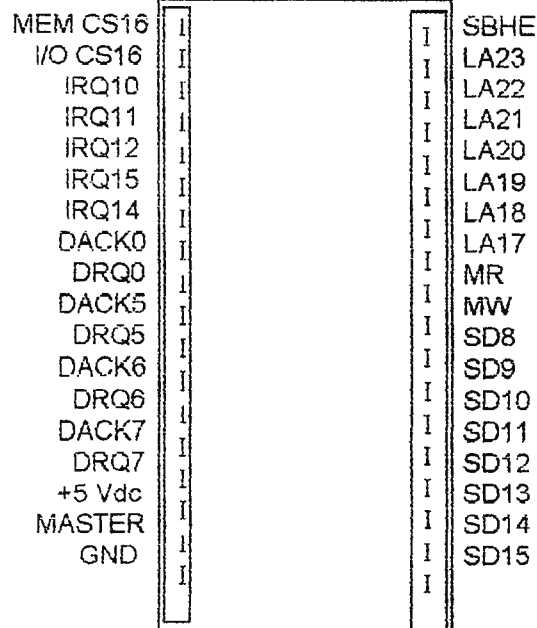
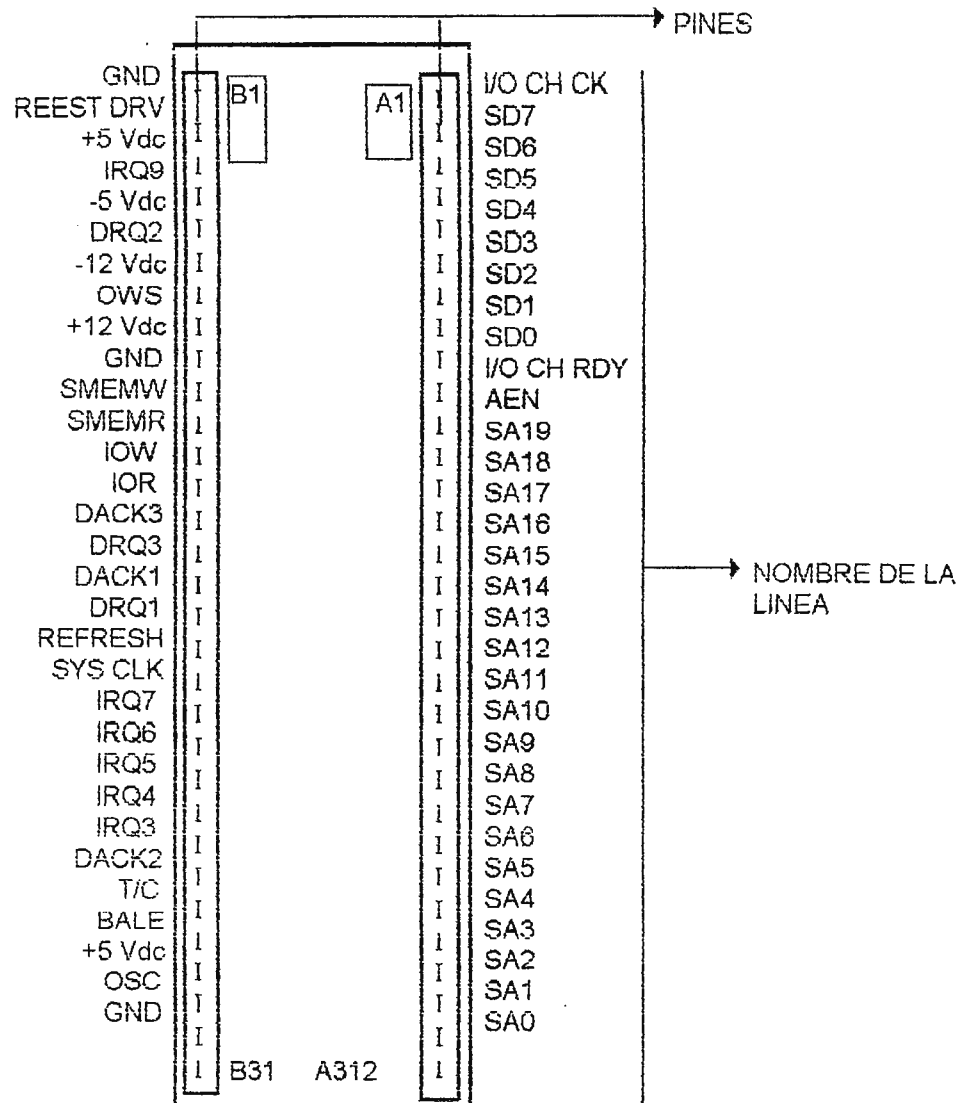
Es utilizada en conjunto con las líneas de DRQ para obtener el control del sistema. Un canal I/O puede generar una señal DRQ a un canal DMA y recibir una señal DACK como respuesta de aceptación y llevar la línea de MASTER a su estado activo, con lo cual tomara por completo el control de los buses. Esta línea no puede permanecer ocupada por más de 15 μ S ya que la memoria del sistema puede perderse por falta de refrescamiento.

-SBHB:

Esta señal indica que se hará una transferencia de un dato de 8 bits a través de la parte más significativa del bus de 16 bits (SB8-SB15).

- OWS:

La señal de estado de espera cero le indica al microprocesador que puede completar su actual ciclo de máquina sin la adición de un ciclo de espera.



PIN OUT de un SLOT de PC AT o compatible

APENDICE 3

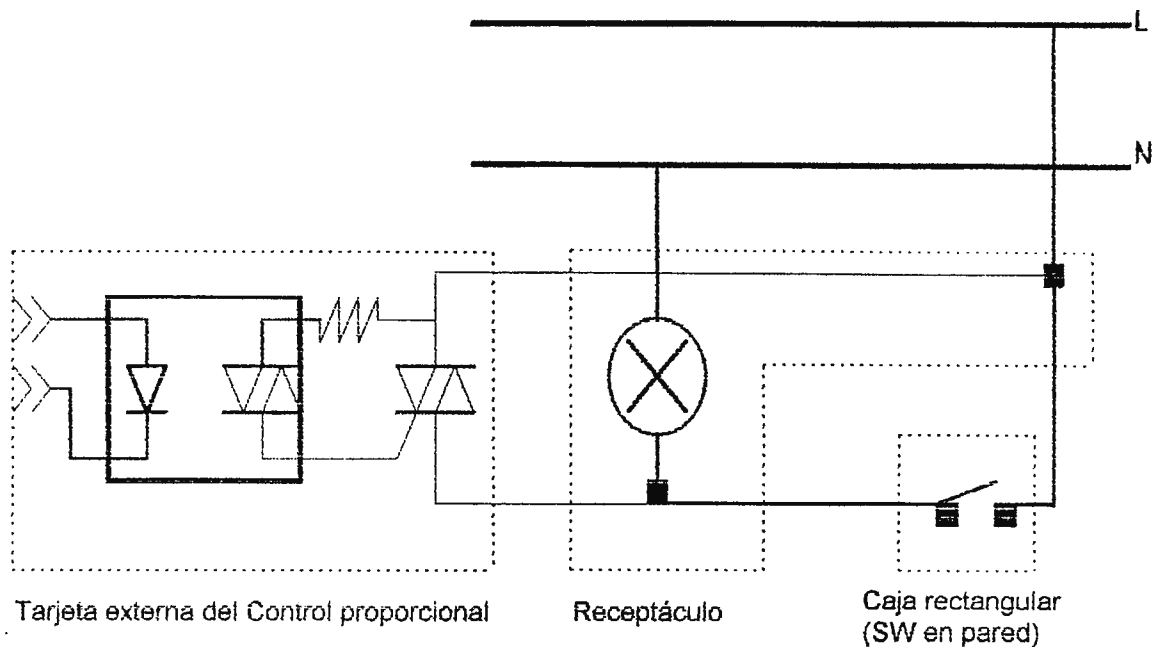
INSTALACION FISICA DE LOS CONTROLES EN LA RED ELECTRICA

Cada control debe conectarse a los dispositivos por medio de un cable sin exceder la distancia especificada en la interface, al final del cable se ubican las tarjetas externas a la interface y en las que se encuentran ubicados los elementos de potencia de cada control. Esto se ha hecho de esta manera para evitar principalmente la generación de calor de estos elementos y ademas para ahorrar espacio dentro de la tarjeta de la interface.

Para asegurar que no existan perdidas por la longitud del cable que se utilice al conectar los controles se recomienda usar cable DUPLEX AWG26 para distancias que no excedan de los 25 metros y DUPLEX AWG24 para distancias arriba de 25 metros.

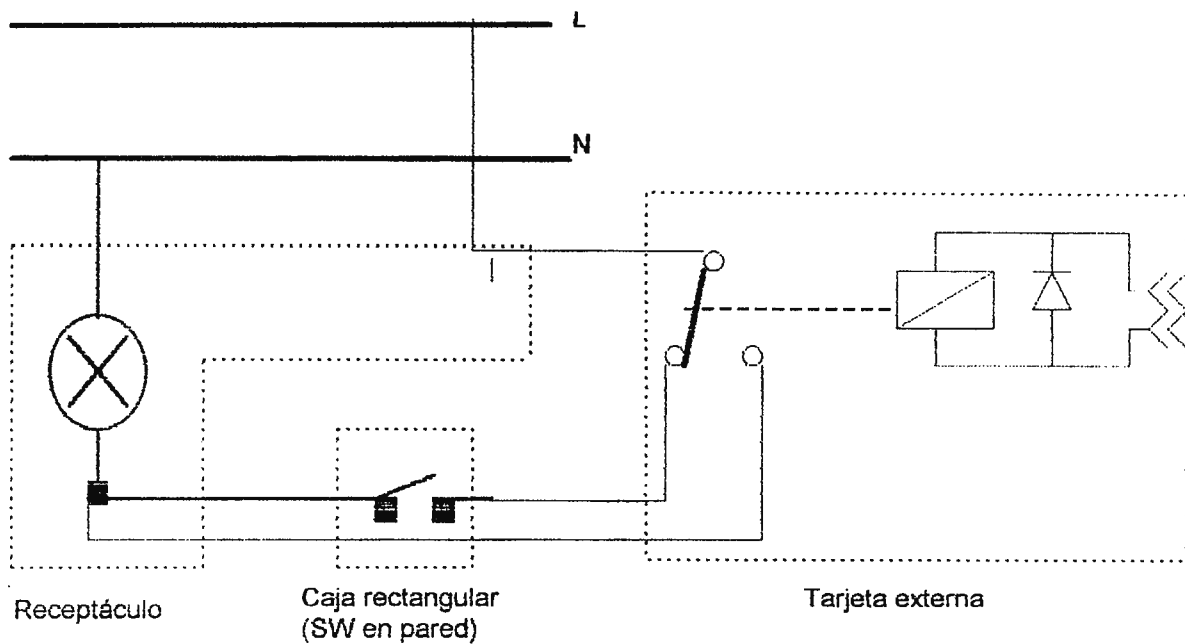
Cada control debe conectarse de una forma adecuada a la red eléctrica de la carga a la que controlarán, dicha instalación se describe a continuación.

- **CONTROL PROPORCIONAL:** esta tarjeta esta compuesta por el circuito de disparo del triac. Los terminales de esta tarjeta se conectan en serie con la carga y en paralelo con el interruptor de esta red. La limitante de esta forma de instalación es que el interruptor de la red debe estar cerrado para que pueda controlarse la potencia entregada a la carga. Si se acciona el interruptor cuando el triac se encuentra disparado, la potencia entregada a la carga sera máxima. La instalación física de este control con la red eléctrica se vé en la siguiente figura;



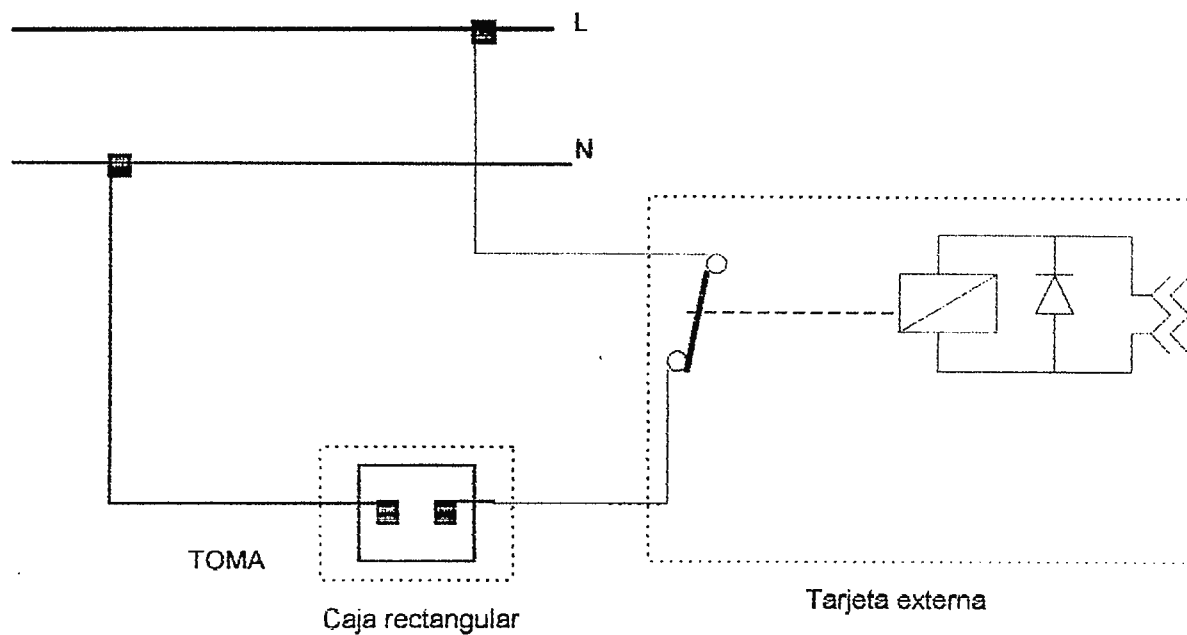
Instalación física del control proporcional con la red eléctrica.

CONTROL TODO/NADA PARA LUMINARIAS: esta tarjeta debe ubicarse directamente en el receptáculo o el lugar de ubicación de la carga. Con este control se pretende que una vez activado el relé (como en la siguiente figura), el interruptor de la red quede deshabilitado, para ello el cable que une la LINEA de la red con el interruptor debe cortarse y entre estos extremos se unen el común del relé con el extremo proveniente de la LINEA y la posición 1 del relé correspondiente a su estado de reposo se une con el extremo proveniente del interruptor. La posición 2 del relé correspondiente al contacto de activación se conecta con el cable que une a la carga y el otro extremo del interruptor de la red. Lo anterior se observa de forma gráfica en la siguiente figura:



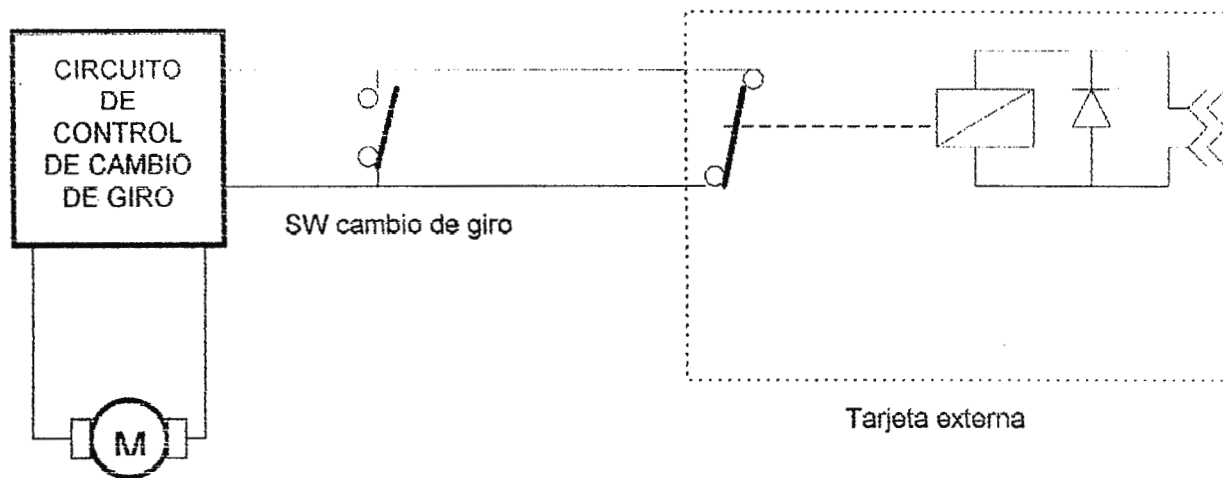
Instalación de control TODO/NADA para luminaria

- **CONTROL TODO/NADA PARA TOMAS:** esta tarjeta consta de un relé SPST y debe conectarse en serie con la línea y el toma que se desea controlar, tal como lo muestra el siguiente diagrama esquemático:



Instalación de control TODO/NADA para tomacorrientes

- **CONTROL DE PULSOS:** este control está diseñado para que funcione como un interruptor simple, por lo que su utilización en apertura y cierre de portones está limitada para sistemas en los que el circuito de control del motor ya existe. Este control se conecta en paralelo con los interruptores del sistema de control ya existentes. Pero su utilización satisface todos los dispositivos que requieren de un pulso para su activación. La forma de instalarlo se muestra en la siguiente figura:



Instalación de un control de pulso

APENDICE 4

Se presentan a continuación un conjunto de datos técnicos de la mayor parte de los elementos utilizados en todos los diseños de este trabajo. Los datos están agrupados en hojas técnicas proporcionadas por los fabricantes en manuales técnicos.

TYPES SN5402, SN54L02, SN54LS02, SN54S02, SN7402, SN74LS02, SN74S02 QUADRUPLE 2-INPUT POSITIVE-NOR GATES

REVISED DECEMBER 1983

- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs

- Dependable Texas Instruments Quality and Reliability

description

These devices contain four independent 2-input-NOR gates.

The SN5402, SN54L02, SN54LS02 and SN54S02 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7402, SN74LS02 and SN74S02 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H

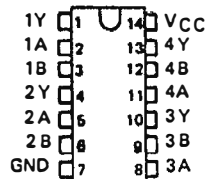
logic diagram (each gate)



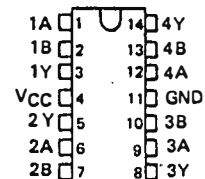
positive logic

$$Y = \overline{A \cdot B} \text{ or } Y = \overline{A + B}$$

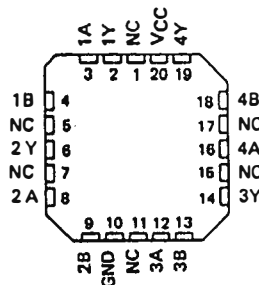
SN5402, SN54L02... J PACKAGE
SN54LS02, SN54S02... J OR W PACKAGE
SN7402... J OR N PACKAGE
SN74LS02, SN74S02... D, J OR N PACKAGE
(TOP VIEW)



SN5402... W PACKAGE
(TOP VIEW)



SN54LS02, SN54S02... FK PACKAGE
SN74LS02, SN74S02... FN PACKAGE
(TOP VIEW)



NC - No internal connection

PRODUCTION DATA

This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TYPES SN54LS02, SN74LS02
QUADRUPLE 2-INPUT POSITIVE-NOR GATES

recommended operating conditions

	SN54LS02			SN74LS02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.7			0.8	V
I _{OH} High-level output current			-0.4			-0.4	mA
I _{OL} Low-level output current			4			8	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN54LS02		SN74LS02		UNIT	
		MIN	TYP ‡	MAX	MIN		TYP ‡
V _{IK}	V _{CC} = MIN, I _I = -18 mA			-1.5		-1.5	V
V _{OH}	V _{CC} = MIN, V _{IL} = MAX, I _{OH} = -0.4 mA	2.5	3.4	2.7	3.4	V _I	
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 4 mA	0.25	0.4	0.25	0.4	V	
	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 8 mA			0.35	0.5		
I _I	V _{CC} = MAX, V _I = 7 V		0.1		0.1	mA	
I _{IH}	V _{CC} = MAX, V _I = 2.7 V		20		20	μA	
I _{IL}	V _{CC} = MAX, V _I = 0.4 V		-0.4		-0.4	mA	
I _{OS} §	V _{CC} = MAX	-20		-100	-20	-100	mA
I _{CCH}	V _{CC} = MAX, V _I = 0 V		1.6	3.2	1.6	3.2	mA
I _{CCL}	V _{CC} = MAX, See Note 2		2.8	5.4	2.8	5.4	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C

§ Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

NOTE 2: One input at 4.5 V, all others at GND.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t _{PLH}	A or B	Y	R _L = 2 kΩ,	C _L = 15 pF		10	15	ns
t _{PHL}						10	15	ns

NOTE 3: See General Information Section for load circuits and voltage waveforms.

TYPES SN5402, SN7402
QUADRUPLE 2-INPUT POSITIVE-NOR GATES

recommended operating conditions

	SN5402			SN7402			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.8			0.8	V
I _{OH} High-level output current			-0.4			-0.4	mA
I _{OL} Low-level output current			18			18	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN5402			SN7402			UNIT
		MIN	TYP ‡	MAX	MIN	TYP ‡	MAX	
V _{IK}	V _{CC} = MIN, I _I = -12 mA			-1.5			-1.5	V
V _{OH}	V _{CC} = MIN, V _{IL} = 0.8 V, I _{OH} = -0.4 mA	2.4	3.4		2.4	3.4		V
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 18 mA			0.2			0.2	V
I _I	V _{CC} = MAX, V _I = 5.5 V			1			1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.4 V			40			40	μA
I _{IL}	V _{CC} = MAX, V _I = 0.4 V			-1.6			-1.6	mA
I _{OS} §	V _{CC} = MAX	-20		-55	-18		-55	mA
I _{CCH}	V _{CC} = MAX, V _I = 0 V			8			8	mA
I _{CCL}	V _{CC} = MAX, See Note 2			14			14	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

NOTE 2: One input at 4.5 V, all others at GND.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	A or B	Y	R _L = 400 Ω, C _L = 15 pF		12	22	ns
t _{PHL}					8	15	ns

NOTE 3: See General Information Section for load circuits and voltage waveforms.

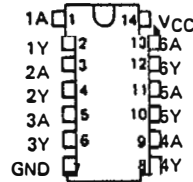
TYPES SN5406, SN5416, SN7406, SN7416 HEX INVERTER BUFFERS/DRIVERS WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

REVISED DECEMBER 1983

- Converts TTL Voltage Levels to MOS Levels
- High Sink-Current Capability
- Input Clamping Diodes Simplify System Design
- Open-Collector Driver for Indicator Lamps and Relays
- Inputs Fully Compatible with Most TTL Circuits

SN5406, SN5416 ... J OR W PACKAGE
SN7406, SN7416 ... J OR N PACKAGE

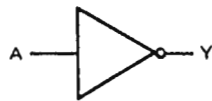
(TOP VIEW)



description

These monolithic TTL hex inverter buffers/drivers feature high-voltage open-collector outputs for interfacing with high-level circuits (such as MOS), or for driving high-current loads (such as lamps or relays), and are also characterized for use as inverter buffers for driving TTL inputs. The SN5406 and SN7406 have minimum breakdown voltages of 30 volts and the SN5416 and SN7416 have minimum breakdown voltages of 15 volts. The maximum sink current is 30 milliamperes for the SN5406 and SN5416, and 40 milliamperes for the SN7406 and SN7416.

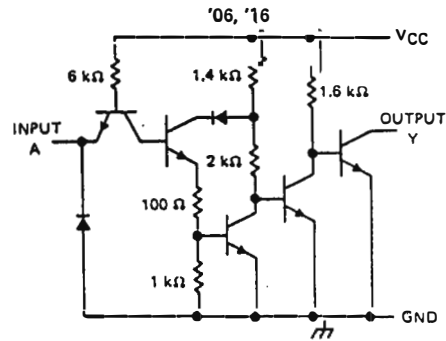
logic diagram



positive logic

$$Y = \bar{A}$$

schematic



Resistor values shown are nominal.

TYPES SN5406, SN5416, SN7406, SN7416
HEX INVERTER BUFFERS/DRIVERS WITH
OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage (see Note 1)	5.5 V
Output voltage (see Notes 1 and 2): SN5406, SN7406 Circuits	30 V
SN5416, SN7416 Circuits	15 V
Operating free-air temperature range: SN5406, SN5416 Circuits	-55°C to 125°C
SN7406, SN7416 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. Voltage values are with respect to network ground terminal.
 2. This is the maximum voltage which should be applied to any output when it is in the off state.

recommended operating conditions

	SN5406 SN5416			SN7406 SN7416			UNIT		
	MIN	NOM	MAX	MIN	NOM	MAX			
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V		
V_{IH} High-level input voltage	2			2			V		
V_{IL} Low-level input voltage	0.8			0.8			V		
V_{OH} High-level output voltage				30			V		
				15					
I_{OL} Low-level output current	30			40			mA		
T_A Operating free-air temperature	-55			125			0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN5406 SN5416			SN7406 SN7416			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IK}	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$	-1.5			-1.5			V
I_{OH}	$V_{CC} = \text{MIN}$, $V_{IL} = 0.8 \text{ V}$, $V_{OH} = \S$	0.25			0.25			mA
V_{OL}	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$	$I_{OL} = 16 \text{ mA}$			0.4			V
		$I_{OL} = ¶$			0.7			
I_I	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$	1			1			mA
I_{IH}	$V_{CC} = \text{MAX}$, $V_{IH} = 2.4 \text{ V}$	40			40			μA
I_{IL}	$V_{CC} = \text{MAX}$, $V_{IL} = 0.4 \text{ V}$	-1.6			-1.6			mA
I_{CCH}	$V_{CC} = \text{MAX}$	30 48			30 48			mA
I_{CCL}	$V_{CC} = \text{MAX}$	32 51			32 51			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§ $V_{OH} = 30 \text{ V}$ for '06 and 15 V for '16.

¶ $I_{OL} = 30 \text{ mA}$ for SN54' and 40 mA for SN74'.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$ (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS			MIN	TYP	MAX	UNIT
t_{PLH}	A	Y	$R_L = 110 \Omega$	$C_L = 15 \text{ pF}$	10	15		ns	
t_{PHL}					15	23		ns	

NOTE 3: See General Information Section for load circuits and voltage waveforms.

TYPES SN5408, SN54LS08, SN54S08, SN7408, SN74LS08, SN74S08 QUADRUPLE 2-INPUT POSITIVE-AND GATES

REVISED DECEMBER 1983

- Package Options include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain four independent 2-input AND gates.

The SN5408, SN54LS08, and SN54S08 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7408, SN74LS08 and SN74S08 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

logic diagram (each gate)

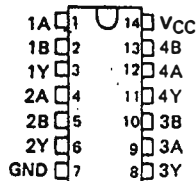


positive logic

$$Y = A \cdot B \text{ or } Y = \overline{\overline{A} + \overline{B}}$$

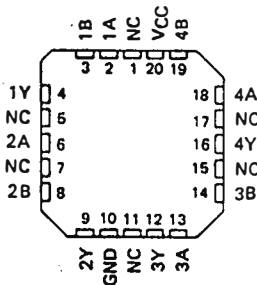
SN5408, SN54LS08, SN54S08 ... J OR W PACKAGE
SN7408 ... J OR N PACKAGE
SN74LS08, SN74S08 ... D, J OR N PACKAGE

(TOP VIEW)



SN54LS08, SN54S08 ... FK PACKAGE
SN74LS08, SN74S08 ... FN PACKAGE

(TOP VIEW)



NC - No Internal connection

TYPES SN5408, SN7408
QUADRUPLE 2-INPUT POSITIVE-AND GATES

recommended operating conditions

	SN5408			SN7408			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.8			0.8	V
I _{OH} High-level output current			-0.8			-0.8	mA
I _{OL} Low-level output current			16			16	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN5408			SN7408			UNIT
		MIN	TYP ‡	MAX	MIN	TYP ‡	MAX	
V _{IK}	V _{CC} = MIN, I _I = -12 mA			-1.5			-1.5	V
V _{OH}	V _{CC} = MIN, V _{IH} = 2 V, I _{OH} = -0.8 mA	2.4	3.4		2.4	3.4		V
V _{OL}	V _{CC} = MIN, V _{IL} = 0.8 V, I _{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I _I	V _{CC} = MAX, V _I = 6.5 V			1			1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.4 V			40			40	μA
I _{IL}	V _{CC} = MAX, V _I = 0.4 V			-1.6			-1.6	mA
I _{OS} §	V _{CC} = MAX	-20		-65	-18		-65	mA
I _{CCH}	V _{CC} = MAX, V _I = 4.5 V		11	21		11	21	mA
I _{CCL}	V _{CC} = MAX, V _I = 0 V		20	33		20	33	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	A or B	Y	R _L = 400 Ω, C _L = 15 pF		17.5	27	ns
t _{PHL}					12	19	ns

NOTE 2: See General Information Section for load circuits and voltage waveforms.

TYPES SN5430, SN54H30, SN54L30, SN54LS30, SN54S30, SN7430, SN74H30, SN74LS30, SN74S30 8-INPUT POSITIVE-NAND GATES

REVISED DECEMBER 1983

- Package Options Include Both Plastic and Ceramic Chip Carriers In Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

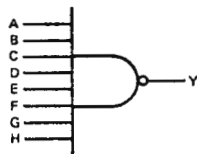
These devices contain a single 8-input NAND gate.

The SN5430, SN54H30, SN54L30, SN54LS30, and SN54S30 are characterized for operation over the full military range of -55°C to 125°C. The SN7430, SN74H30, SN74LS30, and SN74S30 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE

INPUTS A THRU H	OUTPUT Y
All inputs H	L
One or more inputs L	H

logic diagram



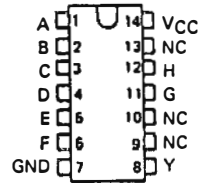
positive logic

$$Y = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H \quad \text{or}$$

$$Y = \bar{A} + \bar{B} + \bar{C} + \bar{D} + \bar{E} + \bar{F} + \bar{G} + \bar{H}$$

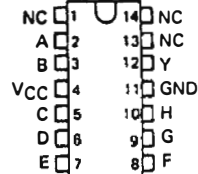
SN5430, SN54H30, SN54L30 ... J PACKAGE
SN54LS30, SN54S30 ... J OR W PACKAGE
SN7430, SN74H30 ... J OR N PACKAGE
SN74LS30, SN74S30 ... O, J OR N PACKAGE

(TOP VIEW)



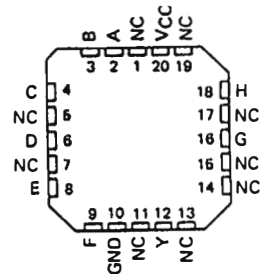
SN5430, SN54H30 ... W PACKAGE

(TOP VIEW)



SN54LS30, SN54S30 ... FK PACKAGE
SN74LS30, SN74S30 ... FN PACKAGE

(TOP VIEW)



NC - No internal connection

PRODUCTION DATA

This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 226012 • DALLAS, TEXAS 75265

TYPES SN54LS30, SN74LS30
8-INPUT POSITIVE-NAND GATES

recommended operating conditions

	SN54LS30			SN74LS30			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.7			0.8	V
I _{OH} High-level output current			-0.4			-0.4	mA
I _{OL} Low-level output current			4			8	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN54LS30			SN74LS30			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IK}	V _{CC} = MIN, I _I = -18 mA			-1.5			-1.5	V
V _{OH}	V _{CC} = MIN, V _{IL} = MAX, I _{OH} = -0.4 mA	2.5	3.4		2.7	3.4		V
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 4 mA		0.25	0.4			0.4	V
	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 8 mA					0.25	0.5	
I _I	V _{CC} = MAX, V _I = 7 V			0.1			0.1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.7 V			20			20	μA
I _{IL}	V _{CC} = MAX, V _I = 0.4 V			-0.4			-0.4	mA
I _{OS} §	V _{CC} = MAX	-20		-100	-20		-100	mA
I _{CCH}	V _{CC} = MAX, V _I = 0 V		0.35	0.5		0.35	0.5	mA
I _{CCL}	V _{CC} = MAX, V _I = 4.5 V		0.8	1.1		0.8	1.1	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C

§ Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 2)

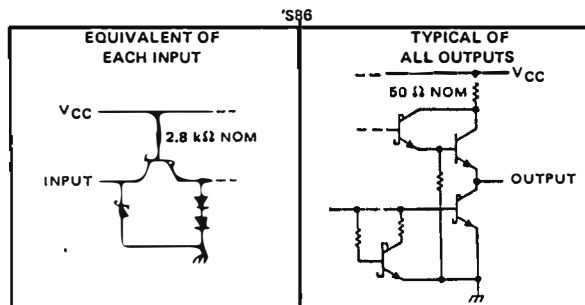
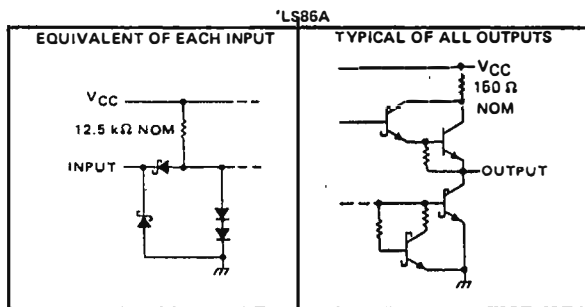
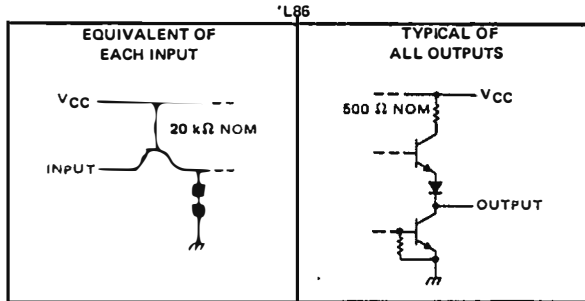
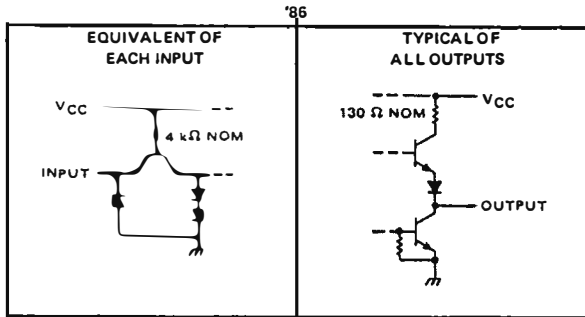
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Any	Y	R _L = 2 kΩ, C _L = 15 pF		8	15	ns
t _{PHL}					13	20	ns

NOTE 2: See General Information Section for load circuits and voltage waveforms.

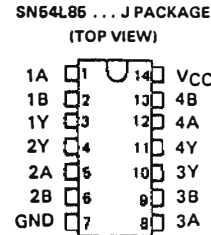
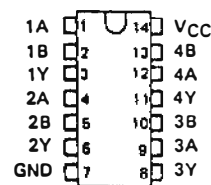
TYPES SN5486, SN54L86, SN54LS86A, SN54S86,
SN7486, SN74LS86A, SN74S86
QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

DECEMBER 1972 - REVISED DECEMBER 1983

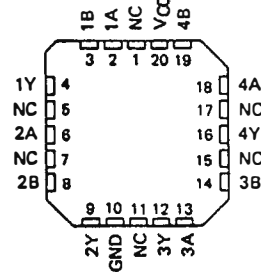
schematics of inputs and outputs



SN5486, SN54LS86A, SN54S86 ... J OR W PACKAGE
SN7486 ... J OR N PACKAGE
SN74LS86A, SN74S86 ... D, J OR N PACKAGE



SN64LS86A, SN64S86 ... FK PACKAGE
SN74LS86A, SN74S86 ... FN PACKAGE



NC - No internal connection

FUNCTION TABLES

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = high level, L = low level

TYPE	TYPICAL AVERAGE		TYPICAL TOTAL POWER DISSIPATION
	PROPAGATION DELAY TIME		
'86	14 ns	150 mW	
'L86	55 ns	15 mW	
'LS86A	10 ns	30.5 mW	
'S86	7 ns	250 mW	

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 226012 • DALLAS, TEXAS 75265

TYPES SN54S86, SN74S86 QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
input voltage	5.5 V
Operating free-air temperature range: SN54S86	-55°C to 125°C
SN74S86	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54S86			SN74S86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-1			-1	mA
Low-level output current, I_{OL}			20			20	mA
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS [†]	SN54S86			SN74S86			UNIT	
		MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX		
V_{IH} High-level input voltage		2			2			V	
V_{IL} Low-level input voltage				0.8			0.8	V	
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$			-1.2			-1.2	V	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -1 \text{ mA}$	2.5	3.4		2.7	3.4		V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 20 \text{ mA}$			0.5			0.5	V	
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1			1	mA	
I_{IH} High-level input current	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$			50			50	μA	
I_{IL} Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.5 \text{ V}$			-2			-2	mA	
I_{OS} Short-circuit output current [§]	$V_{CC} = \text{MAX}$	-40		-100	-40		-100	mA	
I_{CC} Supply current	$V_{CC} = \text{MAX}, \text{ See Note 2}$			50		75	50	75	mA

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

[‡] All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

[§] Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

NOTE 2: I_{CC} is measured with the inputs grounded and the outputs open.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER [¶]	FROM (INPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Other Input low	$C_L = 15 \text{ pF}, R_L = 280 \Omega,$ See Note 3	7	10.5	ns
t_{PHL}				6.5	10	
t_{PLH}	A or B	Other Input high	See Note 3	7	10.5	ns
t_{PHL}				6.5	10	

[¶] t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

NOTE 3: See General Information Section for load circuits and voltage waveforms.


**TEXAS
INSTRUMENTS**

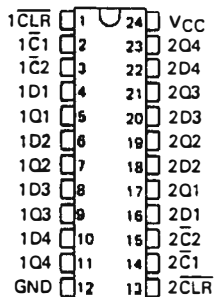
POST OFFICE BOX 225012 • DALLAS, TEXAS 75285

TYPES SN54116, SN74116 DUAL 4-BIT LATCHES WITH CLEAR

DECEMBER 1972—REVISED DECEMBER 1983

- Two Independent 4-Bit Latches in a Single Package
- Separate Clear Inputs Provide One-Step Clearing Operation
- Dual Gated Enable Inputs Simplify Cascading Register Implementations
- Compatible for Use with TTL Circuits
- Input Clamping Diodes Simplify System Design

SN54116 . . . J OR W PACKAGE
SN74116 . . . J OR N PACKAGE
(TOP VIEW)



description

These monolithic TTL circuits utilize D-type bistables to implement two independent four-bit latches in a single package. Each four-bit latch has an independent asynchronous clear input and a gated two-input enable circuit. When both enable inputs are low, the output levels will follow the data input levels. When either or both of the enable inputs are taken high, the outputs remain at the last levels setup at the inputs prior to the low-to-high-level transition at the enable input(s). After this, the data inputs are locked out.

The clear input is overriding and when taken low will reset all four outputs low regardless of the levels of the enable inputs.

The SN54116 is characterized for operation over the full military temperature range-of -55°C to 125°C ; the SN74116 is characterized for operation from 0°C to 70°C .

FUNCTION TABLE
(EACH LATCH)

CLEAR	ENABLE		DATA	OUTPUT Q
	C1	C2		
H	L	L	L	L
H	L	L	H	H
H	X	H	X	Q ₀
H	H	X	X	Q ₀
L	X	X	X	L

H - high level, L - low level, X - irrelevant
Q₀ - the level of Q before these input conditions were established.

PRODUCTION DATA

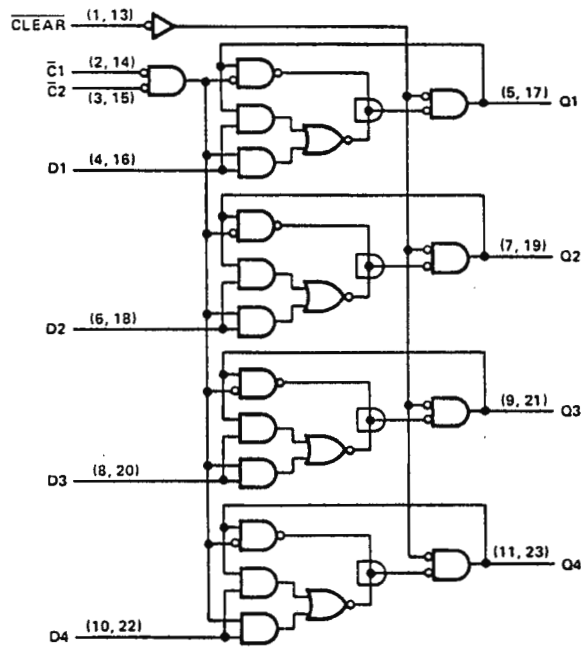
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

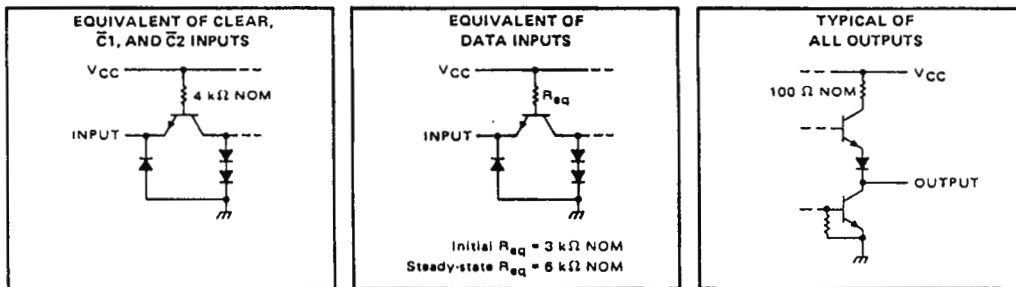
TYPES SN54116, SN74116
DUAL 4-BIT LATCHES WITH CLEAR

logic diagram



Pin numbers shown on logic notation are for J or N packages.

schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN64116 Circuits	-55°C to 125°C
SN74116 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

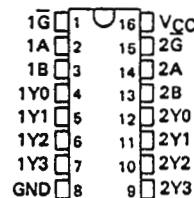
NOTE 1: Voltage values are with respect to network ground terminal.

TYPES SN54LS139A, SN54S139, SN74LS139A, SN74S139 DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

REVISED APRIL 1985

- Designed Specifically for High-Speed: Memory Decoders Data Transmission Systems
- Two Fully Independent 2-to-4-Line Decoders/Demultiplexers
- Schottky Clamped for High Performance

SN64LS139A, SN64S139 ... J OR W PACKAGE
SN74LS139A, SN74S139 ... D, J OR N PACKAGE
(TOP VIEW)



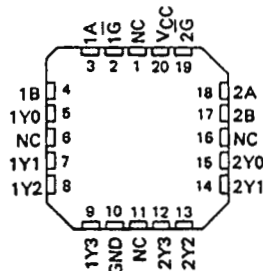
Description

These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The circuit comprises two individual two-line to four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, each of which represents only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and to simplify system design. The SN54LS139A and SN54S139 are characterized for operation range of -55°C to 125°C. The SN74LS139A and SN74S139 are characterized for operation from 0°C to 70°C.

SN64LS139A, SN64S139 ... FK PACKAGE
SN74LS139A, SN74S139 ... FN PACKAGE
(TOP VIEW)



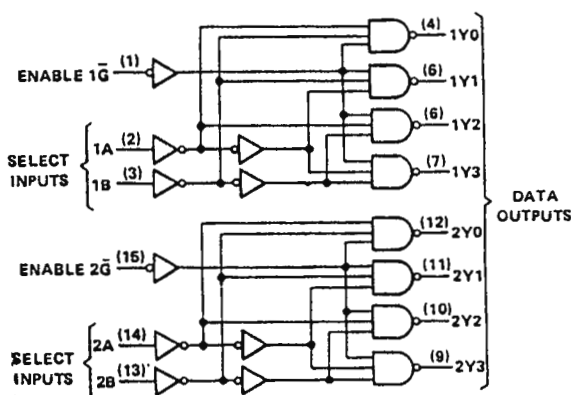
NC - No Internal connection

FUNCTION TABLE

INPUTS		OUTPUTS			
ENABLE	SELECT				
\bar{G}	B A	Y0	Y1	Y2	Y3
H	X X	H	H	H	H
L	L L	L	H	H	H
L	L H	H	L	H	H
L	H L	H	H	L	H
L	H H	H	H	H	L

H = high level, L = low level, X = irrelevant

logic diagram



Pin numbers shown on logic notation are for D, J or N packages.

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 225012 • DALLAS, TEXAS 75285

TYPES SN54S139, SN74S139
DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

recommended operating conditions

	SN54S139			SN74S139			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage	0.8			0.8			V
I _{OH} High-level output current	-1			-1			mA
I _{OL} Low-level output current	20			20			mA
T _A Operating free-air temperature	-55			0			70 °C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54S139 SN74S139		UNIT	
		MIN	TYP‡		MAX
V _{IK}	V _{CC} = MIN, I _I = 18 mA	-1.2		V	
V _{OH}	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OH} = -1 mA	SN54S'	2.5	3.4	V
		SN74S'	2.7	3.4	
V _{OL}	V _{CC} = MIN, I _{OL} = 20 mA, V _{IH} = 2V, V _{IL} = 0.8V	0.5		V	
I _I	V _{CC} = MAX, V _I = 5.5V	1		mA	
I _{IH}	V _{CC} = MAX, V _I = 2.7V	50		μA	
I _{IL}	V _{CC} = MAX, V _I = 0.5V	-2		mA	
I _{OS} §	V _{CC} = MAX	-40	-100	mA	
I _{CC}	V _{CC} = MAX, Outputs enabled and open	SN54S'	60	74	mA
		SN74S'	75	90	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at V_{CC} = 5V, T_A = 25°C.

§Not more than one output should be shorted at a time, and duration of the short circuit test should not exceed one second.

switching characteristics, V_{CC} = 5V, T_A = 25°C (see note 2)

PARAMETER†	FROM (INPUT)	TO (OUTPUT)	LEVELS OF DELAY	TEST CONDITIONS	SN54S139 SN74S139			UNIT
					MIN	TYP	MAX	
t _{PLH}	Binary Select	Any	2	R _L = 280 Ω, C _L = 15 pF	5	7.5	ns	
t _{PHL}					6.5	10	ns	
t _{PLH}			3		7	12	ns	
t _{PHL}					8	12	ns	
t _{PLH}	Enable	Any	2		5	8	ns	
t _{PHL}					6.5	10	ns	

† t_{PLH} = propagation delay time, low to high-level output

† t_{PHL} = propagation delay time, high to low-level output

NOTE 2: See General Information Section for load circuits and voltage waveforms.


**TEXAS
INSTRUMENTS**

POST OFFICE BOX 225012 • DALLAS, TEXAS 75285

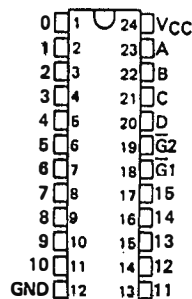
TYPES SN54154, SN54L154, SN74154 LINE TO 16-LINE DECODERS/DEMULTIPLEXERS

DECEMBER 1972—REVISED DECEMBER 1983

- '154 is Ideal for High-Performance Memory Decoding
- 'L154 is Designed for Power-Critical Applications
- Decodes 4 Binary-Coded Inputs Into One of 16 Mutually Exclusive Outputs
- Performs the Demultiplexing Function by Distributing Data From One Input Line to Any One of 16 Outputs
- Input Clamping Diodes Simplify System Design
- High Fan-Out, Low-Impedance, Totem-Pole Outputs
- Fully Compatible with Most TTL and MSI Circuits

SN54154 . . . J OR W PACKAGE
SN54L154 . . . J PACKAGE
SN74154 . . . J OR N PACKAGE

(TOP VIEW)



TYPE	TYPICAL AVERAGE PROPAGATION DELAY		TYPICAL POWER DISSIPATION
	3 LEVELS OF LOGIC	STROBE	
'154	23 ns	19 ns	170 mW
'L154	46 ns	38 ns	85 mW

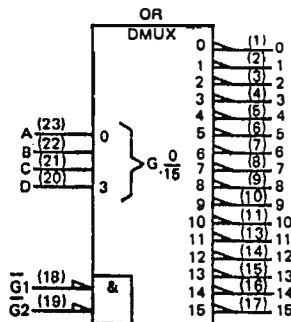
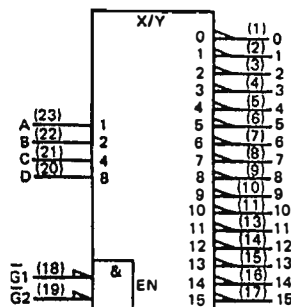
description

Each of these monolithic, 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, $\overline{G1}$ and $\overline{G2}$, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing high-performance memory decoders. For ultra-high speed systems, SN54S138/SN74S138 and SN54S139/SN74S139 are recommended.

These circuits are fully compatible for use with most other TTL circuits. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

The SN54154 and SN54L154 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN74154 is characterized for operation from 0°C to 70°C .

logic symbol



Pin numbers shown on logic notation are for J or N packages.

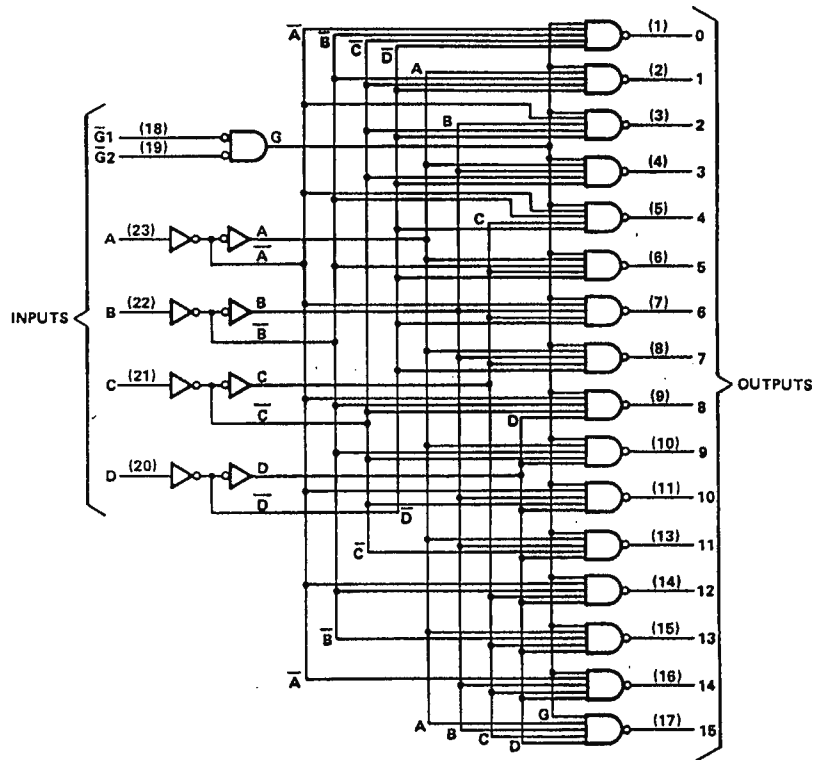
PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

TYPES SN54154, SN54L154, SN74154
4-LINE TO 16-LINE DECODERS/DEMULTIPLEXERS

logic diagram



Pin numbers shown on logic notation are for J or N packages.

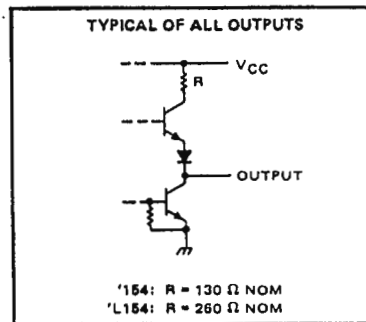
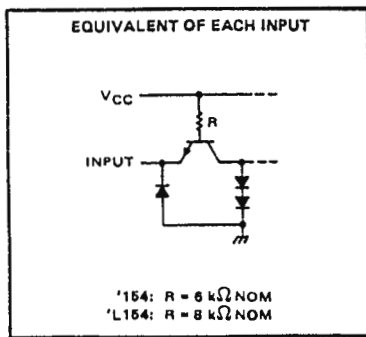
TYPES SN54154, SN54L154, SN74154
4-LINE TO 16-LINE DECODERS/DEMULTIPLEXERS

FUNCTION TABLE

INPUTS		OUTPUTS																				
\bar{G}_1	\bar{G}_2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

schematics of inputs and outputs



TYPES SN54154, SN74154 4-LINE TO 16-LINE DECODERS/DEMULTIPLEXERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54154 Circuits	-55°C to 125°C
SN74154 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54154			SN74154			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54154			SN74154			UNIT
		MIN	TYP	MAX	MIN	TYP‡	MAX	
V_{IH} High-level input voltage		2			2			V
V_{IL} Low-level input voltage				0.8			0.8	V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -800 \mu\text{A}$	2.4	3.4		2.4	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$			40			40	μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6			-1.6	mA
I_{OS} Short-circuit output current‡	$V_{CC} = \text{MAX}$	-20		-55	-18		-57	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2		34	49		34	56	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$.

§ Not more than one output should be shorted at a time.

NOTE 2: I_{CC} is measured with all inputs grounded and all outputs open.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH} Propagation delay time, low-to-high-level output, from A, B, C, or D inputs through 3 levels of logic	$C_L = 15 \text{ pF}$, $R_L = 400 \Omega$, See Note 3		24	36	ns
t_{PHL} Propagation delay time, high-to-low-level output, from A, B, C, or D inputs through 3 levels of logic			22	33	ns
t_{PLH} Propagation delay time, low-to-high-level output, from either strobe input			20	30	ns
t_{PHL} Propagation delay time, high-to-low-level output, from either strobe input			18	27	ns

NOTE 3: See General Information Section for load circuits and voltage waveforms.

TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74LS164 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTER

MARCH 1974—REVISED DECEMBER 11

- Gated Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

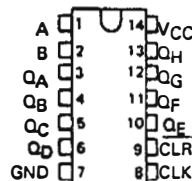
TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit
'LS164	36 MHz	10 mW per bit

description

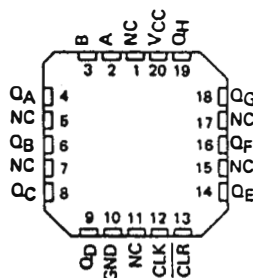
These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either input inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup-time requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

The SN54164, SN54L164 and SN54LS164 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74164 and SN74LS164 are characterized for operation from 0°C to 70°C

SN54164, SN54LS164 ... J OR W PACKAGE
SN54L164 ... J PACKAGE
SN74164 ... J OR N PACKAGE
SN74LS164 ... D, J OR N PACKAGE
(TOP VIEW)



SN54LS164 ... FK PACKAGE
SN74LS164 ... FN PACKAGE
(TOP VIEW)



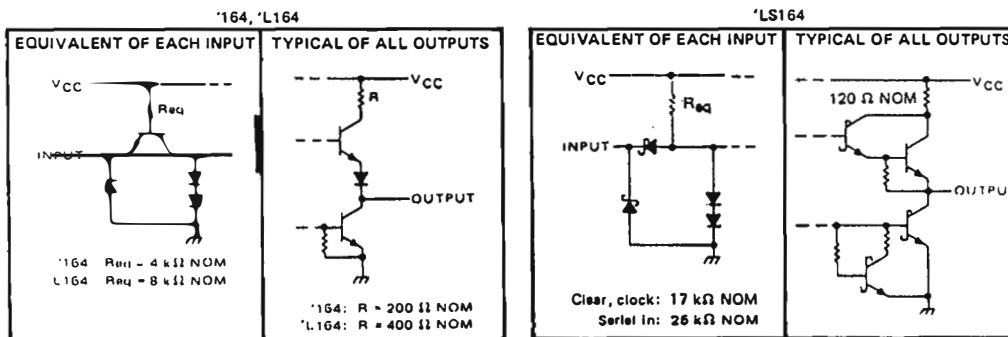
NC - No internal connection

FUNCTION TABLE

INPUTS			OUTPUTS			
CLEAR	CLOCK	A B	QA	QB ...	QH	
L	X	X X	L	L	L	L
H	L	X X	QA0	QB0	QH0	
H	1	H H	H	QA _n	QH _n	
H	1	L X	L	QA _n	QH _n	
H	1	X L	L	QA _n	QH _n	

H = high level (steady state), L = low level (steady state)
 X = irrelevant (any input, including transitions)
 † = transition from low to high level.
 QA0, QB0, QH0 = the level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.
 QA_n, QB_n, QH_n = the level of QA or QG before the most-recent † transition of t₁ clock; indicates a one-bit shift.

schematics of inputs and outputs

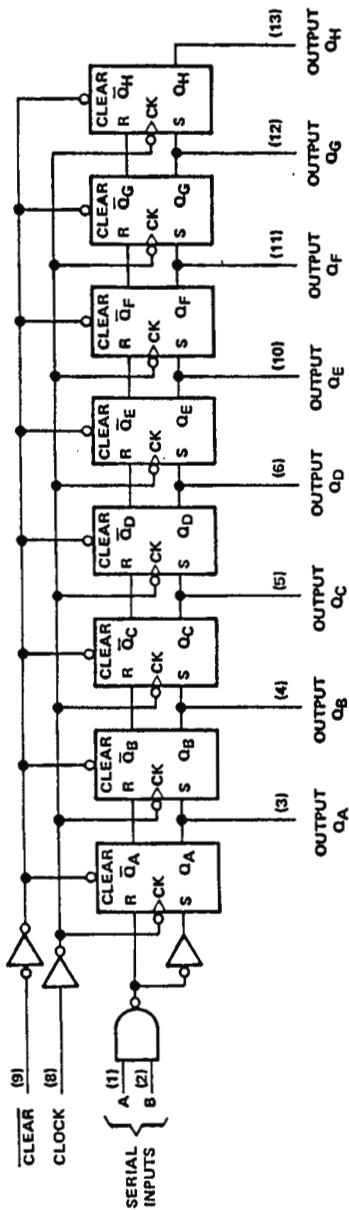


PRODUCTION DATA
 This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS INSTRUMENTS
 POST OFFICE BOX 226012 • DALLAS, TEXAS 75265

TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

logic diagram



Pin numbers shown on logic notation are for D, J or N packages.

TYPES SN54LS164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7
Input voltage	7
Operating free-air temperature range: SN54LS164	-55°C to 125°C
SN74LS164	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS164			SN74LS164			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.7			0.8	V
I_{OH}	High-level output current			-0.4			-0.4	mA
I_{OL}	Low-level output current			4			8	mA
f_{clock}	Clock frequency	0		25	0		25	MHz
t_w	Width of clock or clear input pulse	20			20			ns
t_{su}	Data setup time (See Figure 1)	15			15			ns
t_{sh}	Clear inactive setup time (See Figure 1)	15			15			ns
t_h	Data hold time (See Figure 1)	5			5			ns
T_A	Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS164		SN74LS164		UNIT		
		MIN	TYP‡	MAX	MIN		TYP‡	MAX
V_{IK}	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$			-1.5		-1.5	V	
V_{OH}	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = \text{MAX}$ $I_{OH} = -0.4 \mu\text{A}$	2.5	3.5		2.7	3.5	V	
V_{OL}	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = \text{MAX}$			0.25		0.25	0.4	V
						0.35	0.5	
I_I	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$			0.1			0.1	mA
I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$			20			20	μA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-0.4			-0.4	mA
I_{OS}	$V_{CC} = \text{MAX}$	-20		-100	-20		-100	mA
I_{CC}	$V_{CC} = \text{MAX}, \text{ See Note 3}$	16		27	16		27	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

NOTE 3: I_{CC} is measured with outputs open, serial inputs grounded, the clock input at 2.4 V, and a momentary ground, then 4.5 V applied to clear.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clear input		24	36	ns
t_{PLH}	Propagation delay time, low-to-high-level Q outputs from clock input		17	27	ns
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clock input		21	32	ns

TYPES SN54LS240, SN54LS241, SN54LS244, SN54S240, SN54S241, SN54S244,
SN74LS240, SN74LS241, SN74LS244, SN74S240, SN74S241, SN74S244
OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

REVISED APRIL 1985

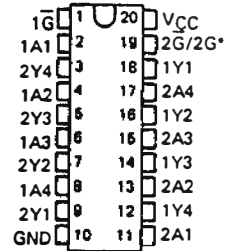
- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- PNP Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

description

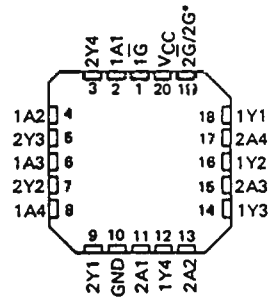
These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical \bar{G} (active-low output control) inputs, and complementary G and \bar{G} inputs. These devices feature high fan-out, improved fan-in, and 400-mV noise-margin. The SN74LS' and SN74S' can be used to drive terminated lines down to 133 ohms.

The SN54' family is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74' family is characterized for operation from 0°C to 70°C .

SN54LS', SN54S' ... J PACKAGE
SN74LS', SN74S' ... DW, J OR N PACKAGE
(TOP VIEW)

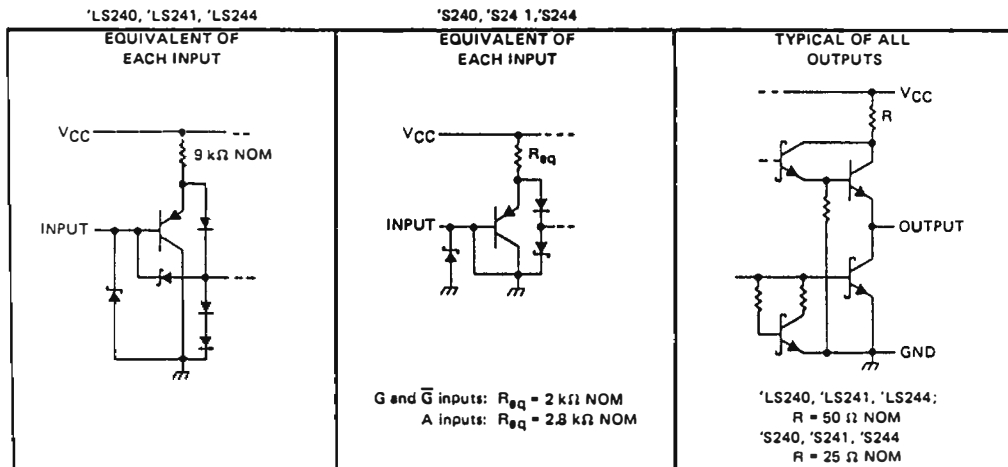


SN54LS', SN54S' ... FK PACKAGE
SN74LS', SN74S' ... FN PACKAGE
(TOP VIEW)



*2G for 'LS241 and 'S241 or 2G for all other drivers.

schematics of inputs and outputs



PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

**TYPES SN54LS240, SN54LS241, SN54LS244, SN74LS240, SN74LS241, SN74LS244
OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS**

recommended operating conditions

PARAMETER	SN54LS ¹			SN74LS ¹			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage (see Note 1)	4.5	5	6.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.7			0.8	V
I _{OH} High-level output current			-12			-15	mA
I _{OL} Low-level output current			12			24	mA
T _A Operating free-air temperature	-66		125	0		70	°C

NOTE 1: Voltage values are with respect to network ground terminal.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS [†]	SN64LS ¹			SN74LS ¹			UNIT
		MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX	
V _{IK}	V _{CC} = MIN, I _I = -18 mA			-1.5			-1.5	V
Hysteresis (V _{T+} - V _{T-})	V _{CC} = MIN	0.2	0.4		0.2	0.4		V
V _{OH}	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = MAX, I _{OH} = -3 mA	2.4	3.4		2.4	3.4		V
	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.5 V, I _{OH} = MAX	2			2			V
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 12 mA			0.4			0.4	V
	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 24 mA						0.5	V
I _{OZH}	V _{CC} = MAX, V _{IH} = 2 V, V _O = 2.7 V			20			20	μA
I _{OZL}	V _{CC} = MAX, V _{IL} = MAX, V _O = 0.4 V			-20			-20	μA
I _I	V _{CC} = MAX, V _I = 7 V			0.1			0.1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.7 V			20			20	μA
I _{IL}	V _{CC} = MAX, V _{IL} = 0.4 V			-0.2			-0.2	mA
I _{O5} [§]	V _{CC} = MAX	-40		-225	-40		-225	mA
I _{CC}	V _{CC} = MAX, Output open	Outputs high	All	17	27	17	27	mA
		Outputs low	'LS240	26	44	26	44	
			'LS241, 'LS244	27	46	27	46	
		All outputs disabled	'LS240	29	50	29	50	
			'LS241, 'LS244	32	54	32	54	

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

[‡] All typical values are at V_{CC} = 5 V, T_A = 25°C.

[§] Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER	TEST CONDITIONS	'LS240			'LS241, 'LS244			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t _{PLH}	R _L = 667 Ω, C _L = 45 pF, See Note 2		9	14		12	18	ns
t _{PHL}			12	18		12	18	ns
t _{PZL}			20	30		20	30	ns
t _{PZH}	R _L = 667 Ω, C _L = 5 pF, See Note 2		15	23		15	23	ns
t _{PLZ}			10	20		10	20	ns
t _{PHZ}			15	25		15	25	ns

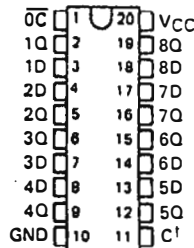
NOTE 2: See General Information Section for load circuits and voltage waveforms.

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

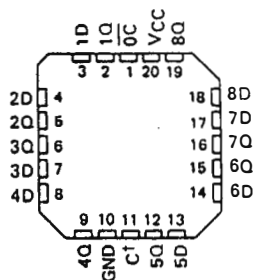
OCTOBER 1976—REVISED APRIL 1985

- Choice of 8 Latches or 8 D-Type Flip-Flops in a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection ('S373 and 'S374)
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)

SN54LS373, SN54LS374, SN54S373,
SN54S374 . . . J PACKAGE
SN74LS373, SN74LS374, SN74S373,
SN74S374 . . . DW, J OR N PACKAGE
(TOP VIEW)



SN54LS373, SN54LS374, SN54S373,
SN54S374 . . . FK PACKAGE
SN74LS373, SN74LS374, SN74S373,
SN74S374 . . . FN PACKAGE
(TOP VIEW)



'C for 'LS373 and 'S373; CLK for 'LS374 and 'S374.

'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q ₀
H	X	X	Z

description

These 8-bit registers feature three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (C) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

PRODUCTION DATA

This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 226012 • DALLAS, TEXAS 75226

TYPES SN54LS373, SN54LS374, SN74LS373, SN74LS374
OCTAL D-TYPE TRANSPARENT LATCHES AND
EDGE-TRIGGERED FLIP-FLOPS

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

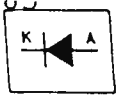
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS373			'LS374			UNIT	
				MIN	TYP	MAX	MIN	TYP	MAX		
f_{max}			$C_L = 45\text{ pF}$, $R_L = 667\ \Omega$ See Notes 2 and 3				35	50		MHz	
t_{PLH}	Data	Any Q			12	18					ns
t_{PHL}					12	18					
t_{PLH}	Clock or enable	Any Q			20	30		15	28		ns
t_{PHL}					18	30		19	28		
t_{PZH}	Output Control	Any Q			15	28		20	26		ns
t_{PZL}				25	36		21	28			ns
t_{PHZ}	Output Control	Any Q	$C_L = 5\text{ pF}$, $R_L = 667\ \Omega$ See Note 3	SN54	28	32		28	32		ns
				SN74	15	25		15	28		
t_{PLZ}	Output Control	Any Q		12	20		12	20		ns	

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See General Information Section for load circuits and voltage waveforms.

f_{max} = maximum clock frequency
 t_{PLH} = propagation delay time, low-to-high-level output
 t_{PHL} = propagation delay time, high-to-low-level output
 t_{PZH} = output enable time to high level
 t_{PZL} = output enable time to low level
 t_{PHZ} = output disable time from high level
 t_{PLZ} = output disable time from low level


TEXAS
INSTRUMENTS

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265



Diodes and Rectifiers (General Purpose)

ECG Type	Description		Peak Reverse Voltage PRV Max V	Average Rectified Forward Current IO Max	Forward Current Repetitive Peak IFRM Max	Reverse Recovery Time trr	Forward Voltage Drop Max VF	AFC	Fast Sw	Gen Purp	Fast Recovery	Fig. No.
ECG109	Gen Purp	Ge	100	200 mA	---	---	---			•		Z2
ECG110A	Gen Purp	Ge	40	50 mA	150 mA	---	---			•		Z2
ECG110MP	Matched Diode Pair	Ge	30	15 mA at 60°C	---	---	---	•		•		Z2
ECG112	UHF Mixer (Schottky)	Si	5	25 mA	---	---	.5 at 60 mA					Z4
ECG113A	Common Cathode Dual Diode, Center Tap, TV Horiz	Si	100	1.5 A	---	---	0.95 V at 1 A	•		•		Z15
ECG114	Series Dual Diodes, TV Horiz	Se	20	min 1.1 mA	---	---	---	•		•		Z12
ECG115	Common Anode, Dual Diode, TV Horiz AFC	Se	20	min 1.1 mA	---	---	---	•		•		Z12
ECG116	Gen Purp Rect	Si	600	1 A	---	---	0.8 V at 1 A			•		Z3
ECG117A	Gen Purp Rect, Metal Case	Si	1000	1.5 A	---	---	0.9 V			•		Z10
ECG120	Color TV Convg Rect	Se	18	65 mA	---	---	---			•		Z17
ECG125	Gen Purp Rect	Si	1000	2.5 A at 25°C Lead Temp	---	---	0.8 V at 1 A			•		Z3
ECG156	Gen Purp Rect	Si	1000	3 A	---	---	1.1 V at 1.5 A			•		Z6
ECG173BP	TV Damper	Si	5000	600 mA	8 A	4 μs	4.4 V at 500 mA					Z16
ECG177	Fast Sw, Det, etc.	Si	200	160 mA	250 mA	50 ns	1.0 V at 100 mA		•			Z4
ECG178MP	Matched Diode Pair, AFC, AFT, etc.	Si	50	75 mA	100 mA	---	1.0 V at 5 mA	•				Z5
ECG506	Sw, Fast Recovery, Bst Damper, Blanking	Si	1400	2 A	3.5 A	500 ns	1.0 V at 1 A		•		•	Z6
ECG507	Gen Purp Rect, Gating, Centering	Si	50	250 mA	---	3 μs	1.0 V at 1 A			•		Z6
ECG515	Sw, Fast Recovery, SCR Defl Clamp	Si	800	3 A	9 A	1.3 μs	1.3 V at 4 A		•		•	Z8
ECG519	Fast Sw Diode	Si	100 (BRV)	200 mA	450 mA	4 ns	1.0 V at 10 mA		•			Z4
ECG525	Sw, Fast Recovery, Damper	Si	2000	1 A	---	500 ns (Fwd Rec)	2 V at 2 A		•		•	Z6
ECG551	Sw, Fast Recovery, Damper, Metal Case	Si	1500	1 A	---	1 μs	1.5 V at 2 A		•		•	Z9
ECG552	Gen Purp Rect, Fast Recovery	Si	600	1 A	---	200 ns	1.5 V at 250 mA		•	•	•	Z3
ECG558	Gen Purp Rect, Fast Recovery, HV	Si	1500	1 A	---	250 ns	1.2		•	•	•	Z6
ECG580	Gen Purp Rect, Fast Recovery	Si	600	3 A	Single Surge 100 A	250 ns	1.3 V at 3 A		•	•	•	Z1A
ECG581	Gen Purp Rect, Fast Recovery	Si	400	8 A	Single Surge 150 A	200 ns	1.2 V at 3 A		•	•	•	Z41A
ECG582	TV Damper	Si	6000	300 mA	Single Surge 100 A	300 ns	8.0 V at 100 mA				•	Z17A
ECG583	Detector, Mixer, (Schottky) Hot Carrier Modulator	Si	70	15 mA	---	1 ps	.41 V at 1 mA	•	•	•	•	Z4
ECG584	Detector, Mixer, (Schottky) Hot Carrier Modulator	Si	20	35 mA	---	1 ps	.41 V at 1 mA	•	•	•	•	Z4

Zener Diodes

Note: 10 watt and 50 watt Zeners listed have anode connected to stud. Add suffix letter "K" to the ECG number for cathode connected to stud. The ECG type numbers shown have a standard tolerance for the Zener voltage of +5%.



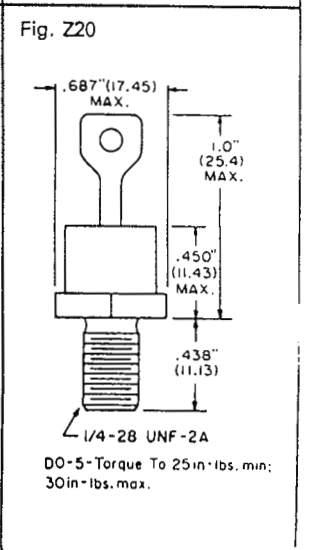
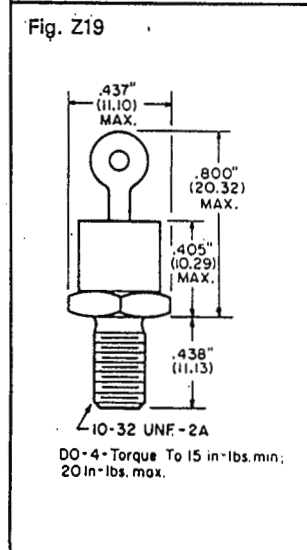
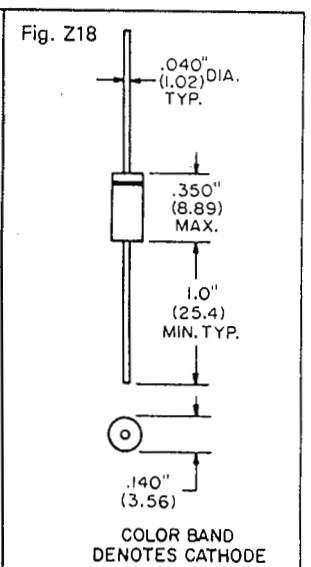
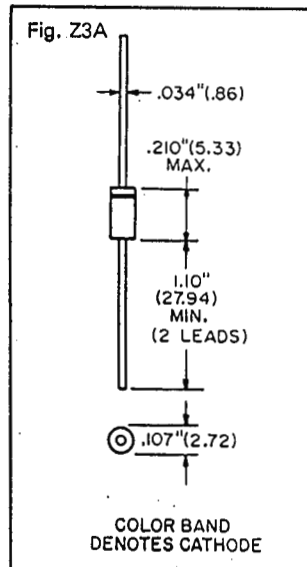
Voltage (See Note for Tolerance)	Axial Lead			Stud Mount	
	Fig. No. Z3A		Z18	DO-4 Z19	DO-5 Z20
	½ Watt†	1 Watt†	5 Watt	10 Watt	50 Watt
2.4	ECG5000A	---	---	---	---
2.5	ECG5001A	---	---	---	---
2.7	ECG5002A	ECG5063A	---	---	---
2.8	ECG5003A	---	---	---	---
3.0	ECG5004A	ECG5065A	---	---	---
3.3	ECG5005A	ECG5066A	ECG5111A	ECG5172A	---
3.6	ECG5006A	ECG134A	ECG5112A	ECG5173A	---
3.9	ECG5007A	ECG5067A	ECG5113A	ECG5174A	ECG5240A
4.3	ECG5008A	ECG5068A	ECG5114A	ECG5175A	ECG5241A
4.7	ECG5009A	ECG5069A	ECG5115A	ECG5176A	ECG5242A
5.1	ECG5010A	ECG135A	ECG5116A	ECG5177A	ECG5243A
5.6	ECG5011A	ECG136A	ECG5117A	ECG5178A	ECG5244A
6.0	ECG5012A	ECG5070A	ECG5118A	ECG5179A	ECG5245A
6.2	ECG5013A	ECG137A	ECG5119A	ECG5180A	ECG5246A
6.8	ECG5014A	ECG5071A	ECG5120A	ECG5181A	ECG5247A
7.5	ECG5015A	ECG138A	ECG5121A	ECG5182A	ECG5248A
8.2	ECG5016A	ECG5072A	ECG5122A	ECG5183A	ECG5249A
8.7	ECG5017A	ECG5073A	ECG5123A	ECG5184A	ECG5250A
9.1	ECG5018A	ECG139A	ECG5124A	ECG5185A	ECG5251A
10.0	ECG5019A	ECG140A	ECG5125A	ECG5186A	ECG5252A
11.0	ECG5020A	ECG5074A	ECG5126A	ECG5187A	ECG5253A
11.5	---	ECG141A	---	---	---
12.0	ECG5021A	ECG142A	ECG5127A	ECG5188A	ECG5254A
13.0	ECG5022A	ECG143A	ECG5128A	ECG5189A	ECG5255A
14.0	ECG5023A	ECG144A	ECG5129A	ECG5190A	ECG5256A
15.0	ECG5024A	ECG145A	ECG5130A	ECG5191A	ECG5257A
16.0	ECG5025A	ECG5075A	ECG5131A	ECG5192A	ECG5258A
17.0	ECG5026A	ECG5076A	ECG5132A	ECG5193A	ECG5259A
18.0	ECG5027A	ECG5077A	ECG5133A	ECG5194A	ECG5260A
19.0	ECG5028A	ECG5078A	ECG5134A	ECG5195A	ECG5261A
20.0	ECG5029A	ECG5079A	ECG5135A	ECG5196A	ECG5262A
22.0	ECG5030A	ECG5080A	ECG5136A	ECG5197A	ECG5263A
24.0	ECG5031A	ECG5081A	ECG5137A	ECG5198A	ECG5264A
25.0	ECG5032A	ECG5082A	ECG5138A	ECG5199A	ECG5265A
27.0	ECG5033A	ECG146A	ECG5139A	ECG5200A	ECG5266A
28.0	ECG5034A	ECG5083A	ECG5140A	ECG5201A	ECG5267A
30.0	ECG5035A	ECG5084A	ECG5141A	ECG5202A	ECG5268A
33.0	ECG5036A	ECG147A	ECG5142A	ECG5203A	ECG5269A
36.0	ECG5037A	ECG5085A	ECG5143A	ECG5204A	ECG5270A
39.0	ECG5038A	ECG5086A	ECG5144A	ECG5205A	ECG5271A
43.0	ECG5039A	ECG5087A	ECG5145A	ECG5206A	ECG5272A
45.0	---	---	---	ECG5207A	ECG5273A
47.0	ECG5040A	ECG5088A	ECG5146A	ECG5208A	ECG5274A
50.0	---	---	---	ECG5209A	ECG5275A
51.0	ECG5041A	ECG5089A	ECG5147A	ECG5210A	ECG5276A
52.0	---	---	---	ECG5211A	ECG5277A
55.0	---	ECG148A	---	---	---
56.0	ECG5042A	ECG5090A	ECG5148A	ECG5212A	ECG5278A
60.0	ECG5043A	ECG5091A	ECG5149A	ECG5213A	ECG5279A
62.0	ECG5044A	ECG149A	ECG5150A	ECG5214A	ECG5280A
68.0	ECG5045A	ECG5092A	ECG5151A	ECG5215A	ECG5281A
75.0	ECG5046A	ECG5093A	ECG5152A	ECG5216A	ECG5282A
82.0	ECG5047A	ECG150A	ECG5153A	ECG5217A	ECG5283A
87.0	ECG5048A	ECG5094A	ECG5154A	ECG5218A	---
91.0	ECG5049A	ECG5095A	ECG5155A	ECG5219A	ECG5284A
100.0	ECG5050A	ECG5096A	ECG5156A	ECG5220A	ECG5285A
105.0	---	---	---	ECG5221A	ECG5286A
110.0	ECG5051A	ECG151A	ECG5157A	ECG5222A	ECG5287A
120.0	ECG5052A	ECG5097A	ECG5158A	ECG5223A	ECG5288A
123.0*	ECG5107T2	---	---	---	---
130.0	ECG5053A	ECG5098A	ECG5159A	ECG5224A	ECG5289A
140.0	ECG5054A	ECG5099A	ECG5160A	ECG5225A	ECG5290A
150.0	ECG5055A	ECG5100A	ECG5161A	ECG5226A	ECG5291A
160.0	ECG5056A	ECG5101A	ECG5162A	ECG5227A	ECG5292A
170.0	ECG5057A	ECG5102A	ECG5163A	ECG5228A	---
175.0	---	---	---	ECG5229A	ECG5293A
180.0	ECG5058A	ECG5103A	ECG5164A	ECG5230A	ECG5294A
190.0	ECG5059A	ECG5104A	ECG5165A	ECG5231A	ECG5295A
200.0	ECG5060A	ECG5105A	ECG5166A	ECG5232A	ECG5296A

1% Tolerance - ½ Watt

ECG Type	Nominal Zener Voltage @ T _A = 25°C V _Z @ I _{ZT} = 20 mA*
ECG5010T1	5.1
ECG5011T1	5.6
ECG5013T1	6.2
ECG5019T1	10
ECG5021T1	12

Fig. Z4

* I_{ZT} = Test Current



* 2% Tolerance

† ½ W and 1 W, 5% Tolerance Zeners are supplied 2 Per Pkg.

TRIACS



VRRM DC or Peak Volts	IT RMS Max Forward Current (Amps)											
	0.8 A		2.5 A		4 A		8 A		10 A			
50				ECG5601					ECG5612	ECG5622	ECG5631	
100		ECG5640	ECG5650	ECG5602					ECG5613	ECG5623	ECG5632	
200	ECG5655	ECG5641	ECG5651	ECG5603					ECG5614	ECG5624	ECG5633	
400	ECG5656	ECG5642	ECG5652	ECG5605	ECG5629	ECG5608	ECG5638		ECG5616	ECG5626	ECG5635	
600	ECG5657	ECG5643	ECG5653	ECG5607		ECG5609			ECG5618	ECG5628	ECG5637	ECG5645
800						ECG5610						
IGT Min (mA) Quadrants I & III	5.0	25	3.0	30	3.0	10	10	50	50	50	50	
IGT Min (mA) Quadrants II & IV	5.0	40	3.0	---	3.0	10	10	75	---	50*	75	
VGT Max (V)	2.0	2.2	2.2	2.5	2.0	2.5	2.0	2.5	2.0	2.5	2.5	
ISurge Max (A)	8.0	25	25	30	40	80	80	100	100	100	120	
IHold Min (mA)	20	35	5.0	30	5.0	15	10	50	50	50	50	
Von Max (V)	1.5	1.8	2.2	2.0	1.6	1.5	1.6	1.8	1.8	1.65	1.6	
VGM (V)	± 5.0	± 5.0	± 5.0	± 5.0	± 5.0	± 10	± 5.0	± 5.0	± 5.0	± 10	± 5.0	
PG Av (W)	.01	.05	.05	.5	.3	.5	.4	.5	.5	.5	.5	
Operating Temperature TJ °C	-40 to +110	-65 to +100	-40 to +90	-40 to +110	-40 to +110	-40 to +110	-40 to +110	-65 to +100	-40 to +100	-40 to +100	-40 to +110	
Off State dv/dt (Typ) V/μsec	20	100	5	5	10	25	25	5	5	50	60	
Operating Quadrants	I,II,III,IV	I,II,III,IV	I,II,III,IV	I,III	I,II,III,IV	I,II,III,IV	I,II,III,IV	I,II,III,IV	I,III	I,II,III	I,II,III,IV	
Fig. No.	Z36	Z61	Z38	Z40	Z41	Z41	Z41	Z39	Z41	Z41	Z41	
Package	TO-92	TO-5	TO-126	TO-202	TO-220	TO-220 Isolated Tab	TO-127	TO-220	TO-220 Isolated Tab	TO-220	TO-220 Isolated Tab	

Package Outlines - See Page 1-114

* 3 Mode device not specified in Quadrant IV

Transistors (cont'd) (Maximum Ratings at $T_C = 25^\circ\text{C}$ Unless Otherwise Noted)

ECG Type	Description and Application	Collector To Base Volts BV _{CBO}	Collector To Emitter Volts BV _{CEO}	Base to Emitter Volts BV _{EBO}	Max. Collector Current I _C Amps ^a	Max. Device Diss. P _D Watts	Freq. in MHz f _t	Current Gain h _{FE}	Package	
									Case	Fig. No.
ECG107	NPN-Si, UHF/VHF Amp, Osc, Mix, IF Amp	35	35	5	50 mA	.250 (T _A = 25°C)	800 min	70 typ	TO-92	T16
ECG108	NPN-Si, RF/IF/Video Amp, Osc, Mix, VHF/UHF	30	15	2	50 mA	.600 (T _A = 25°C)	800 min	20 min	TO-92	T16
ECG121 ECG121MP*	PNP-Ge, AF Pwr Output	65	45 (CER)	15	7.0	30	22 KHz #	80 typ	TO-3	T28
ECG123	NPN-Si, AF Preamp, Driver Video Amp, Sync Sep	60	30	5	.8	.800 (T _A = 25°C)	250	150 typ	TO-39	T6
ECG123A	NPN-Si, AF/RF Amp, Sw	75	40	6	.8	.500 (T _A = 25°C)	300	200 typ	TO-18	T2
ECG123AP	NPN-Si, AF/RF Amp, Driver (Compl to ECG159)	75	40	6	.6	.500 (T _A = 25°C)	300	200 typ	TO-92	T16
ECG124	NPN-Si, HV Audio Pwr Output	300	300	5	.150	20	30	100 typ	TO-66	T25
ECG126A	PNP-Ge, RF/IF Amp, Osc, Mix	15	15	3	50 mA	300 mW (T _A = 25°C)	250	40 typ	TO-18	T2
ECG127	PNP-Ge, Horiz & Vert Defl, Pwr Output	320	320 (CES)	2	10	40	1	15 min	TO-3	T28
ECG128	NPN-Si, AF Preamp, Driver, Output, Video Amp (Compl to ECG129)	120	80	7	1	1 (T _A = 25°C)	120	90 min	TO-39	T6
ECG128P	NPN-Si, Gen Purp Amp, Sw (Compl to ECG129P)	100	80	7	1	1	100	100 min	TO-237	T17
ECG129 ECG129MCP	PNP-Si, AF Preamp, Driver, Output, Video Amp (Compl to ECG128) Matched Compl Pair-Contains one each ECG128 (NPN) and ECG129 (PNP)	90	80	7	1	1 (T _A = 25°C)	120	90 min	TO-39	T6
ECG129P	PNP-Si, Gen Purp Amp, Sw (Compl to ECG128P)	80	80	7	1	1	150	100 min	TO-237	T17
ECG130 ECG130MP*	NPN-Si, AF Pwr Amp (Compl to ECG219)	100	60	7	15	115	.800	40 typ	TO-3	T28
ECG131 ECG131MP*	PNP-Ge, AF Pwr Output (Compl to ECG155)	32	20	10	3 peak	6 (T _C = 63°C)	1	110 typ	TC-9	T27
ECG152 ECG152MP*	NPN-Si, AF Pwr Output (Compl to ECG153)	60	60	5	7	50	10	60 typ	TO-220	T41
ECG153 ECG153MCP	PNP-Si, AF Pwr Output (Compl to ECG152) Matched Compl Pair-Contains one each ECG152 (NPN) and ECG153 (PNP)	60	60	5	7	50	10	60 typ	TO-220	T41
ECG154	NPN-Si, Video Output Amp	300	300	7	.5	1.0 (T _A = 25°C) 7.0 (T _C = 25°C)	40	60 typ	TO-39	T6
ECG155	NPN-Ge, AF Pwr Amp (Compl to ECG131)	32	20	10	3 peak	7.5	1	110 typ	TC-9	T27
ECG157	NPN-Si, HV AF Pwr Amp (Compl to ECG39)	300	300	3	.5	20.8	10	30 min	TO-126	T45
ECG158	PNP-Ge, AF Pwr Amp	32	32	10	1	1.6	1.5	90 typ	TO-1	T1
ECG159 ECG159MCP	PNP-Si, AF Preamp, Driver, Sw (Compl to ECG123AP) Matched Compl Pair-Contains one each ECG123AP (NPN) and ECG159 (PNP)	80	80	5	1	.600 (T _A = 25°C)	200	180 typ	TO-92	T16
ECG160	PNP-Ge, RF/IF Amp, Osc, Mix	30	20 (CES)	.5	10 mA	.200 (T _A = 25°C)	400	20 typ	TO-72	T4
ECG161	NPN-Si, Video IF Amp	45	45 (CES)	4.5	50 mA	.180 (T _A = 25°C)	800	60 typ	TO-72	T4

Notes: * MP - Matched pair

Frequency at which common emitter current gain is 70.0% of low frequency gain

• When alternate packages are shown it indicates a change is in progress. Although only one package is available both packages will be shown as long as the obsolete

Package Outlines - See Page 1-76

Optoisolators

Phototransistors		Total Device Ratings			LED Max Ratings		Phototransistor Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso Surge (V)	Total Power P _t (mW)	DC Current Transfer Ratio % *	Forward Current I _F (mA)	Reverse Voltage V _R (V)	Collector to Base Voltage BV _{CB0} (V)	Collector to Emitter Voltage BV _{CEO} (V)	Collector Current I _c (mA)	Typ Freq KHz		
ECG3040	NPN Transistor	7500	250	20	80	3	70	30	3.5 Typ	300	A	P28
ECG3041	NPN Transistor	7500	250	100	60	6	70	30	100 Max	150	A	
ECG3042	NPN Transistor	7500	250	20	60	3	70	30	50 Max	150	A	
ECG3043	NPN Transistor	3550	260	70	60	3	70	80	50 Max	100	A	
ECG3044	NPN Darlington	7500	300	300	80	3	--	80	150 Max	75	B	
ECG3045	NPN Darlington	7500	300	500	80	3	--	80	150 Max	75	B	
ECG3081	NPN Transistor	6000	250	20	60	3	--	30	100	100	D	P27
ECG3082	NPN Darlington	6000	250	400	60	3	--	30	100	75	C	
ECG3083	NPN Darlington	7500	250	100	60	3	55	55	100	75	E	P28
ECG3084	NPN Darlington	7500	250	200	60	3	30	30	100	75	E	
ECG3086	NPN Dual Transistor	7500	400	50	60	3	--	30	30	200	F	P29
ECG3088	NPN Transistor	7500	300	20	60	6	300	300 (BV _{CER})	100	200	A	P28
ECG3089	NPN Transistor	7500	300	20	60	--	70	30	100	200	M	
ECG3096	Low Input Drive NPN Transistor	7500	300	50 @ I _F 1 mA	60	6.0	70	30	100	200	A	

* DC Current Transfer Ratio is the output transistor collector current divided by the LED forward current - $hFE = I_c / I_F$

Photothyristors		Total Device Ratings		LED Max Ratings			Photothyristor Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso Surge (V)	Power P _t (mW)	Forward Current I _F (mA)	Reverse Voltage V _R (V)	V _{DRM} (V)	I _T RMS (mA)	I _{FT} (mA)	V _F (on) (V) 100 mA	I _{HOLD} (mA)		
ECG3046	SCR	3550	260	60	3	400	100	14	1.3	.5	G	P28
ECG3047	TRIAC	7500	330	50	3	250	100	10	3.0	.1	H	
ECG3048	TRIAC	7500	330	50	3	400	100	10	3.0	.1	H	
ECG3049	TRIAC with Zero Crossing Circuit	7500	330	50	3	250	100	15	3.0	.1	J	
ECG3091	SCR	4000	400	60	6	400	300	11	1.3 at 300 mA	.5	G	
ECG3097	TRIAC with Zero Crossing Circuit	7500	300	50	6	400	100	15	3.0	.2	J	

Photo FET		Total Device Ratings		LED Max Ratings		Photo FET Ratings					Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso Surge (V)	Power P _t (mW)	Forward Current I _F (mA)	Reverse Voltage V _R (V)	Drain to Source Breakdown Voltage BV _{DSS} (V)	Drain Current I _D (mA)	R _{DSon} (Ohms)	T _{on} (μsec)	T _{off} (μsec)		
ECG3085	FET	2500	300	60	6	±30	±100	200	15	15	K	P28

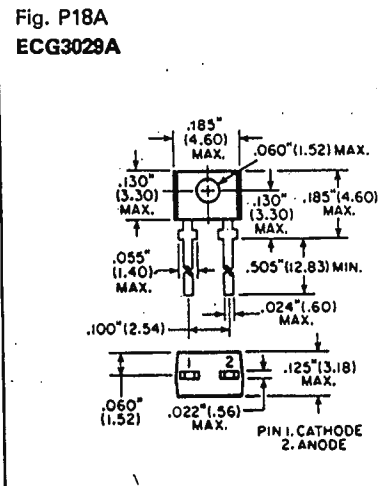
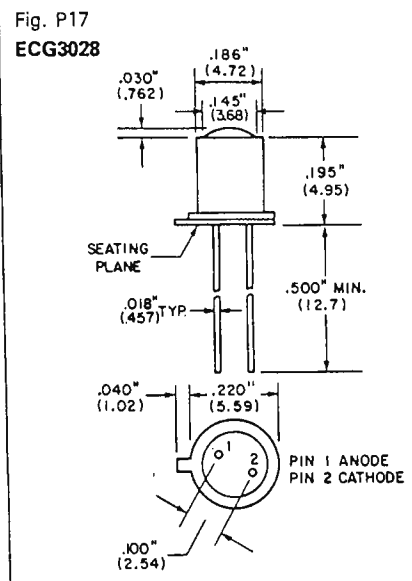
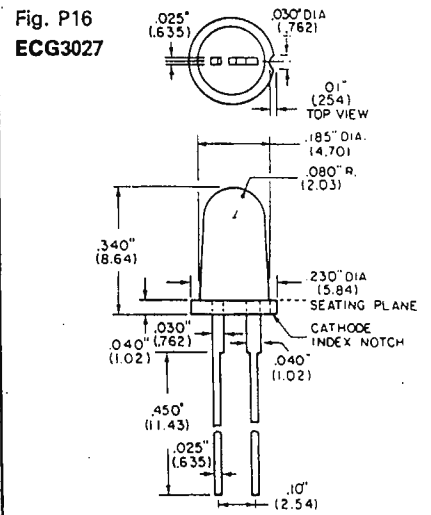
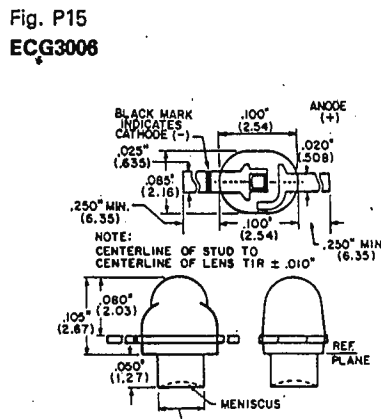
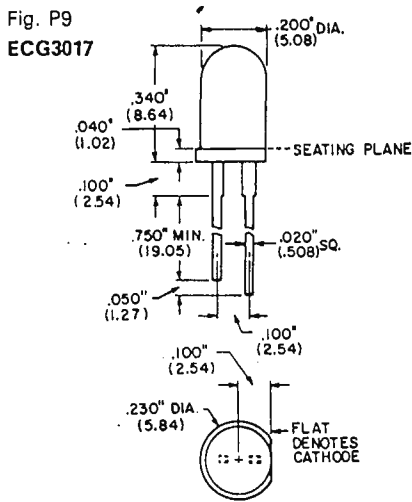
TTL Compatible Photo Coupled Logic Gates		Total Device Ratings		LED Ratings		Output Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso (V)	Power P _t (mW)	Forward Current I _F (mA)	Reverse Voltage V _R (V)	Max Supply Voltage V _{CC} (V)	Output Current I _o (mA)	Propagation Delay Time (nsecs)	Enable Voltage V _E (V)		
ECG3087	Hi Speed Open Collector, NAND Gate	3000	100	10	5.0	5.0	50	75	5.0	L	P29
ECG3094	Dual Hi Speed Open Collector, NAND Gates	3000	60	15	5.0	5.0	16 Per Channel	75	--	Q	

Infrared Emitting Diodes

CG Type	Description	Min Power Output P _o	Max Forward Voltage V _F (V)	Reverse Voltage V _R (V)	DC Forward Current I _F (mA)	Power Diss. P/Case (m/W)	Peak Emission Wavelength λ _p (nm)	Response Time (ns)	Beam Angle θ _{HI} (Deg)	Fig. No.
CG3006	PN Gallium Arsenide	800 μW	1.8	3	50	75	940	500	10	P15
CG3017	Infrared Emitting Diode for TV Remote Control, 15 mW @ I _f = 100 mA	15 mW	1.7	5	150	210	950	400	60	P9
CG3027	PN Gallium Arsenide	1 mW	1.5	5	100	150	900	100	15	P16
CG3028	PN Gallium Arsenide	200 μW	1.5	3	150	200	900	50	15	P17
CG3029A*	PN Gallium Arsenide	2 mW	1.8	6	50	150	900	1000	30	P18A

2 Per Pkg.

Outlines



BIBLIOGRAFIA

- CIRCUITOS INTEGRADOS LINEALES Y AMPLIFICADORES OPERACIONALES, Robert F. Coughlin/Frederick F. Driscoll, México, Prentice hall Hispanoamericana 1987.
- CLIPPER MANUAL, Nantucket, 1987
- CMOS/NMOS SPECIAL FUNCTIONS DATA, Motorola, Motorola inc. Austin, USA, 1986.
- COMPUTERS THE USERS PERSPECTIVE, Sarah E. Hutchinson, Stacey C. Sawyer, Homewood, Boston, Richard E. Irwin, Inc. 1990
- COMPONENTES ELECTRONICOS, Siemens Aktiengesellschaft, Barcelona, Marcombo, 19987
- DISEÑO DIGITAL, M. Morris Mano, México, Prentice Hall Hispanoamericana, 1987.
- ELECTRONIC DESIGN, Savant-Roden-Carpenter, Redwood City, California, The Benjamin/Cummings Company inc. 1991.
- INDUSTRIAL SOLID-STATE ELECTRONICS, Timothy j Maloney, Prentice Hall inc. Englewood Cliffs, N.J, 1979.
- MANUAL DE AUTOMATIZACION POR CONTACTORES, José Roldán, Barcelona, España, Ediciones Ceac, 1989.
- ORGANIZACION DE COMPUTADORAS, Vonko G. Vranesic, Safwat G. Zaky, México, Mc. Graw hill, 1994.
- PROGRAMMER'S GUIDE TO THE IBM PC. Peter Norton.
- THE PC USER'S GUIDE, Nick Anis, Craig Menefee, Berkeley, California, USA, Mc. Graw Hill, 1991.

- TE TTL DATA BOOK, Texas Instruments, Texas Instruments Inc. Dallas, Texas 1986.
- ECG SEMICONDUCTORS MASTER REPLACEMENT GUIDE, Philips ECG, 1989.