

UNIVERSIDAD DON BOSCO
ESCUELA DE ESTUDIOS TECNOLOGICOS



" ALMACENAMIENTO DE INFORMACION ANALOGICA
EN MEMORIA, UTILIZANDO
TECNICAS DE MODULACION DIGITAL "

TRABAJO PRESENTADO POR:

Br. LUIS JAIME ESTRADA MENJIVAR

Br. MAURICIO ORLANDO CASTILLO QUIJADA

Br. JOSE FERNANDO RAMOS DUKE

COMO REQUISITO PARA OPTAR AL TITULO DE :

***TECNICO EN INGENIERIA ELECTRONICA
CON ESPECIALIDAD EN TELECOMUNICACIONES***

SOYAFANCO, JUNIO DE 1994

AGRADECIMIENTOS.

Nuestras más sinceras muestras de gratitud a nuestros Padres,
que supieron apoyarnos en todo momento y brindarnos su ayuda.

JURADO CALIFICADOR:

Ing. Rigoberto Chinchilla Salazar.

Ing. Roberto Carlos Alvarenga Urías.

Ing. Jaime Eduardo Morales López.

A handwritten signature in black ink, appearing to read 'Jaime Eduardo Morales López', written over a horizontal line.

INDICE.

Objetivos generales	I
Introducción.....	II

PARTE I.

	PAGINA #
CAPITULO 1. Fundamentos teóricos sobre la codificación de voz.....	1
1.1 Sistemas de comunicación.....	1
1.1.1 Aspectos generales.....	1
1.1.1.1 Antecedentes de los sistemas de comunicación digital.....	1
1.1.2 Conformación de un sistemas de comunicación digital.....	3
1.1.3 Aplicación de codificación digital en sistemas de comunicación.....	4
1.1.3.1 Multiplexeo de datos.....	4
1.1.3.2 Almacenamiento de datos.....	5
1.1.3.3 Conmutación digital.....	6
1.1.3.4 Procesamiento de audio.....	7
1.2 Fundamentos sobre codificación de voz.....	8
1.2.1 Analisis de señales analógicas.....	8
1.2.2 Principios básicos sobre la digitalización de la voz.....	9

1.2.3	Modulación por impulsos codificados	
	(MIC ó PCM).....	10
1.2.3.1	Muestreo.....	12
1.2.3.2	Cuantificación.....	14
	1.2.3.2.1 Ruido de Cuantificación.....	16
1.2.3.3	Codificación y decodificación.....	19
1.2.4	Cuantificación diferencial o modulación	
	por impulsos codificados diferenciales (MICD).....	21
1.2.4.1	Implementación de los sistemas MICD.....	23
1.2.4.2	Tipos de implementación MICD.....	24
	1.2.4.2.1 Integración digital y diferen-	
	ciación analógica.....	24
	1.2.4.2.2 Diferenciación e integración	
	analógica.....	25
	1.2.4.2.3 Diferenciación e integración	
	digital.....	26
1.2.5	Modulación Delta.....	26
	1.2.5.1 Desempeño del sistema delta.....	30
1.2.6	Cuantificación adaptiva.....	31
	1.2.6.1 Cuantificación MIC adaptiva o MICA.....	32
1.2.7	Cuantificación MICD adaptiva o MICDA.....	34
1.2.8	Modulación delta adaptiva o ADM.....	37
1.2.9	Comparación entre los moduladores digitales	
	MIC y los DELTA en función de sus ventajas.....	41

CAPITULO 2. Descripción general del circuito grabador y reproductor de audio utilizando técnicas de Modulación Delta.....	48
2.1 Teoría de funcionamiento de la circuitería.....	51
2.1.1 Etapa del teclado.....	51
2.1.2 Etapa de sincronismo.....	55
2.2 Descripción de las funciones de la interfaz.....	62
2.2.1 Descripción de los canales I/O de expansión (Slot).....	63
2.3 Descripción del circuito interfaz.....	64
2.3.1 Interfaz Programable de Perifericos (PPI, 8255).....	65
2.3.1.1 Modos de operación del PPI.....	65
2.3.1.1.1 Modo "Cero" del PPI.....	67
2.4 Circuitos impresos.....	69

PARTE II.

Limitaciones del Proyecto.....	71
Recomendaciones y conclusiones.....	73
Apéndice A (Figuras Cap. 1).....	75
Apéndice B (Figuras Cap. 2).....	99
Apéndice C (Hojas de Datos del Fabricante).....	122
Software utilizado.....	149
Bibliografía.....	150

OBJETIVOS GENERALES.

- Dar a conocer la importancia de la codificación digital para la transmisión del audio.
- Facilitar nuevas formas de almacenamiento para los formatos digitales del sonido.
- Grabar y reproducir audio en formato digital utilizando modulación delta de pendiente continuamente variable.
- Almacenar la información digital en un pequeño modulo de memoria RAM.
- Tener acceso al control del circuito por medio de una computadora.

INTRODUCCION.

La transmisión digital se encuentra en pleno auge, ya que son muchos los países que están realizando grandes inversiones en este campo. En los últimos años ha aumentado considerablemente la utilización de sistemas digitales para la transmisión de señales debido fundamentalmente, a razones económicas y técnicas. Las razones económicas son de vital importancia, ya que se transmite toda clase de señales de comunicaciones, como palabras, textos, imágenes, datos, etc., por una sola vía, lo que supone un gran ahorro.

Entre las razones técnicas, la principal es la inmunidad a las interferencias, la señal digital, al estar compuesta por dos valores discretos, se libera casi completamente de interferencias.

Es la intención de este trabajo e implementación del proyecto, mostrar una de las aplicaciones que se pueden desarrollar al hacer uso de la modulación digital específicamente de la Modulación en Delta de Pendiente Continuamente Variable (CVSD), para la transmisión de la voz y del audio en formato digitalizado.

La justificación del uso de éste tipo de modulación tiene su base en lo siguiente: Al hacer un análisis a profundidad del funcionamiento de los sistemas que utilizan

"Modulación por impulsos codificados" (MIC o PCM), vemos que estos poseen desventajas inherentes en el diseño de los mismos, como lo son el alto ruido de cuantificación, muchos bits por palabra, alta densidad por espacio en circuitería y por lo tanto mayores costos de implementación del sistema de modulación y además, entre mayor resolución se utilice para el convertidor analógico a digital (mayor número de bits), mayor es la velocidad que se tiene que utilizar en la transmisión y por lo tanto un mayor número de registros para el almacenamiento.

Entonces la modulación DELTA con pendiente variable es una solución muy práctica que posee poderosas razones para su utilización, ya que las desventajas de los sistemas PCM se ven considerablemente reducidas en DELTA de pendiente continuamente variable, dando como único problema que se debe emplear velocidades de muestreo mucho mayores que en las usadas en PCM, algo que crea una desventaja poco considerable.

Además en los sistemas DELTA CVSD, emplean un solo bit por palabra-código, mientras que los sistemas PCM utilizan más de uno, reduciendo así considerablemente la circuitería necesaria y a la vez sus costos.

Antes de que nos dediquemos a profundizar en lo que es en sí nuestra investigación debemos conocer de antemano algunos tipos de modulación, sus ventajas, desventajas y

características que nos servirán de base para entender la modulación DELTA. Posteriormente nos adentraremos a estudiar los circuitos diseñados por sus servidores para darle una aplicación al sistema de modulación DELTA CVSD la cual consiste en la grabación y reproducción de señales del tipo Audio, lo cual involucra todo el rango de la voz humana y la música.

Para ello se hace uso de un circuito integrado donde viene un sistema de modulación DELTA CVSD encapsulado en el mismo; y para el almacenamiento de la información digitalizada se hace uso de memorias RAM del tipo estáticas.

A la vez la circuitería es apta para acoplarla a una computadora para llegar a vaciar todo el contenido de las memorias hacia la computadora, logrando así una forma de BACKUP en disco, de lo que ha sido grabado, también la circuitería permite el vaciado inverso, o sea la recuperación de la información grabada previamente.

P A R T E I .

CAPITULO 1.

FUNDAMENTOS TEORICOS SOBRE CODIFICACION DE VOZ.

1.1 SISTEMAS DE COMUNICACION:

1.1.1 ASPECTOS GENERALES.

Una de las necesidades de la humanidad que ha sido de gran importancia para el crecimiento de la cultura, economía e integración de la sociedad es el proceso que se conoce como COMUNICACION.

En la figura 1.1 apéndice A, se muestran los elementos principales en el proceso de comunicación.

Ese esquema ha ido superandose y los mayores cambios han ocurrido en el procesamiento de la información y la adaptación a los medios de transmisión. De esta manera el modelo de comunicación se conforma como se muestra en la figura 1.2 apéndice A.

Hablaremos del Transmisor, el medio de transmisión y el Receptor.

1.1.1.1 ANTECEDENTES DE LOS SISTEMAS DE COMUNICACION DIGITAL.

El apoyo técnico para el desarrollo y experimentación de los sistemas de comunicación digital lo han aportado las computadoras. El desarrollo de las técnicas de digitalización y comprensión de la información han sido posible debido a la facilidad de realización de pruebas y simulación por medio de los ordenadores.

Las técnicas de codificación digital fueron desarrolladas de acuerdo al análisis del procesamiento digital de señales analógicas. La teoría del muestreo desarrollada por Nyquist permitió el desarrollo de un sistema de comunicación digital como el mostrado en la figura 1.3 apéndice A, lo cual ha requerido de un amplio desarrollo de la optimización del codificador, en lo que respecta a la comprensión de la información; del medio de transmisión, en lo que respecta a la búsqueda de un medio de transmisión que represente una ventaja técnica y económica sobre los medios de transmisión analógicos; y que adapte un velocidad de transmisión óptima para una calidad de reproducción específica en el decodificador.

En la figura 1.4 apéndice A, se muestra el método para realizar el muestreo de una señal analógica.

1.1.2 CONFORMACION DE UN SISTEMA DE COMUNICACION DIGITAL.

Como se muestra en la Figura 1.5 apéndice A, el sistema de comunicación analógico está compuesto de tres bloques fundamentales: Modulador, Medio de Transmisión y Demodulador. Durante el proceso se muestra como la información es procesada analógicamente desde que ingresa al sistema de comunicación hasta que sale como la suma de información, ruido, distorsión y retardos; además se observa la fragilidad a esos factores y la dificultad de aislarlos, más aún si existen repetidores que amplifican dichos efectos, así como se muestra en la figura 1.6 apéndice A. En ella se muestra que la calidad de transmisión depende de entre varios factores de lo distante entre los puntos involucrados en la comunicación.

El sistema de comunicación digital esta constituido por cinco partes como se muestra en la figura 1.7 apéndice A, como son:

- * CODIFICADOR.
- * MODULADOR.
- * MEDIO DE TRANSMISION.
- * DEMODULADOR.
- * DECODIFICADOR.

Se observa que la diferencia fundamental a nivel

operativo entre los sistemas analógicos y los digitales es la codificación en el emisor y la decodificación en el receptor.

Estos sistemas digitales tienen una inmunidad al ruido de transmisión, ya que como son transmitidas cadenas de bits, solo es necesario reconocer, ya sea por el repetidor o receptor si a él ha llegado un impulso (1 lógico) ó no (0 lógico). Para poder observar este efecto deben ser comparadas las figuras 1.6 y 1.8 del apéndice A.

1.1.3 APLICACIONES DE LA CODIFICACION DIGITAL EN LOS SISTEMAS DE COMUNICACION.

1.1.3.1 MULTIPLEXEO DE DATOS O INFORMACION.

El multiplexeo de datos es una aplicación sobre la transmisión digital en un formato digital.

Las técnicas empleadas es la multiplexación por división del tiempo TDM (Time división Multiplex), mediante la cual se atiende a varios transmisores de datos denominados afluentes.

El objetivo de esta técnica es la optimización de el medio de transmisión. Esta optimización va de acuerdo a una reducción de los canales de transmisión.

Por ejemplo, si se tienen que comunicar dos afluentes con dos receptores ditintos R1 y R2 tal y como es mostrado en

la figura 1.9 apéndice A, normalmente se pensaría que se necesitan dos canales de transmisión distintos, pero la multiplexación de datos dice que no. Esto es que puede usarse el mismo canal para transmitir la información de ambos sin que exista interferencia entre los mensajes o información, debido a que se hace uso de la técnica TDM.

La señal resultante es una señal a mayor velocidad, ya que debe llevar la información tanto de un afluente como de otro en la misma unidad de tiempo. La limitante con la que se encuentra es la del ancho de banda del canal ya que debe tener la capacidad de transmitir dicha señal que se está generando.

Este concepto se extiende a medida se aumenta el número de afluentes en el sistema.

1.1.3.2 ALMACENAMIENTO DE DATOS.

La codificación digital tiene una aplicación importante en el almacenamiento de información en forma digital y las ventajas que se obtienen es la inalterabilidad de la calidad de la información y almacenamiento de grandes volúmenes de información en los nuevos medios de almacenamiento de datos en grandes cantidades como los discos compactos, floppy disks, etc.

1.1.3.3 CONMUTACION DIGITAL.

La técnica digital no solo es óptima para la transmisión, sino que ofrece grandes ventajas para la conmutación de señales. Tales ventajas pueden aprovecharse plenamente cuando los sistemas de transmisión y las unidades de procesamiento de conmutación (centrales) son digitales y funcionan mediante la técnica del TDM.

Estas unidades de procesamiento reordenan las señales digitales de acuerdo a los deseos de comunicación, esto es que reordenan la comunicación entre dos puntos y sólo enlazan a ellos dentro de un gran número de puntos; a la vez enlazan otros pares de puntos simultaneamente.

La conmutación digital se puede basar en dos principios básicos: Conmutación Temporal y Conmutación Espacial.

1. CONMUTACION TEMPORAL:

Esta conmutación se hace de acuerdo a una memoria de datos por canal o alfuente, esta memoria es actualizada cada ciclo de atención en TDM. Para lograr la comunicación entre dos puntos, estas memorias son programadas para conmutarse entre los puntos que han sido de requerimiento de comunicación, por lo tanto esta programación debe realizarse

cada vez que un punto solicita comunicarse con otro conectado a la misma central de conmutación.

Un esquema de lo que es este proceso podemos observarlo en la figura 1.10 apéndice A. Es denominada temporal debido a que los códigos provenientes de las alfuente son retardados al experimentar un cambio de tiempo al ser reordenados por el conmutador.

2. CONMUTACION ESPACIAL:

Esta conmutación necesita de un procesador o central de varias entradas y salidas correlativas de manera que lo que entra por una parte puede ser cambiada a otra salida no correspondiente mediante el comando de una memoria programada para hacerlo. Las posiciones de entrada formadas en la multiplexación TDM no varían aunque se de el cambio espacial. La figura 1.11 apéndice A, muestra esta condición.

1.1.3.4 PROCESAMIENTO DE AUDIO Y VOZ.

El procesamiento computarizado de estas señales es otra aplicación de la codificación digital. La técnica se basa en algoritmos complejos que reconocen la estructuración de la señal a ser procesada y mediante un proceso de simulación

puede ser modificadas las características naturales de la señal para convertirla en un nuevo producto en efectos distintos.

Entre las aplicaciones más comunes tenemos:

- * Sintetización de Audio.
- * Comprensión de datos para comunicación.
- * Reconocimiento de Voz.

1.2 FUNDAMENTOS TEORICOS SOBRE CODIFICACION DE VOZ.

1.2.1 ANALISIS DE SEÑALES ANALOGICAS.

La naturaleza de la forma de onda de la voz es continua y variable en el tiempo. Tal tipo de señal no es inherentemente de banda limitada, sino que su espectro se extiende de forma amplia desde los 300 Hz hasta aproximadamente los 20 KHz sobre lo que es el dominio de la frecuencia.

Esto es posible comprenderlo e interpretarlo de una manera más fácil en la figura 1.12 apéndice A.

Es posible apreciar que las señales de voz tienden a caer rápidamente para las frecuencias altas. De la figura, las frecuencias más altas tienen alrededor de 40 decibéles

menos que los picos de frecuencia que se encuentran abajo de los 4 Khz.

Ahora bien, la mayor parte de las características importantes de las señales de voz tales como la inteligibilidad, el tono, el timbre, amplitud, etc. se encuentran concentradas en las frecuencias por debajo de los 4 Khz.

Con lo que respecta a las señales de audio, su naturaleza es similar a la de la voz, su diferencia es que la potencia de la señal se vuelve insignificante sobre lo que son ya los 20 Khz. Esto es debido a que las características naturales del oído humano, están en la capacidad de percibir solamente sonidos desde los 20 Hz hasta aproximadamente los 10 Khz.

1.2.2 PRINCIPIOS BASICOS SOBRE LA DIGITALIZACION DE VOZ

Este procedimiento es conocido como conversión analógico a digital y hoy en día existen varias técnicas utilizadas para su realización. Este proceso no debe confundirse con la asignación de un código específico. Aunque la conversión analógico-digital involucre de hecho la transformación de una señal en formato de ceros y unos.

Seguidamente se irán describiendo los pasos del proceso

que siguen una señal analógica hasta su transformación en una señal digital, tanto para señales de Voz, de Audio y de Video.

1.2.3 MODULACION POR PULSOS CODIFICADOS (MIC ó PCM)

El sistema de modulación PCM, convierte una señal analógica en un formato digital por medio de tres procesos separados:

- * Muestreo.
- * Cuantificación.
- * Codificación.

Desde la figura 1.13 apéndice A, se describen en detalle cada proceso del sistema de modulación PCM.

En cada punto identificado mediante las letras "a" a la "e" de la figura 1.13 es posible observar lo siguiente:

- a) Como primer paso, la señal analógica es limitada en banda por medio de un filtro pasa-bajos cuya frecuencia de corte es igual a la máxima frecuencia deseada en la señal de información. Para el caso del canal telefónico es de 4 Khz; y en general depende del tipo de información a transmitir.
- b) La señal ahora de banda limitada, entonces es muestreada; lo cual quiere decir que cada "T" segundos de tiempo el valor

de amplitud de esa señal es tomada durante un intervalo de tiempo muy pequeño. A ese valor de amplitud tomado se le llama MUESTRA, y obviamente cada muestra separada de la anterior y de la subsecuente por un tiempo de "T" segundos. Sobre ese período "T" se hablará en detalle más adelante.

c) La señal muestreada es retenida en un circuito especial llamado circuito de retención, con el fin de mantener el valor de la muestra durante el tiempo suficiente para que pueda ser tomado y enviado hacia la siguiente etapa.

d) Mientras transcurre el período "T" entre una muestra y otra, la cual debe ser convertida a un valor discreto de amplitud, por el cuantificador.

e) El último paso es convertir ese valor discreto en un código de "n" bits determinado. El formato del código es seleccionado con el objeto de facilitar la transmisión sobre un canal de comunicación dado para obtener la mejor reproducción.

En el receptor el procedimiento que se lleva a cabo es el de decodificación, el cual debe reproducir la señal de banda limitada que ingresó al transmisor como información.

En el decodificador se refleja el efecto de la cuantificación, es decir, el efecto de obtener una señal discreta definida por los valores determinados por el sistema de digitalización.

1.2.3.1 MUESTREO

El muestreo consiste en el procedimiento de tomar el valor instantáneo de amplitud de la señal analógica cada cierto período de tiempo que hasta ahora llamamos "T", pero hay que saber el tiempo que separa a una muestra de la siguiente.

En estudios realizados por Nyquist, conocidos hoy día como el Teorema de Muestreo de Nyquist, el cual establece que la velocidad de muestreo mínima a la cual es posible recuperar toda la información en una señal de mensaje continua y variante en el tiempo es al menos el doble de la más alta frecuencia en dicha señal de información. Así la frecuencia mínima de muestreo restringe el tiempo máximo "T" de separación entre muestras.

Ahora veamos el efecto del muestreo en el dominio del tiempo en la figura 1.14 apéndice A.

Como recordaremos, las velocidades de muestreo dependen fundamentalmente de la máxima frecuencia de la señal de mensaje, por lo tanto pueden obtenerse dos conclusiones:

- * El filtro pasa-bajos tiene que poseer una frecuencia de corte igual a la máxima frecuencia en la señal de información.
- * La frecuencia máxima de la señal de mensaje depende de la naturaleza de la misma.

Si la información es voz que se envía por el canal de teléfono, la frecuencia de corte del filtro ha de ser de 4 Khz y en el caso de que se envíe audio, la frecuencia de corte ha de ser de los 20 Khz.

Podemos realizar una comparación entre el efecto del muestreo en el dominio del tiempo versus el efecto del muestreo del dominio de la frecuencia como podemos observar en la figura 1.15 apéndice A. Como es posible observar en la figura, la señal de banda limitada posee una frecuencia máxima más allá de la cual no existe ningún espectro significativo de frecuencia.

En el caso tal frecuencia máxima es B hacia las frecuencias positivas y es $-B$ hacia las frecuencias negativas. También una señal de banda limitada de este tipo puede asegurarse a través de las características de un filtro pasabajos cuya frecuencia de corte sea precisamente aquella frecuencia B de la señal de mensaje.

Como puede notarse, lo que es el espectro de la señal muestreada es el mismo de la señal original repetido continuamente a lo largo de todo el espectro.

Hay que enfatizar ahora en que la frecuencia central de cada espectro está separado de los otros " f_s " Hertz. La cual corresponde a la frecuencia o velocidad de muestreo. De acá se deduce que la forma del espectro de la señal muestreada

depende de esa velocidad "fs" de muestreo. Existen tres casos posibles al variar la velocidad con la que la señal de información es muestreada:

- La frecuencia de muestreo fs es igual al doble de la máxima frecuencia B: $fs=2B$

- La frecuencia de muestreo fs es menor que el doble de la frecuencia máxima B: $fs < 2B$ acá se produce distorsión.

- La velocidad de muestreo es mayor que el doble de la máxima frecuencia B: $fs > 2B$

En este caso los espectros quedan bien separados entre si, tal y como se observa en la figura 1.16 apéndice A.

1.2.3.2 CUANTIFICACION

En contraste al proceso de muestreo, el que convierte la señal analógica continua en una señal discreta en el tiempo, la cuantificación es aquel proceso en el que la señal analógica se convierte en una señal de amplitudes discretas, observe la figura 1.17 apéndice A.

El cuantificador posee un rango dinámico de amplitudes que es dividido en pasos discretos. Si todos estos pasos son

de igual tamaño, a este proceso se le conoce como CUANTIFICACION LINEAL.

El rango dinámico (RD) en decibeles (dB) define una relación entre el mayor valor de señal y el menor valor a ser cuantificado.

La siguiente ecuación 1 muestra la relación:

$$RD = 20 \log. (V_{\text{máx}} / V_{\text{mín}}) \quad \text{dB} \quad (1)$$

en donde el $V_{\text{máx}}$ es el valor máximo de la señal y el $V_{\text{mín}}$ es el mínimo valor a ser cuantificado. Al cuantificador entran las muestras y son discriminadas en un intervalo de cuantificación particular y son luego reemplazadas por un valor individual que corresponde a ese rango en el cual se han ubicado.

Para definir un cuantificador de N pasos, se deben especificar un conjunto de N+1 valores de decisión: X_0, X_1, \dots, X_n ; y también un conjunto de valores de salida: Y_1, Y_2, \dots, Y_n . El intervalo de cuantificación está limitado por los valores de decisión de entrada X_0 y X_n , los cuales corresponden a los valores de amplitud de entrada mínimo y máximo respectivamente que pueden ser recibidos para su cuantificación.

1.2.3.2.1 RUIDO DE CUANTIFICACION

Observemos la figura 1.18 apéndice A, las primeras muestras, sus amplitudes alcanzan con exactitud la mitad del intervalo del nivel de cuantificación correspondiente y en consecuencia es asignado un determinado valor de acuerdo al intervalo de cuantificación en el que la amplitud de entrada esté ubicada. Al conservar la muestra 5, podemos notar que su valor de amplitud está un poco por encima de la mitad de su intervalo de cuantificación. Esta muestra es cuantificada al valor del nivel 3.

De lo anterior puede salir a cuenta un defecto ó error en la cuantificación, aún cuando las muestras 4 y 5 no tienen amplitudes similares, al caer en un mismo intervalo de cuantificación son cuantificadas con un mismo código. Por consecuencia al ser transmitidos y posteriormente recibidos, en el receptor no podrá distinguirse ninguna diferencia y serán reproducidos como si se tratara de señales con amplitudes iguales. Este error produce una degradación en la fidelidad de la señal reproducida. esta degradación es conocida como ruido de cuantificación, observemos la figura 1.19 apéndice A.

Debemos mencionar que el error está limitado a $q/2$, siendo "q" el valor del ancho de cada intervalor de

cuantificación lineal. Este error de cuantificación antes descrito, lo podemos representar numericamente utilizando la Relación Señal Ruido de Cuantificación (SQR), que no es una medición directa del ruido de cuantificación y para el caso general la ecuación 2 siguiente muestra la expresión de el SQR:

$$\text{SQR} = 10.8 + 10 \text{ LOG } (V/Q) \quad \text{Db.} \quad (2)$$

donde: "V" representa el valor RMS de la amplitud de entrada; y "Q" es la resolución de los niveles de cuantificación.

Una forma de reducir el efecto del ruido de cuantificación es el de crear subdivisiones dentro de cada una de los intervalos de cuantificación con el fin de poder hacer más selectiva la cuantificación dentro de los mismos.

A continuación se describe el procedimiento que se verifica: Cuando la muestra ha sido ubicada en un determinado intervalo de cuantificación, entonces otro proceso similar se lleva a cabo dentro del mismo para tratar de ubicar a la muestra en el subintervalo correspondiente de acuerdo al nivel de su magnitud. Una vez esto se ha logrado, se le asigna el valor del subintervalo junto con el valor del intervalo respectivo para describir completamente la magnitud de la muestra. Aunque si bien este proceso no elimina el

ruido de cuantificación, logra disminuirlo considerablemente al reducir el valor de la resolución "q" y así la diferencia entre la amplitud real de la muestra y el nivel asignado por el cuantificador.

En el caso de las señales de voz, la mayoría de las muestras tienen valores de amplitud pequeños, siendo posible también la presencia de muestras con mucha mayor amplitud para la misma fuente de voz. El resultado puede ser la obtención de una gran cantidad de códigos correspondientes a los primeros intervalos de cuantificación, mientras que los intervalos de cuantificación superiores son poco utilizados. Tal situación produce en general un alto nivel de ruido de cuantificación.

Hay dos formas para solucionar tal problema:

a) El aumentar considerablemente el número de intervalos de cuantificación de tal forma que se haga más selectiva la cuantificación.

b) El utilizar algún procedimiento que compense de alguna forma la diferencia de amplitudes entre los valores de mayor ocurrencia que son de pequeña amplitud y aquellos valores menos frecuentes con amplitudes grandes.

La primera alternativa implicaría costos electrónicos muy altos debido a que cada intervalo de cuantificación le es asignado un código binario que indica un valor de amplitud positiva o negativa. Por lo tanto, al aumentar el número de intervalos de cuantificación aumenta también el número de bits que hay que procesar, lo cual aumenta la complejidad y el costo del sistema aparte de los requerimientos necesarios para la velocidad de transmisión. La segunda alternativa es la que hoy se utiliza en la mayoría de sus aplicaciones. Tal proceso se llama Comprensión.

1.2.3.3 CODIFICACION Y DECODIFICACION

Por la codificación de las muestras cuantificadas previamente, es que se obtiene la señal a transmitir. El codificador electrónico asigna a cada muestra una señal de carácter o palabra de "n" bits en la cual se resume toda la información necesaria para su correcta reconstrucción. Para el codificador el rango dinámico se define mediante la ecuación:

$$RD = 10 \log (B_{\text{máx}} / B_{\text{mín}}) \quad \text{dB} \quad (3)$$

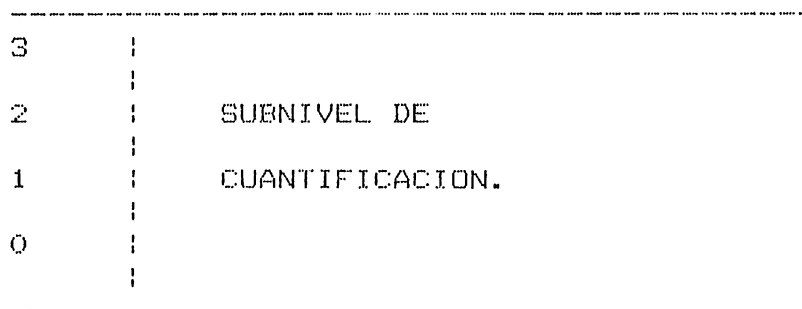
en donde $B_{\text{máx}}$ es el código más grande posible y $B_{\text{mín}}$ es el

valor del código de la resolución del codificador. El formato más utilizado es el de palabras código de 8 bits, del cual a continuación se presenta un ejemplo:

	MSB							LSB
POSICION DEL BIT:	7	6	5	4	3	2	1	0
palabra PCM 8 BITS:	1	0	1	0	0	0	1	1

El bit 7 el MSB, es el bit de signo e indica la polaridad de la muestra de entrada, los 7 bits restantes, desde el bit 6 al bit 0 son los bits que indican la magnitud de tal muestra. Mediante ellos se codifican los valores del nivel y subnivel de cuantificación. Esta palabra es posible dividirla aún en tres segmentos:

BIT	SIGNIFICADO
7	SIGNO
6	NIVEL DE CUANTIFICACION
5	
4	



En la decodificación se reconstruye la señal de mensaje, los códigos recibidos son transformados nuevamente en valores de muestras analógicas correspondientes a la señal de información mediante una conversión de digital a analógico; y éstas a su vez son filtradas mediante un filtro pasa bajos el cual reproduce totalmente la señal de información por supuesto con el ruido de cuantificación añadido a la señal reproducida durante el proceso.

1.2.4 CUANTIFICACION DIFERENCIAL O MODULACION POR IMPULSOS CODIFICADOS DIFERENCIAL (MICD)

El sistema de codificación MIC ha sentado precedentes importantes en los sistemas de comunicación digital en lo que respecta a la conversión de información de carácter analógico o digital. Tal proceso se realiza mediante muestreo de la señal a un índice mínimo determinado por el índice de

Nyquist, y luego asignado un valor binario equivalente que debe ser uniforme en todo el sistema de codificación.

En la búsqueda de nuevas técnicas que optimicen las comunicaciones digitales es que surge la técnica MICD, que busca aumentar la capacidad de canalización del medio, reduciendo el número de bits por unidad de información, por canal, sin incurrir en defectos profundos de calidad e intelegibilidad de la información. Así, se mejora la banda disponible para poder aumentar el número de canales de señal, independientes. Esta técnica explota la redundancia de la voz conocida como correlación muestra a muestra en la que éstas poseen valores muy semejantes debido a los intervalos de muestreo tan cortos de manera que no se deja mucho tiempo como para que la señal cambie a amplitudes diferentes a las anteriores. Por ejemplo, dos muestras de una señal de banda base con ancho de banda "B", tomadas a un intervalo igual al índice de Nyquist, como se muestra en la figura 1.20 apéndice A, tendrán un valor tan parecido que el índice de correlación entre ellas será alto, y la diferencia entre sus valores producirá otro valor mucho más pequeño que ellas. La razón es que esa velocidad de muestreo el nivel de la señal no varía notablemente.

Si consideramos todas las diferencias que se producen en las distintas muestras consecutivas, se puede observar que se

genera un rango de amplitudes de señal que básicamente es menor que el rango dinámico de los valores absolutos de las muestras. De esa manera al asignar códigos binarios a las diferencias se nota que son necesarios muchos menos bits que los requeridos en los sistemas MIC de alta calidad sin contradecir esta cualidad, es decir, logrando mantener una calidad aceptable.

1.2.4.1 IMPLEMENTACION DE LOS SISTEMAS MICD .

El proceso general de lograr obtener las diferencias entre muestras y cuantificarlas se representa en la figura 1.21 apéndice A.

El filtro limita la banda de la señal a B para ser muestreada y cuantificada. El sentido del integrador es reconstruir el valor de las muestras para extraer la diferencia con la respectiva siguiente. Así el sistema sólo deberá tener la capacidad de manejar el rango dinámico de las diferencias. El lazo de realimentación es reconocido como predictor ya que su función de recuperar las muestras anteriores debe ser idéntica en el receptor como es posible ver en la figura 1.22 apéndice A. En los sistemas MICD, que operan la diferencia entre los códigos binarios generados, se comete el error de acumular el ruido cometido en la

cuantificación de cada muestra reflejado en cada código generado.

El proceso que se verifica es que en el acumulador digital se almacena el código correspondiente a una muestra que ya ha sido cuantificada. Cuando otra muestra entre el sistema, será cuantificada de igual forma hasta obtener el código que será restado del que ya existía en el acumulador. Este ruido no se puede evitar y es irreversible.

1.2.4.2 TIPOS DE IMPLEMENTACIONES MICD.

Hay tres tipos básicos de modulación MICD:

- Integración digital y diferenciación analógica.
- Diferenciación e integración analógica.
- Diferenciación e integración digital.

1.2.4.2.1 INTEGRACION DIGITAL Y DIFERENCIACION ANALOGICA

En la figura 1.23 apéndice A se representa el proceso. Las relaciones que rigen el proceso son:

$$D_i = X_i - (X_{i-1}) \quad (4)$$

$$Y_{i-1} = B_i + B_{i-1} \quad (5)$$

En la ecuación 4 se muestra la diferencia entre muestras sucesivas, mientras que la segunda (ecuación 5) muestra la reconstrucción digital de las muestras mediante la suma digital de la diferencia digitalizada "Bi" entre las muestras sucesivas X_i y X_{i-1} con el valor digital de la muestra anterior. La diferencia entre Y_{i-1} y B_{i-1} es de temporización ya que el B_{i-1} está primero para la formación de Y_{i-1} y así sucesivamente.

1.2.4.2.2 DIFERENCIACION E INTEGRACION ANALOGICA.

El diagrama a bloques de la figura 1.24 apéndice A, muestra el proceso de codificación MICD mediante la diferencia e integración analógica. La señal X_i es filtrada limitandola a su banda fundamental de inteligencia a una señal X_i a la cual es restada el valor X_{i-1} de la señal integrada de la muestra anterior. La diferencia D_i obtenida se codifica a digitos binarios para su transmisión. De estos bits se deriva la reconstrucción de la señal mediante la suma D_i con el valor de la muestra anterior X_{i-1} . El resultado es acumulado en el bloque de muestreo y retención. La relación existente es la siguiente:

$$D_i = X_i - X_{i-1} \quad (6)$$

$$X_i = D_i - X_{i-1} \quad (7)$$

El proceso de decodificación se realiza bajo las mismas condiciones y es en la conversión analógico a digital y digital a analógico donde la cuantificación genera el ruido de cuantificación.

1.2.4.2.3 DIFERENCIACION E INTEGRACION DIGITAL.

El esquema de la figura 1.23 apéndice A, muestra el tipo de procesamiento MICD puramente digital. La lógica se rige mediante las siguientes expresiones:

$$D_i = X_i - X_{i-1} \quad (8)$$

$$X_i = D_i + D_{i-1} \quad (9)$$

La ecuación 7 es una diferencia digital D_i y entre D_{i-1} y X_{i-1} existe una diferencia de temporización para la reconstrucción digital de la señal. D_{i-1} representa el valor digital de la muestra anterior.

1.2.5 MODULACION DELTA.

Los cuantificadores tipo DELTA trabajan sobre el

principio básico de los sistemas MICD: La cuantificación sobre las diferencias entre muestras. La variante ahora es que únicamente se emplea un bit para expresar información acerca de cualquier señal. Sea el caso de audio o voz. De esa manera únicamente se transmite un cero o un uno por cada muestra tomada de información. El 1 lógico representa si la muestra es mayor que la anterior indicando que la señal es creciente; y un 0 lógico si se da el caso de que la muestra es menor que la anterior y la señal será decreciente.

En síntesis se cuantifica de acuerdo al signo de la diferencia entre muestras consecutivas. El esquema del proceso de cuantificación Delta se muestra en la figura 1.25 apéndice A. Nótese que posee la peculiaridad de los sistemas moduladores diferenciales y es el tener el decodificador de igual composición que el lazo de realimentación del codificador. El filtro limitador se emplea para eliminar aquellas componentes que estén más allá de la banda de la señal. En el sumador están concentrados el muestreador y la etapa de resta. El muestreo se lleva a cabo a razones mucho mayores que el índice de Nyquist siendo $F_m \gg 2B$ (Siendo B el ancho de banda de la señal). Esto es debido a que se busca con el lazo de realimentación crear una señal formada por escalones que sea representativa de la señal de entrada, que a razones de muestreo menores no se lograría. Dependiendo

del número de integradores usados para la reconstrucción de la señal se especifica el orden de integración. Esta señal escalonada, se obtiene en la etapa integradora la cual va acumulando los pulsos o escalones de altura fija que llegarán a conformar la señal. Un escalón se suma o resta del anterior dependiendo si el resultado de la diferencia entre la muestra de la señal y el valor acumulado en el integrador es positiva o negativa respectivamente, tal y como se observa en la figura 1.26 apéndice A.

Los escalones son generados por el comparador y el generador de pulsos. El comparador produce el signo del resultado de la diferencia entre la señal lineal y la reconstruida en un instante específico; y el generador de pulso da la amplitud del escalón o resolución afectada por la salida del comparador. De igual manera trabaja el decodificador, únicamente que éste posee un filtro que suaviza la forma de onda escalonada. Sin embargo, éste sistema puede incurrir en dos problemas serios que quitan fidelidad al sistema; ellos derivan del hecho de que se salen de los rangos máximos y mínimos del sistema específico. En estos rangos se establecen los parámetros como la frecuencia de muestreo mínima, para la digitalización de la señal y el valor de la resolución máxima que el cuantificador puede tener. De lo contrario se generarían los problemas de ruido

granular de cuantificación y el retraso en la reconstrucción de la señal mostrados en la figura 1.26 apéndice A.

El ruido granular se da si la señal de la información cambia muy suavemente, de manera que al ser cuantificada en escalones muy altos se distorsionaría provocando que la señal que cambia poco en el tiempo, varíe muchas veces en ese intervalo. Es el equivalente al ruido de cuantificación para las amplitudes de señal pequeña en los sistemas MIC.

El retraso se da si la señal de información cambia muy rápido, de manera que el cuantificador no la puede seguir debido a que la velocidad de muestreo que emplea es muy baja.

De todo ello se puede concluir que el diseño del sistema delta para un desempeño óptimo, se debe buscar un ancho de resolución apropiadamente pequeño como para minimizar los efectos del ruido de cuantificación y que a su vez no incremente la probabilidad de la distorsión por retraso tomando en cuenta que éste es menos notable en la recepción audible por las personas.

Entre las ventajas de la cuantificación delta tenemos:

1. La simplicidad de los filtros limitadores de banda en el codificador y el decodificador, lo que reduce sus costos.
2. La alta velocidad de muestreo evita el cruce de espectros centrados en los múltiplos de la frecuencia de muestreo como

se observa en la figura 1.27 apéndice A. Es decir, la interferencia por traslape de espectros.

1.2.5.1 DESEMPEÑO DEL SISTEMA DELTA

Es posible definir el valor SNR de la siguiente manera:
La potencia del ruido de cuantificación es:

$$N_o = \frac{2 B q^2}{3f_o} \text{ Watts.} \quad (10)$$

en donde: "B" es la banda de la señal "q" es la resolución en voltios y "fo" es la frecuencia de muestreo.

Por otra parte, la amplitud máxima que se puede tener antes de producir el problema de pendiente retrasada a una frecuencia f es:

$$A = \frac{f_o (q)}{2\pi f} \quad (\text{VOLTS}) \quad (11)$$

Así, el valor de la potencia promedio S_o de la señal es:

$$S_o = \frac{f_o^2 q}{4\pi^2 f} \quad (\text{Watts}) \quad (12)$$

Y el valor de SNR es el siguiente:

$$SQR = 10 \log (f_0^3 / B f^2) - 14 \quad (\text{dB}) \quad (13)$$

1.2.6 CUANTIFICACION ADAPTIVA.

Tal y como hemos visto, el ruido de cuantificación depende de las características del cuantificador específicamente de la resolución del mismo. De esa manera, este ruido podría incrementarse si se considera el caso de una cuantificación a códigos binarios de menos bits por palabra-código, por ejemplo, menores o iguales que cuatro bits para sistemas MIC; o si se quisiera manejar cualquier tipo de señal en un mismo cuantificador delta para el cual está definido el intervalor de muestreo y la amplitud de la resolución que posee.

Este hecho de reducir el número de niveles de cuantificación provocará un aumento del ruido de cuantificación en el procesamiento de la señal de información, lo que pondrá en evidencia los efectos de degradación de la fidelidad y calidad de la señal de información.

La cuantificación adaptativa busca eliminar tales efectos haciendo la cuantificación a menos niveles más eficiente. Esta técnica se basa en adecuar las características de cuantificación de acuerdo al

comportamiento de la señal de información en el tiempo. Esa adecuación tiene que ver con los niveles de la señal en el tiempo, los cuales mediante una comparación sucesiva, derivan los niveles de adaptación que debe afectar el cuantificador.

1.2.6.1 CUANTIFICADOR MIC ADAPTATIVO O MICA.

Estos sistemas pueden ser considerados como sistemas MIC con resolución variable en el tiempo. Esto es que la resolución es modificada para la cuantificación de cada nueva muestra de entrada, basado en el conocimiento de las características de la señal de información o de la señal ya cuantificada.

El método se basa en establecer una función de valores posicionados construida de tal manera que cada valor sucesivo dependa de la posición del valor anterior. La posición de los valores se puede derivar del valor de la muestra correspondiente. De esa manera, se puede lograr que los valores de la función, que al final corresponden a la cuantificación y codificación estén correlativos, dependan del nivel de la muestra anterior y queden dentro de un rango de valores menor que el que le correspondería a códigos directos MIC uniforme. Así, se puede lograr un aumento indirecto del rango dinámico de la señal de información.

Las relaciones que definen la función de la cuantificación son:

* Para establecer el valor de cuantificación "Yr":

$$Yr = Hr \times \Delta r / 2 \quad (14)$$

donde: $\pm Hr = 1, 3, 5, 7, \dots, (2^B - 1)$, posicionador; Δr es la resolución. $B \geq 2$

* Para establecer el valor futuro de la resolución r , se define la siguiente relación:

$$\Delta r + (1) = \Delta r \times M(Hr) \quad (15)$$

La ecuación 15 muestra la variabilidad de la resolución, la cual depende de la resolución anterior para la magnitud de "Hr" correspondiente. La función "M" es un multiplicador en función de la magnitud de "Hr", es decir, que depende del valor de la amplitud de las muestras tomadas. El valor de M depende del número de códigos disponibles, el cual depende del número de bits que definen "Hr". Además dicho valor aumenta más rápido que como disminuye, ya que si la señal aumentara muy rápido, el SQR no se vea afectado considerablemente.

Se puede utilizar un cuantificador precedido por un

control automático de ganancia (CAG) variable en el tiempo que mantenga el nivel de la señal constante. Las implementaciones MIC Adaptativa se realizan restringiendo el rango dinámico de entrada al codificador, el cual se realiza mediante un control automático de ganancia CAG de la señal de información para ajustarla a niveles más homogéneos. Este tipo de implementación es instantánea. Al ser homogenizada así, se puede esperar que menos bits sean requeridos para la codificación de cada muestra sin incurrir en afectar el nivel de SQR.

El CAG es gobernado por una medición de la potencia de la señal de la cual se genera la porción en que la señal será afectada. Este valor debe ser codificado y transmitido al receptor para que en él se realice el proceso inverso para recuperar la señal original. Este proceso es posible visualizarlo mejor en la figura 1.28 apéndice A. Observese que la codificación de ganancia se incluye entre la secuencia de codificación de la señal.

1.2.7 CUANTIFICACION MICD ADAPTATIVA O MICDA.

Esta cuantificación puede ser alcanzada de igual manera que la cuantificación MIC adaptativa, pero con un ligero cambio en los valores de los multiplicadores, derivados de la

codificación que la correlación entre las diferencias sucesivas es pequeña.

Esos valores se muestran en la tabla 1 como sigue:

B	2	3	4
M1	0.80	0.90	0.90
M2	1.60	0.90	0.90
M3		1.25	0.90
M4		1.75	0.90
M5			1.20
M6			1.60
M7			2.00
M8			2.40

TABLA 1.

Esta técnica al igual que otras busca la reducción del número de bits por muestra empleada acá la técnica de adaptatividad para mantener una calidad comparable con sistemas MIC.

La técnica MICDA se basa en la transformación del rango dinámico de la señal de información analizando intervalos de la señal de información en un período de tiempo pequeñísimo. Esta característica hace la diferencia de la cuantificación instantánea ya que implica un retardo en la codificación debido al tiempo que se necesita para la determinación de los ajustes sobre la cuantificación.

Los sistemas MICDA se basan en predictores colocados en los lazos de realimentación que pretenden seguir la señal de información, es decir, de integrarla. Pueden ser varias órdenes, dependiendo del grado de correlación que exista entre las distintas muestras sucesivas. En el caso de existir una baja correlación, el orden de los cuantificadores predictivos debe aumentar para obtener una mayor correlación.

Los predictores son integradores de señal y el número de ellos define el orden de la predicción como se ve en la figura 1.29 apéndice A.

El acumulador es actualizado dependiendo de la medición de la potencia de la señal durante el intervalo silábico pequeño. Esta medición puede ser tomada de la señal de información o de los códigos generados en el cuantificador. El ajuste debe ser enviado al receptor para uniformizar el funcionamiento del par codificador-decodificador al mismo orden de predicción.

La tabla 2 muestra la comparación entre los sistemas MICD y MICDA, en la que se muestra una alta ganancia de SQE en los sistemas MICDA y MICD sobre los sistemas MIC:

ORDEN DEL PREDICTOR	1	3	5	10
MICD NO ADAPTATIVO	5.4	8.4	8.6	9.0
MICDA ACTUALIZ. 4 μ s	5.6	10.0	11.5	13.0

MICDA ACTUALIZ. 32 ms	5.6	9.8	11.1	12.6
-----------------------	-----	-----	------	------

TABLA 2.

Obsérvese que a 4 ms de actualización de ajuste, la ganancia es mayor debido a la casi periodicidad de la señal de voz que tiende a variar suavemente, es decir, que permanece a bajas frecuencias; mientras que a 32 ms pueden darse modificaciones considerables.

1.2.8 MODULACION DELTA ADAPTATIVA O ADM.

En los sistemas de este tipo se modifica la resolución del cuantificador de acuerdo a las variaciones de la señal de información. El hecho es que se aumenta la resolución en los intervalos donde la señal cambia abruptamente evitando que se retrase la señal cuantificada; y se disminuye cuando la señal varía suavemente o poco para disminuir la posibilidad del ruido granular de cuantificación, tal y como se muestra en la figura 1.30 apéndice A. La adaptación o ajuste es hecha basada en la señal de salida del cuantificador, lo que indica que existe una estimación hacia atrás. De ésta manera y como el integrador del codificador y el decodificador trabajan bajo el mismo algoritmo, es decir, que están acoplados a las mismas proporciones. Excepto si en el medio de transmisión se han dado errores de cambios de bits.

El proceso de cuantificación se realiza de la manera siguiente:

1. Se verifica una secuencia de bits de la salida del cuantificador, el número de bits de la secuencia depende del cuantificador, sin embargo, debe ser mayor o igual a dos bits ya que sólo así se puede inferir acerca de los cambios de la señal.
2. Estos bits pasan a una lógica de adaptación para la determinación del ajuste de la resolución del cuantificador. Debido a ello la predictividad está en que el ajuste se aplica sobre las nuevas o últimas muestras tomadas.

El esquema de un modulador delta en las etapas de codificación y decodificación se muestra en la figura 1.31 apéndice A. Obsérvese que la misma secuencia de bits "br" es usada para establecer el ajuste de la resolución, por lo que no es necesario transmitir además el parámetro de proporcionalidad hacia el receptor para homogenizar su integración. Además, nótese que la resolución " Δ_r " depende del valor de la resolución anterior " Δ_{r-1} ".

En el caso de que la observación se haga sobre dos bits sucesivos "br" y "br - 1", el ajuste es determinado por la ecuación 16 como sigue:

$$\Delta_r = \Delta_{r-1} \times p^{(br - (br-1))} \quad p \geq 1 \quad (16)$$

donde "p" es el factor de incremento o decremento de la resolución. Para el sistema delta lineal $p = 1$; y el valor de "p" óptimo para minimizar la potencia del error de cuantificación es de 1.5.

Los sistemas ADM manejan rangos dinámicos entre 30 a 40 dB y para un ancho de banda de señal base de 3.3 KHz, una frecuencia de muestreo de 60 KHz y $p = 1.5$ se da una ganancia de 10 dB arriba de los moduladores delta lineales.

Existe otro tipo de técnica adaptativa que se ha vuelto más representativa de la modulación Delta adaptativa. Esta técnica es denominada MODULACION EN DELTA DE PENDIENTE CONTINUAMENTE VARIABLE (CVSD), que es el sistema utilizado en nuestro proyecto, que por razones de economía y poca circuitería se utiliza un Circuito Integrado MC3417 que es un Modulador / demodulador CVSD, además éste posee una buena respuesta para el ancho correspondiente a la voz y audio. Este tipo de técnica de modulación digital, codifica cambios en las pendientes y no en la amplitud de las muestras. En ella existen valores predefinidos de pendientes, entre los cuales el cuantificador elige uno para establecer el seguimiento o integración de la señal. El cuantificador se basa en la secuencia de bits de salida para establecer el valor de la pendiente que cuantificará la muestra siguiente. Por ejemplo pueden existir los valores estandar de pendiente

tales como: 1, 2, 4, 6, 16, válidos para selección. La elección puede realizarse a través de la observación de los últimos tres bits transmitidos; y la dirección del crecimiento o decrecimiento de la pendiente se puede establecer por medio del bit que está siendo transmitido. Así se puede establecer una relación entre los códigos de tres bits formados y la elección de las pendientes, tal como se aprecia en la tabla 3.

BIT ACTUAL	BIT ANTERIOR	BIT ANTERIOR AL ANTERIOR	PENDIENTE A SER TOMADA
0	0	0	LA SIGUIENTE MAYOR
0	0	1	SE MANTIENE IGUAL
0	1	0	LA SIGUIENTE MENOR
0	1	1	LA SIGUIENTE MENOR
1	0	0	LA SIGUIENTE MENOR
1	0	1	LA SIGUIENTE MENOR
1	1	0	SE MANTIENE IGUAL
1	1	1	LA SIGUIENTE MAYOR

TABLA 3.

RELACION DE ADAPTATIVIDAD DE LA PENDIENTE EN EL SISTEMA DE MODULACION CVSD.

El proceso es continuo y no espera a que hayan sido transmitidos tres bits para realizar el ajuste. Sin embargo el proceso se lleva a cabo frecuentemente en intervalos silábicos observando o midiendo el nivel de la señal durante

unos cuantos milisegundos (no más de 100 ms). Los cambios en la pendiente que se refleja en el valor de la resolución del cuantificador es el resultado de observar cadenas de unos o ceros en la salida del codificador, hasta que estos patrones dejan de existir.

En la figura 1.32 apéndice A se presenta un esquema de un proceso de modulación digital CVSD.

El sistema censa los valores de dos o tres bits por vez. La función de control del pulso que modifica la resolución del cuantificador se basa en los siguientes aspectos:

- Si los tres bits sucesivos son del mismo signo, el ancho de la resolución es incrementado.
- Si dichos bits tienen signos diferentes, el ancho de resolución es decrementado.

El desempeño de éste cuantificador muestra un bajo nivel de ruido de cuantificación.

1.2.9 COMPARACION ENTRE LOS MODULADORES DIGITALES MIC Y LOS DELTA EN FUNCION DE SUS VENTAJAS"

- La lógica de funcionamiento de ambos sistemas ha

establecido que los moduladores MIC (PCM) tienen mayor dificultad de implementación que los moduladores DELTA Y CVSD.

- Los moduladores DELTA deben emplear velocidades de muestreo mucho mayores que las técnicas de digitalización MIC (PCM). Este genera la dualidad de que si es necesaria la reducción de bits por unidad de información si se aumenta la velocidad de muestreo. Definitivamente, una justificación válida se encuentra dentro de la aplicación específica que se le da al cuantificador.

Lo antes dicho se refleja en el hecho de que se llega al uso excesivo de velocidades de transmisión elevadas, limitando el uso de los medios de transmisión y/o almacenamiento.

Los sistemas MIC (PCM) son los de menor desempeño en cuanto a la recuperación de la señal de información, aunque por el número de bits que emplea, pone en desventaja las aplicaciones tales como la transmisión y el almacenamiento de información, ya que se requiere una velocidad de transmisión mayor, o mayor número de

registros para el almacenamiento.

- El tipo de modulación digital DELTA emplean un solo bit por palabra código, mientras que los sistemas MIC tienen más de uno.

En la transmisión de información el desarrollo de las técnicas básicas en cada tipo de cuantificación ha reflejado que se obtienen diferentes calidades de reproducción a diferentes velocidades de transmisión como se observa en la figura 1.33 apéndice A.

Más específicamente, la modulación CVSD adapta el voltaje en rampa de la señal integrada a los cambios de amplitud de la señal de información. El voltaje en rampa disminuye para pequeños cambios de amplitud y aumenta para grandes cambios de amplitud, como se observa en la figura 1.34 apéndice A. Ello permite que la modulación CVSD mantenga la sobrecarga de pendiente y el ruido de cuantificación en niveles bajos.

Hay en existencia una variedad de circuitos integrados codificadores/decodificadores CVSD en el mercado actual. El codificador consta de un muestreador digital y de un filtro de estimación (Integrador). Además, el codificador incluye

un circuito lógico algorítmico, un filtro y un modulador de impulsos en amplitud. El decodificador consiste en un filtro de estimación (Integrador). El decodificador también incluye un muestreador digital, un circuito lógico algorítmico, un filtro y un modulador de impulsos en amplitud.

El codificador/decodificador de CVSD, es capaz de codificar y decodificar señales de información de gran amplitud y cambio rápido sin el problema de sobrecarga de pendiente.

El circuito lógico algorítmico, el filtro y el modulador de impulsos en amplitud, vigilan y detectan el cambio de amplitud de la señal de información y adaptan el voltaje en rampa al cambio de amplitud, modulando la señal digital.

La figura 1.35 apéndice A, muestra el arreglo interno del CODEC CVSD, y el circuito lógico algorítmico es utilizado para vigilar y detectar el cambio de amplitud de la señal de información como se observa en la figura 1.36 apéndice A.

Los cambios abruptos de la señal de información aparecen en la señal digital como largas secuencias de 1 ó 0 lógicos, mientras que los cambios no abruptos incluyen unos o ceros lógicos alternados. El circuito lógico algorítmico detecta los cambios abruptos de amplitud de la señal de información, comparando "tres impulsos consecutivos" de la señal digital (IC MC3417 Continuously Variable Slope Delta Modulator /

Demodulator). Cuando tres impulsos de la señal digital concuerdan, se considera que se trata de un cambio abrupto de amplitud y el circuito lógico algorítmico emite una señal de impulso. El filtro recibe la señal de impulso proveniente del circuito lógico algorítmico (figura 1.37 apéndice A). El filtro actúa como un integrador, integrando los impulsos de la señal de impulso en las rampas de la señal de control. El filtro emite una señal de control para el modulador de impulsos en amplitud. El modulador de impulsos en amplitud recibe tanto la señal de control como la señal digital, tal y como es mostrado en la figura 1.38 apéndice A. El modulador de impulsos en amplitud utiliza la señal de control para modular la amplitud de la señal digital. La señal digital modulada sale del modulador de impulsos en amplitud e ingresa al filtro de estimación. El filtro de estimación integra la señal digital modulada; el voltaje en rampa de la señal integrada es aumentado para equiparar el cambio de amplitud de la señal de información (Figura 1.39 apéndice A).

La figura 1.40 apéndice A muestra la operación de codificación del CODEC. La señal de información excita la entrada no inversora del comparador, mientras que la señal de retroalimentación excita la entrada inversora. Durante cada señal de reloj XMT, el comparador compara el voltaje presente de la señal de información con la señal de retroalimentación.

El comparador emite un 1 lógico, o un cero lógico hacia el basculador tipo D, dependiendo de los niveles de voltaje de la señal de información y de la señal de retroalimentación. El basculador tipo D emite un 1 lógico o un cero lógico como impulso en Q. La salida es la señal digital. La señal digital ingresa el modulador de impulsos en amplitud y al circuito lógico algorítmico. El circuito lógico algorítmico origina una señal de impulso para el filtro. El filtro integra la señal de impulso conformando una señal de control. La señal de control ingresa al modulador de impulsos en amplitud, donde es utilizada para modular la señal digital. La señal digital modulada es integrada a la señal de retroalimentación por el filtro de estimación y aplicada al comparador.

La figura 1.41 apéndice A, nos muestra la operación de decodificación del CODEC. La señal digital excita la entrada no inversora del comparador, mientras que la entrada no inversora esta conectada a tierra. Esto hace que el comparador actúe como un separador, con la señal digital aplicada al basculador tipo D desde el comparador en cada señal de reloj RCV. La señal digital sale del basculador tipo D hacia el modulador de impulsos de amplitud y el circuito lógico algorítmico. El circuito lógico algorítmico emite una señal de impulso para el filtro. El filtro integra

la señal de impulso, conformando una señal de control. La señal de control ingresa al modulador de impulsos en amplitud, donde es utilizada para modular la señal digital. La señal digital modulada es integrada por el filtro de estimación y sale como señal integrada.

La señal de reloj RCV (Recepción) utilizada por el decodificador debe tener exactamente la misma frecuencia que la señal de reloj XMT para reconstruir fielmente la señal de información. La señal de reloj RCV puede estar desfasada con respecto a la señal de reloj XMT y sin embargo permitir una decodificación correcta, siempre y cuando las frecuencias son idénticas.

CAPITULO 2.

DESCRIPCION GENERAL DEL CIRCUITO GRABADOR Y REPRODUCTOR DE AUDIO UTILIZANDO TECNICAS DE MODULACION DELTA.

Ahora que ya poseemos una teoría básica de entrenamiento, nos será más fácil comprender el funcionamiento de cada uno de los tipos de modulación existentes. Pero recordemos que lo importante de todo esto, no es solo ser un diestro en la teoría, sino también, poderle dar una aplicación práctica y real. Por ello nosotros hemos diseñado un sistema capaz de grabar y reproducir tanto voz humana como musica u otra clase de sonidos, haciendolo en un formato digital, como una de las aplicaciones que se le podría dar.

El sistema hace uso de la modulación delta del tipo de pendiente continuamente variable, la cual nos brinda muchas ventajas para la realización de este fin.

El diagrama en bloques de este sistema se muestra en la figura 2.1 Apéndice B, el cual consta de once etapas principales:

1. Preamplificador. (Figura 2-14, Apéndice B)

2. Codificador-Decodificador. (CODEC CVSD) (Figura 2-15, Apéndice B)
3. Convertidor serie-paralelo. (S/P) (Figura 2-16, Apéndice B)
4. Convertidor paralelo-serie. (P/S) (Figura 2-16, Apéndice B)
5. Etapa de sincronismo. (Figura 2-17, Apéndice B)
6. Memorias. (Figura 2-18, Apéndice B)
7. Contador de 15 bits. (Figura 2-19, Apéndice B)
8. Reloj. (Figura 2-20, Apéndice B)
9. Etapa de control. (Figura 2-21, Apéndice B)
10. Teclado. (Figura 2-21, Apéndice B)
11. Filtro de salida. (Figura 2-22, Apéndice B)

El sistema comienza a trabajar en el momento en que recibe cualquier señal analógica del exterior, la cual es percibida por el micrófono y amplificada por la etapa 1. La señal, ya con una amplitud adecuada, es llevada al CODEC DELTA el cual, conjuntamente con la etapa 3, es convertida a formato digital en paralelo (8 bits), para así ser almacenada en las memorias. Estas son del tipo estáticas con una capacidad de 8K x 8 cada una, haciendo un total de 64K x 8 por las dos. Hasta aquí tenemos que la voz ha sido grabada y digitalizada. Para realizar el proceso contrario, es decir, sacar la información de las memorias y convertirla de nuevo a analógica, es necesario contar con la etapa 4, que es el

convertidor paralelo-serie, que este a su vez, envía estos datos series al CODEC para su decodificación. La información analógica es transferida a la etapa 11 que es la encargada de filtrar la señal para su depuración.

De aquí en adelante todo es cuestión de afinar aún más, si se desea, la señal, ya sea utilizando un ecualizador o algún otro equipo para mejorarla. El uso de las demás etapas están íntimamente relacionadas con el funcionamiento anterior pero serán discutidas en páginas posteriores.

El tiempo de grabación que es posible alcanzar es de 3.2 segundos como máximo, con una frecuencia de muestreo de 40Khz.

El cálculo se hace como sigue:

Cada 25 segundos un bit es enviado por el codec.

$$1/40\text{Khz} = 25\mu \text{ segundos}$$

Capacidad de una memoria:

$$8 \text{ K} \times 8 = 64 \times 1024 \text{ bits}$$

Capacidad total:

$$128 \times 1024 \text{ bits}$$

Luego: 1 bit -----→ 25 u segundos

$$128 \times 1024 \text{ bit} \text{ ---} \rightarrow X$$

$$X = 3.2768 \text{ segundos}$$

El circuito fue diseñado de tal forma que pueda ser comparado como una grabadora de cinta magnética. Para facilitar su manejo posee teclas llamadas PLAY, RECORD, FORWARD, REVERSE y PAUSE.

El manejo de estas teclas se hace de la misma forma que una grabadora convencional.

2.1 TEORIA DE FUNCIONAMIENTO DE LA CIRCUITERIA.

Nuestra circuiteria la dividiremos en dos partes fundamentales: La parte que corresponde al teclado y a la parte que corresponde a la etapa de sincronismo.

2.1.1 ETAPA DEL TECLADO.

Tratemos en primer plano la etapa del teclado, ver figura 2.21 Apéndice B, conformada por los flip-flops y teclas. Esta etapa está compuesta de seis interruptores del tipo pulsador. Estos interruptores se describen, según su función, en la tabla 4 de la siguiente manera:

INTERRUPTOR	FUNCION
STOP	Cancelar cualquier actividad que haya sido programada previamente como por ejemplo: play, record, forward o rewind.
RECORD	Su función es activar la circuitería para ponerla en modo de grabación.
FORWARD	Esta función se encarga de realizar el adelanto de la grabación en un intervalo.
REWIND	Esta función se encarga el retraso de la grabación en un intervalo.
PAUSE	Es la función encargada de mantener en estado inerte "STAND BY" a la circuitería pausando momentaneamente cualquier función del circuito.

TABLA 4.

Debemos de tener muy en claro que las teclas o interruptores denominados PLAY, REC, FF, RWD. Funcionan una a la vez, es decir, no podrán estar funcionando dos teclas a la vez ya que esto está fuera de lógica. Sin embargo las teclas STOP y PAUSE pueden ser activadas en cualquier momento que se desee según la necesidad, aún si cualquiera de las 4 antes mencionadas está activada.

Por medio de los Flip-Flop denominados U1, U2, U3 y U4 basculan las funciones Play, Record, Forward y Rewind

respectivamente. Los cuales quedan enganchados (debido a la intervención de 4 diodos desde D1 hasta D4 que junto con la inversora U5 conforman una compuerta NOR. Este arreglo enclava los flip-flops con el primer pulso.), si una de esas teclas es activada. Esto se realiza por dos motivos que son los siguientes:

1. Se necesita recordar que función fué la que se activó para mantenerla fija y deshabilitar a las demás.
2. Nos evitamos así el tener que recurrir al uso de lo que son los eliminadores de rebote (debido a que los flip-flops se enganchan con el primer pulso que reciban).

Una vez activada cualquiera de éstas teclas (Play, Rec, FF o Rwd), solo podrán ser canceladas por medio de la tecla STOP o podrán ser momentaneamente detenidas por medio de PAUSE.

Analicemos lo que sucede cuando la tecla RECORD es activada:

El flip flop U2 se activa colocando un 1 lógico (alto) en su salida. Esta salida alta se realimenta a una compuerta NOR, de cuatro entradas (conformada por el arreglo de diodos y U5), la cual deshabilita los interruptores para cualquier

activación. El flip-flop U2 queda activado, la compuerta OR U7 entonces posee una de sus entradas en alto habilitando y dándole paso al reloj de 40 KHz (CK1), el cual entra al registro S/P REG1 (Serie o Paralelo), CODEC, contador de 15 bits (C1) y a la etapa de sincronismo A1. En este momento, la señal analógica es captada, procesada y enviada a las memorias.

Cuando las memorias se encuentran totalmente llenas el Bit más significativo del contador se encarga de rehabilitar de nuevo el teclado para esperar un nuevo mando y a la vez resetear el mismo contador.

Observemos que cuando la tecla RECORD es activada el CODEC se coloca en modo de transmisión, es decir, recibir datos analógicos del exterior para transmitirlos a la memoria. A la vez las memorias se ponen en modo de escritura para recibir los datos ya digitalizados provenientes desde el Modulador CVSD, con ayuda del arreglo A2 (ver diagrama esquemático de la figura 2.18, Apéndice B).

La operación PLAY es similar. Cuando es activado el CODEC CVSD se coloca en modo de recepción, es decir, recibir los datos digitales procedentes de la memoria para ser decodificados y recurrar lo grabado. Mientras el Flip-Flop U1 está activado de deshabilitan todas las teclas para cualquier activación mientras play funciona. A la vez con ello se

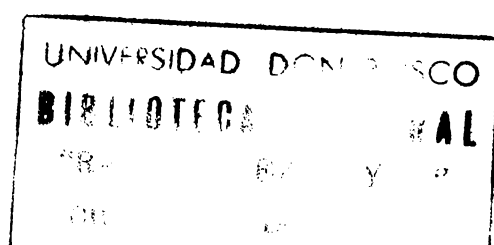
habilita y da paso al reloj de 40 Khz (CK1) hacia el CODEC, hacia el registro Paralelo/Serie (REG2) y el contador.

Veamos a la operación FORWARD Y REWIND: Cuando cualquiera de éstas dos funciones es activada, se rehabilita el reloj de 80 Khz (CK2) puesto que se necesita una mayor velocidad, y se deshabilita al reloj de 40 Khz (CK1). Para producir, ya sea un adelanto rápido o un retroceso rápido (utilizando para ello un contador ascendente-descendente, que para nuestro caso está pendiente).

La tecla STOP se encarga de resetear el contador (C1) y habilitar de nuevo las teclas PLAY, REC, FF Y RWD, y la tecla PAUSE solamente da o no paso al reloj que entra al codec, registros y contador, sirviendo como una llave para pausar momentaneamente cualquier actividad.

2.1.2 ETAPA DE SINCRONISMO.

Conformada por CODEC, registros, memorias, monostables, contadores. Antes de adentrarnos a esta etapa recomendamos manejar el funcionamiento del proceso de escritura-lectura de las memorias en función del tiempo, presentado en las hojas técnicas del Apéndice C. Ahora debemos asignar algunos estados de ciertos dispositivos que componen esta etapa:



CODEC:

TX/RX	ESTADO
1	Transmisión, recibe las señales analógica y las convierte a digital.
0	Recepción, recibe los datos digitales y los pasa a analogos.

El clock del CODEC permanece activo de transiciones negativas.

MEMORIA.

E1*	W*	ESTADO
1	1	Alta impedancia.
0	0	Ciclo de escritura.
0	1	Ciclo de lectura.

nota: estos estados son en forma simbólica. La forma real de manejo es a través de un diagrama de tiempos y, respetando los intervalos establecidos por el manual del fabricante (ver hojas técnicas de las memorias, apéndice C).

(El término E1* y W* representa que estas funciones son negadas y esto se cumplirá para cualquier caso).

REGISTRO S/P (REG1).

Acá el reloj es activo en transiciones positivas.

REGISTRO P/S (REG2).

Acá el reloj es activo en transiciones positivas.

El LOAD se encuentra activo en bajo. Cuando se activa carga la palabra en paralelo. Esta señal es compartida por el arreglo A2 en la figura 2.18, apéndice B.

CONTADOR DE 15 BITS (C1).

Acá el reloj se encuentra activo en transiciones positivas.

Su cuenta máxima es hasta 32767.

PUERTAS DE TRES ESTADOS:

CONTROL	ESTADO
1	Las puertas de tres estados se hacen transparentes al paso de los datos.
0	Alta impedancia.

CONTADOR N= 8 (C2).

El reloj acá se encuentra activo en las transiciones negativas. Monitorea 8 pulsos consecutivos de reloj.

ONE SHOT 1 (OS1).

Se encuentra activo en transiciones positivas, duración del pulso igual a 2.5 us. Genera los pulsos LOAD* y E1* a la vez.

ONE SHOT 2 (OS2).

Se encuentra activo en las transiciones negativas, la duración del pulso es de 2.5 us.

ONE SHOT 3 (OS3).

Activo en transiciones positivas. Genera un retardo de 0.6u segundos.

ONE SHOT 4 (OS4).

Activo en transiciones negativas. Genera el pulso W*.

Para comenzar nuestro análisis es necesario observar algunos diagramas de tiempo que nos facilitarán la comprensión de la presente etapa. Para ello analizaremos todo el circuito en la operación RECORD observando que es lo que sucede a lo largo del tiempo con las señales de sincronismo que están involucradas en este proceso.

De acá en adelante se hará referencia al diagrama de tiempos de la figura 2.3 apéndice B. Analizaremos detenidamente cada una de estas señales, refiriendonos a ellas por su determinado nombre, como se muestra en la figura 2.3 apéndice B.

Como se sabe, el CODEC CVSD envía un Bit codificado en cada transición negativa de las ocurrencias del reloj (señal

"CODEC"). En este caso hemos simulado un supuesto caso en que se recibe una información analógica del exterior y es convertida en forma digital (señal "CODEC"). En sincronía con éstas ocurrencias, el registro convertidor de serie a paralelo convierte éste formato serie, en un formato paralelo (8 bits), para poder ser introducido en memoria. El reloj que llega al convertidor serie-paralelo es la señal "CK S/P", éste carga o lee un dato serie en su entrada por cada transición positiva del reloj, leyendo así exactamente en la mitad de la duración del Bit que fue enviado por el CODEC. Esto determina la segura captura del dato, que hubiera fracasado si se hace exactamente en el cambio de estado del Bit la cual sería una condición ambigua ya que no se sabe si capturaría el dato inmediatamente antes o inmediatamente después.

Debido a las características del registro S/P que se utiliza, éste permite introducir una palabra serie y después de 8 pulso de reloj (señal "CKB") poder tener la palabra serie en forma paralela de 8 bits. Por lo tanto esto nos indica que cada ocho pulsos de reloj (señal "CKB") es necesario cargar el dato completo de 8 bits hacia la memoria. Es entonces aquí donde entra una etapa de monitoreo que es la que vigila ésta condición (etapa A1 en la figura 2.17 apénd. B). Esta consta de un contador "C2", el cual su cuenta

máxima es hasta 7, en binario es 0111. Donde 0 es el bit más significativo (MSB). En realidad para que el contador llegue hasta siete, es necesario resetearlo en el conteo 8 (1000) es decir que el bit más significativo tendrá que utilizarse para éste fin. Entonces es necesario tener en cuenta que el conteo 1000 solo lo presenta momentaneamente para luego pasar a 0000. Esta transición negativa del paso de 1 a 0 en el bit más significativo nos es suficiente para que el OS1 sea activado (señal E1*) y que junto con OS3 y OS4 generan una operación de escritura (señal W*), todo esto solo para activar la memoria solo en este instante y cargar el dato de 8 bits en la memoria y que posteriormente se avance en una dirección más. Para el contador de 15 bits (fig. 2-19) el cual genera las direcciones de acceso a la memoria, llega una señal proveniente de OS2 (señal "COUNTER 15 BITS CK"). Hasta aquí ya se ha completado solamente un ciclo de escritura hacia la memoria. No es necesario analizar los siguientes ciclos ya que se repite la misma secuencia.

Cuando el contador de 15 bits llega y barre con todas las direcciones de la primera memoria, su salida A13 se encarga de hacer el cambio de memoria 1 a memoria 2. Simplemente desviando el pulso de OS1 (señal E1*) hacia la segunda memoria. Esto se hace por medio del arreglo A2 de la figura 2.18 apéndice B. Veamos una tabla de la verdad sobre

esta pequeña etapa:

A13	CONDICION
0	E1* llega a la memoria 1
1	E1* llega a la memoria 2.

De esta forma es como se desvía el pulso de selección. Cuando se barre con todas las direcciones de la segunda memoria, la salida A14 del contador activa indicando así el fin de grabación reseteando así el contador y de una vez habilitando el teñado para un nuevo mando.

Ahora veamos como trabaja la función inversa, es decir, de lectura. De aquí en adelante se hará uso del diagrama de tiempos de la figura 2.4 apéndice B.

Como podemos ver, la secuencia que se sigue es casi la misma, excepto por un pulso de LOAD (señal E1*/LD*) que es necesario darle al convertidor paralelo a serie para que cargue la palabra y que posteriormente la desplace. Al mismo tiempo que ocurren el pulso LD* (LOAD), ocurre el pulso E1* para poder así sacar el dato correspondiente a la localidad que se direcciona.

La operación de la pequeña etapa de monitoreo (etapa A1 en la fig 2.17 apéndice B) siempre es la misma que la que se utiliza para la grabación, por lo tanto no requiere de mayor

explicación, solamente decir que siempre OS1 corresponde a la señal E1*/LD* y OS2 a la señal COUNTER 15 BIT CK). Cuando se barre en todas direcciones posibles de las memorias, el contador inmediatamente volverá a su estado inicial en cero y rehabilitará el teclado para recibir un nuevo mando.

Como un complemento más a nuestro circuito, es posible hacer que todo el sistema digital pueda ser controlado por medio de una computadora, disminuyendo considerablemente la cantidad de dispositivos electrónicos y poder, además, tener un control más preciso sobre la codificación y decodificación de lo grabado. En páginas posteriores se presenta la información necesaria para poder hacerlo y, lo dejamos a inquietud del lector su implementación.

2.2 DESCRIPCION DE LAS FUNCIONES DE LA INTERFAZ.

La conexión de la interfase con la computadora se hace por medio de los canales de I/O de expansión (slot) que poseen las computadoras PC o compatibles. En la figura 2.5, apéndice B, se muestra el diagrama esquemático del circuito de interfase.

2.2.1 DESCRIPCION DE LOS CANALES I/O DE EXPANSION

(ver figura 2.6, apéndice B)

* SA0-SA19 (E/O)

Representa el bus de direcciones del computador y son usadas para direccionar memorias y dispositivos de entrada/salida dentro del sistema. Son 20 líneas de direccionamiento que permite direccionar hasta 1 Megabyte de memoria.

* SD0-SD7 (E/S)

Son los 8 bits del bus de datos del sistema.

* ALE (S)

Abreviatura de ADDRESS LATCH ENABLE. Esta señal proviene del controlador del bus de la computadora y es utilizado para enclavar direccionamientos válidos del microprocesador. Se utiliza para indicar direcciones válidas del DMA o el CPU.

* IOR (S)

Esta señal le indica a un periférico que maneje sus datos a través del bus de datos. La señal es controlada por el microprocesador o el controlador del DMA o similares,

presentes en el canal entrada/salida. Es activa en bajo.

* IOW (S)

Esta señal le indica a un periférico que lea los datos presentes en el bus de datos. Es activa en bajo.

* AEN (S)

Cuando esta señal se activa (alto), el CPU cede el control sobre el bus de direccionamiento y el bus de datos al controlador del DMA, permitiendo transferencia DMA.

2.3 DESCRIPCION DEL CIRCUITO INTERFASE.

Los canales que se utilizan en el presente diseño son (ver figuras 2.5 y 2.7 del apéndice B): las D0 - D7 los cuales son el bus de datos entrada/salida de 8 bits, estas líneas serán manejadas por el 74LS245, un transmisor receptor de datos. La dirección del flujo de datos será definida por las líneas de control IOR IOW. La habilitación del 74LS245 será manejada por la salida del decodificador de direcciones, esta es activa en bajo.

El decodificador de direcciones no es más que una

compuerta NAND de ocho entradas, cuyas entradas se conectan a las líneas de direcciones, además se conecta la línea AEN a la entrada de la NAND para evitar que el interfase sea habilitada accidentalmente durante la transferencia del DMA. La salida del NAND controla la habilitación del 74LS245 y además el chip select (CS) del PPI.

Las líneas de dirección A0 A1, direccionan los puertos del PPI. A0 A1 = 0 0, es el puerto A; A0 A1 = 0 1 es puerto B; A0 A1 = 1 0 es el puerto C y A0 A1 = 1 1 es la dirección del byte de control. Así la interfaz responde a cuatro direcciones:

3ECh : puerto A

3EDh : puerto B

3EEh : puerto C

3EFh : dirección del byte de control.

2.3.1 INTERFASE PROGRAMABLE DE PERIFERICOS (PPI 8255)

El PPI 8255, es una interfase programable de entrada y salida paralelo para propósitos generales y en la parte central del circuito de interfase de comunicación. Es de la familia Intel de circuitos para microprocesadores. Capaz de proporcionar 24 pines programables de input/output, divididos en tres puertos paralelos:

- Puerto A
- Puerto B
- Puerto C

Los cuales pueden ser configurados de manera especial como se describirá, pero nos dedicaremos a un modo llamado Modo 0.

La configuración se hace mediante software y no requiere circuitos lógicos externos para ello.

2.3.1.1 MODOS DE OPERACION DEL PPI 8255.

El PPI 8255 posee tres modos de operación conocidos como Modo 0, Modo 1 y Modo 2. En el modo 0, los 8 pines de los tres puertos son utilizados como entrada-salida. Los modos 1 y 2 utilizan las señales del puerto C, como entradas de solicitud de interrupción al CPU, estas interrupciones pueden ser enmarcadas o no mediante el formato bit set/reset.

El PPI 8255 presenta 3 modos básicos de operación:

Modo 0 : Entrada - Salida del tipo elemental

Modo 1 : Entrada - Salida con protocolo.

Modo 2 : Bus direccional con protocolo.

Además el 8255 esta conformado por dos grupos de buses.

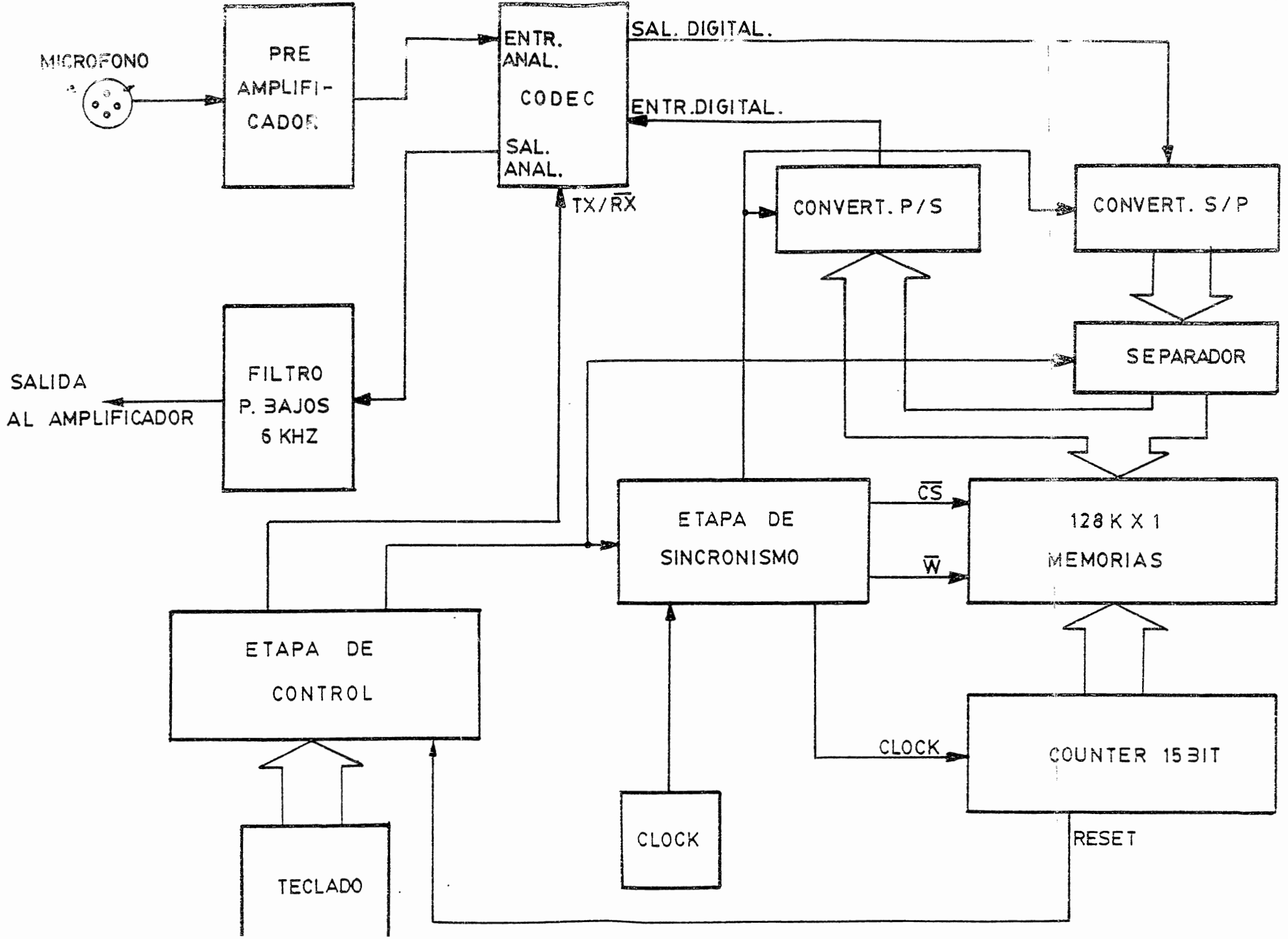
El grupo "A" que es puerto "A" más los 4 bits más significativos del puerto "C" y el grupo "B" formado por el puerto "B" más los 4 bits menos significativos del puerto "C". Cuando se inicializa el 8255 (al encender la computadora), sus tres puertos quedan configurados como puertos de entrada. Los puertos A, B, C pueden ser configurados en modos de operación diferentes según sea necesario, escribiendo la palabra de control en el registro de control.

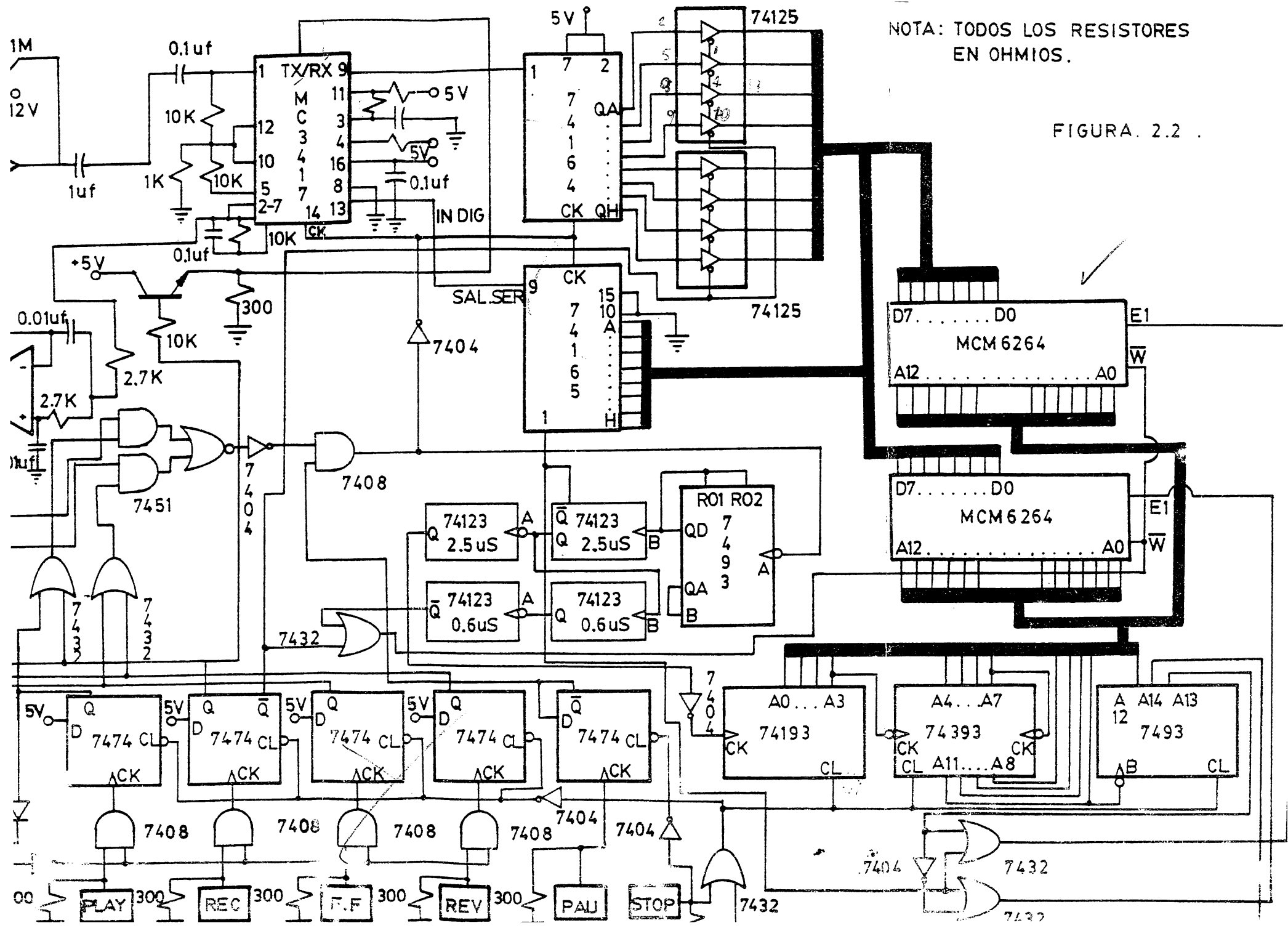
La palabra de control de ocho bits es la que determina en que modos pueden trabajar los tres puertos: El registro de control es la dirección a la que responderá la palabra de control.

2.3.1.1.1 MODO 0 DEL PPI 8255: IN/OUT ELEMENTAL.

Entre los modos de configuración, este modo configura a los 3 puertos como entrada o como salida. Este modo de operación presenta las siguientes características:

- Los puertos A y B de 8 bits y el C dividido en 2 grupos independientes de 4 bits.
- Cualquier puerto puede ser entrada o salida.
- Las salidas son enclavadas.

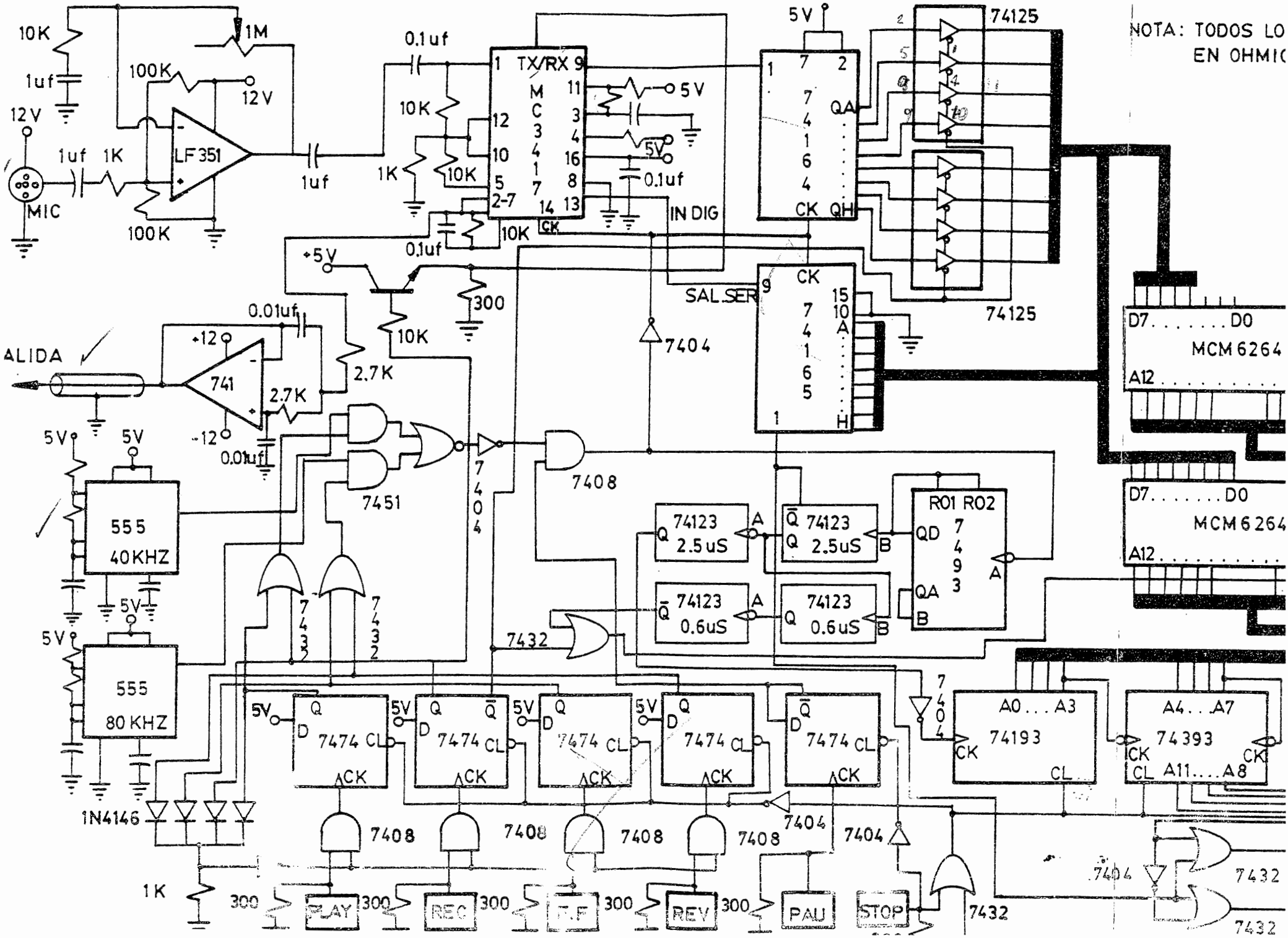




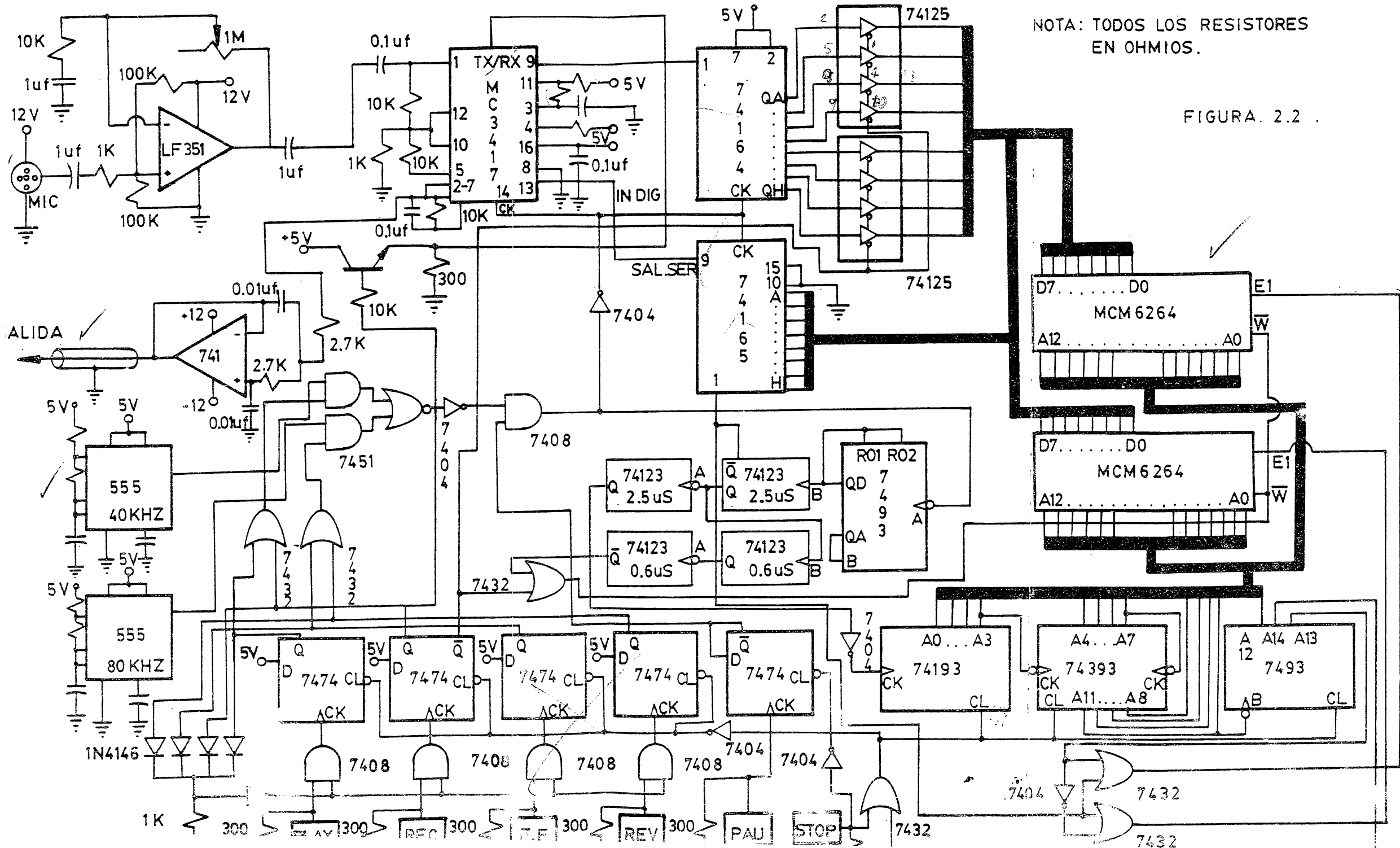
NOTA: TODOS LOS RESISTORES EN OHMIOS.

FIGURA 2.2

PLAY 300 REC 300 F.F 300 REV 300 PAU STOP



NOTA: TODOS LO EN OHMIC



NOTA: TODOS LOS RESISTORES EN OHMIOS.

FIGURA. 2.2

- Las entradas no son enclavadas.
- 16 formas diferentes de configurar en este modo.

ESTADOS Y MANEJO DE D0 HASTA D7:

D0: Grupo B: Puerto C (4 LSB) estado: 1 es entrada, 0 es salida.

D1: Grupo B: Puerto B, estado: 1 = Entrada, 0 = Salida.

D2: Grupo B: Tipo de modo: 0 = Modo 0, 1 = Modo 1.

D3: Grupo A: Puerto C (4 MSB), estado: 1 = entrada, 0 = salida.

D4: Grupo A: Puerto A, estado: 1 = entrada, 0 = salida.

D5 y D6:	Grupo A, tipo de modo:	D6	D5	
		0	0	: Modo 0
		0	1	: Modo 1
		1	X	: Modo 2

Para los propósitos de control de comunicación, el modo 0 es el más idóneo y por ello se ha desarrollado con mayor profundidad, y los otros los hemos dejado solamente como información general.

2.4 CIRCUITOS IMPRESOS.

Como parte final de nuestro proyecto, fué necesario implementarles los respectivos circuitos impresos, los cuales los describiremos a continuación.

Todos los diagramas de circuitos impresos fueron implementados con ayuda de una herramienta CAD (Diseño Auxiliado por Computadora), llamada smARTWORK, la cual facilita esta labor. Una vez teniendo el diagrama esquemático de nuestro circuito, se procede al diseño, por computador, del impreso, colocando en primer lugar todos los componentes que se utilizarán, en una forma conveniente y con ahorro de espacio. En segundo lugar, se seleccionan los puntos que son comunes entre sí, es decir, todos aquellos puntos que se unen, para que luego el smARTWORK haga la unión de dichos puntos automáticamente. En tercer lugar, una vez hechas todas las uniones, se procede a sacar una impresión en una hoja de papel, para luego transferir el diseño a la tableta en forma manual, con ayuda de un plumón permanente. Por último, la tableta se revela en un ácido (percloruro de hierro), obteniendo así el circuito impreso.

Debemos de aclarar que esta técnica no es la única que se puede emplear, ya que en el mercado existen accesorios que

facilitan esta labor. Como por ejemplo, el uso de tabletas fotográficas, o también, haciendo uso de la técnica "Press-n-Pell", la cual consiste en hacer una copia impresa del circuito, y con ayuda de hojas especiales que reaccionan al calor, se puede transferir inmediatamente el circuito a la tableta. Los diseños de estos circuitos impresos se muestran en las figuras 2.8, 2.9, 2.10, 2.11, 2.12 y 2.13, mostrando además, las ubicaciones y las vistas de los componentes.

Existen otros tipos de software que se pueden encontrar en el mercado tal es el caso del EAGLE que es una herramienta muy útil, ya que solo se le proporciona el diagrama esquemático y automáticamente produce su respectivo circuito impreso.

P A R T E I I .

LIMITACIONES DEL PROYECTO

Debido a algunas limitaciones técnicas que se tuvieron a lo largo del desarrollo de este proyecto, no pudieron ser complementadas en su totalidad algunas de las funciones que debía poseer nuestro circuito. Nos referimos específicamente al uso, para un total control, de la computadora, ya que con la que se contaba solo poseía 2 Megabytes de memoria RAM de los cuales bastante de este espacio es utilizado por programas siempre residentes dejando al usuario un espacio de memoria muy limitado para nuestras pretenciones. Luego se decidió hacer un almacenamiento en forma directa en floppy disk pero este proceso es muy lento a comparación con la velocidad con que trabaja el codec, por lo tanto también se descartó. Entonces como una alternativa de solución a estos problemas se decidió el diseño puramente digital de nuestro sistema DELTA quedando superitados solamente a la capacidad de memoria RAM que fuera utilizada. Otra limitación que adolece nuestro circuito es el hecho de que no puede reproducir y codificar al mismo tiempo la información analógica que entra debido a que el codec solo puede funcionar en una de las formas a la vez, es decir, o solo en codificación o solo en decodificación.

Volviendo a la capacidad de memoria con que cuenta el

circuito, este solo podrá hacer una grabación en un tiempo aproximadamente de 3.2 segundos si se trabaja con una frecuencia de muestreo de 40 Khz. Si la disminuimos hasta 32 Khz podríamos lograr un tiempo de grabación de hasta 4 segundos sin perder fidelidad en la recuperación de la señal.

Además es muy difícil la disponibilidad del codec MC3417 ya que es un IC que no se encuentra en el comercio de nuestro país, y su información teórica es muy escasa. Por lo tanto fue necesario recurrir a la información que se proporcionan en unas guías de laboratorio hechas por la firma LAB-VOLT, basando nuestro trabajo en esto.

RECOMENDACIONES Y CONCLUSIONES.

Hemos visto que todos los tipos de modulación digital que existen son muy versátiles, unos más que otros y unos con más ventajas que otros pero el fin es el mismo: llegar a codificar en un formato digital toda clase de información analógica con la mayor fidelidad posible. Para nuestro circuito de aplicación podemos decir que es una buena manera de codificar señales analógicas. Estas señales analógicas debemos de recordar que deben de estar entre el rango de lo que es el audio como por ejemplo voz humana y la música. Por lo tanto no debemos de sobrepasar este rango ya que puede producir distorsión en la recuperación de la señal. Por ello sugerimos que se haga uso de un filtro pasa bajos a la entrada, para así poder rechazar las frecuencias más allá del rango establecido.

Es recomendable también hacer uso de memorias de mayor capacidad de almacenamiento, para así tener mayores intervalos de tiempo en la grabación. Se podría hacer uso de memorias RAM dinámicas pero esto implica aumento en circuitería debido al refrescamiento de que se necesita, es decir, sacrificar una cosa para obtener otra. Por ejemplo, al hacer uso de una memoria de 2M x 8 tendríamos un tiempo de grabación de aproximadamente 7 minutos lo cual es algo considerable pero

aún insuficiente si se compara con el tiempo de grabación de una cinta magnética. En la actualidad el uso constante que se le está dando a la Modulación Digital es su aplicación en telefonía y un ejemplo palpable es que en nuestro país, ANTEL ya está modernizando sus centrales con todos estos sistemas.

También es posible llegar a sustituir la mayoría de circuitería digital por toda una interfaz que solo dependa del control total de la computadora, y esto implica un software bastante largo y un tanto complicado que haría todas las funciones de la circuitería digital. También esto trae consigo, que se cuente con bastante capacidad de memoria y realizar el programa en un lenguaje de bajo nivel como lo es el Lenguaje Ensamblador el cual nos proporciona una gran velocidad para la captura de datos.

Volviendo al circuito digital, se podría implementar un circuito amplificador a la salida del filtro, que cuente con controles de ajuste de sonido, es decir, que controle bajos, altos, darles énfasis a ciertas frecuencias y atenuar otras para poder mejorar aún más la calidad del sonido que se escucha.

Hay que recordar que los sistemas digitales son de mayor costo que los analógicos, pero esto se compensa por la calidad obtenida, integrabilidad de los sistemas (audio, video, datos) y, nuevos servicios ofrecidos.

A P P E N D I C E A.

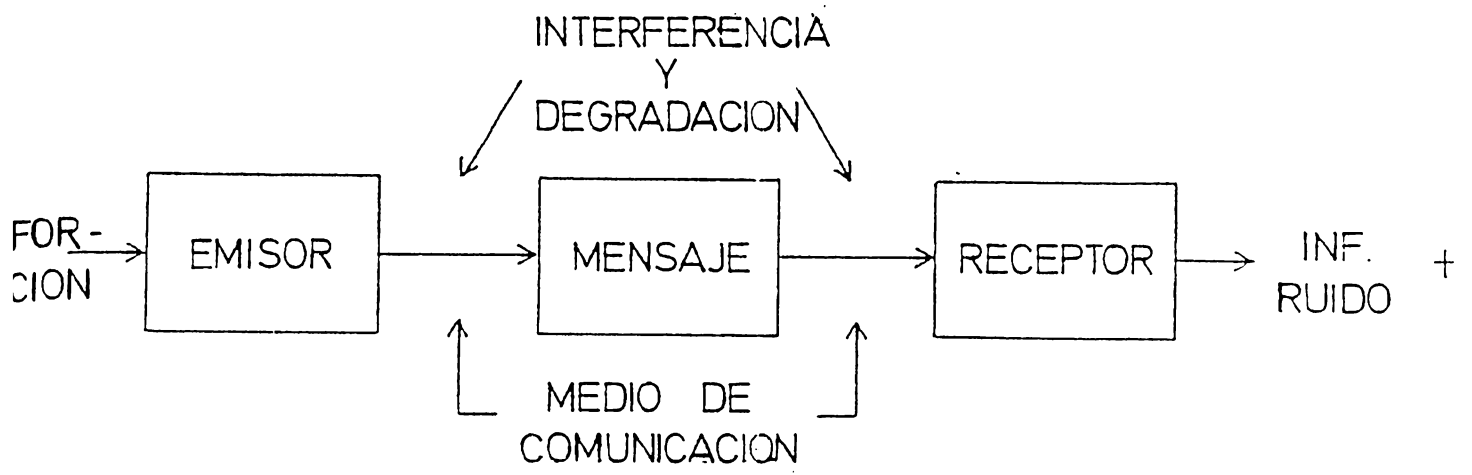


FIG 1.1 PROCESO DE COMUNICACION.

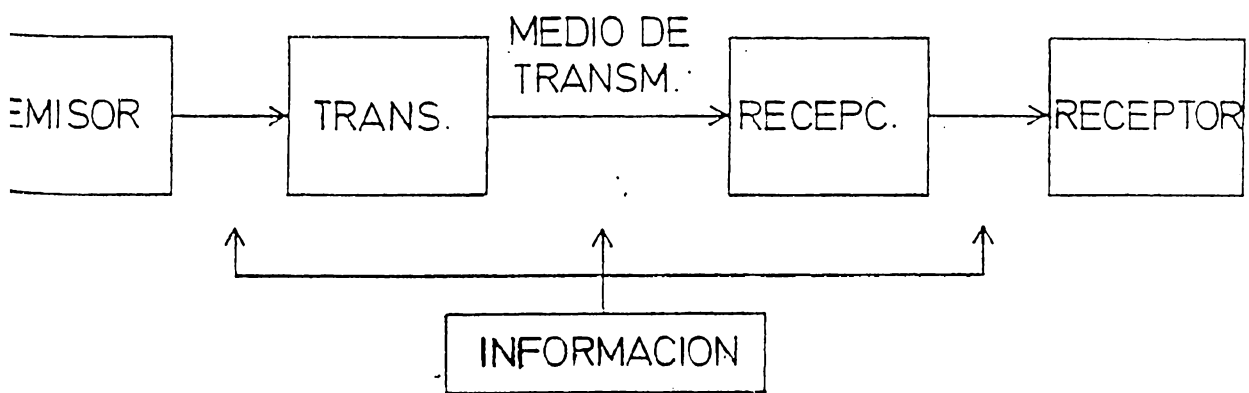


FIG1.2.MODELO DE COMUNICACION MODIFICADO.

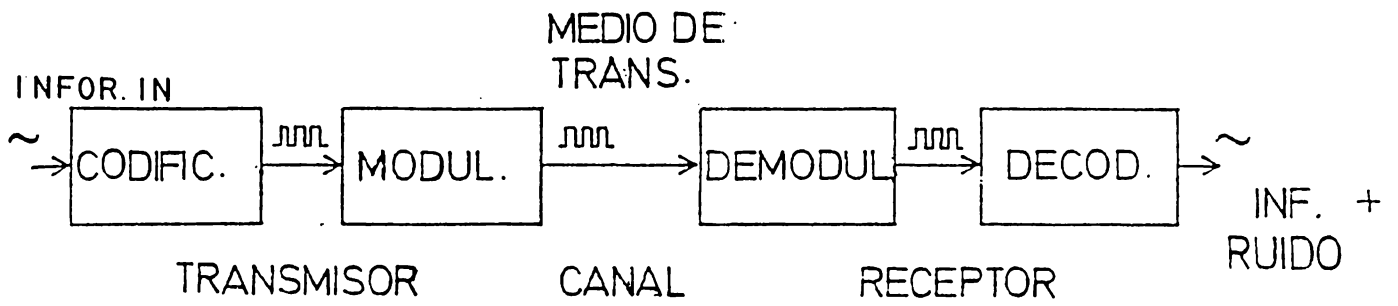


FIG 1.3 MODELO DE COMUNICACION DIGITAL.

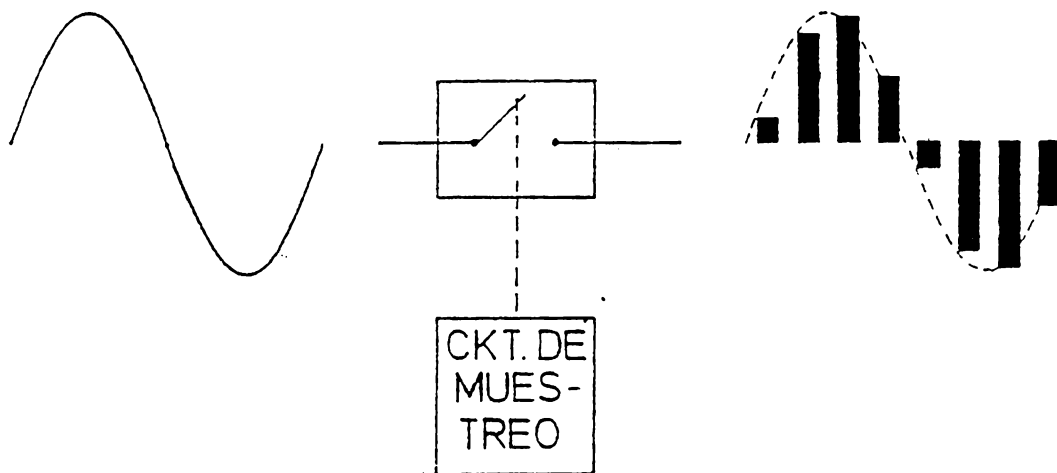


FIG 1.4 MUESTREO DE UNA SENAL ANALOGICA.

M_n : MUESTRA ENESIMA ; n : 1, 2, 3,

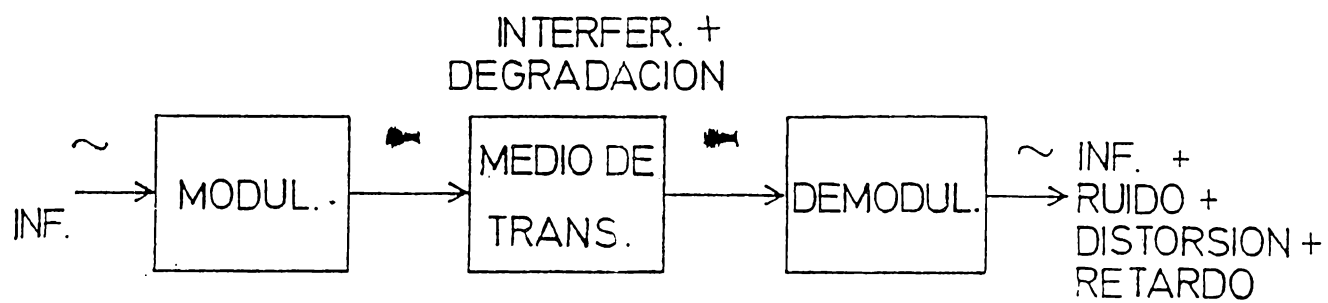


FIG 1.5 MODELO DE COMUNICACION ANALOGICO.

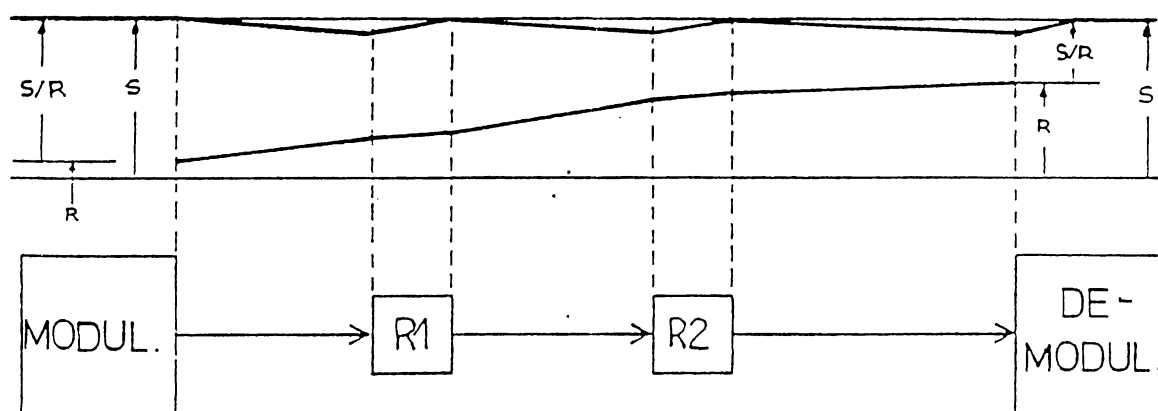


FIG 1.6 . PROCESO DE COMUNICACION ANALOGICO DONDE :

S/R: RELACION SENAL A RUIDO

S: ES LA SENAL DE INFORMACION

R: RUIDO DEL MEDIO

R1 Y R2: REPETIDORES REGENERATIVOS

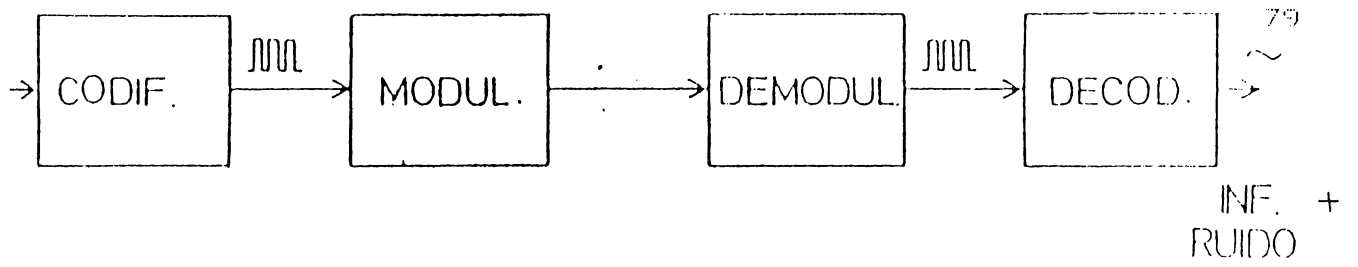


FIG 1.7. PROCESO DE COMUNICACION.

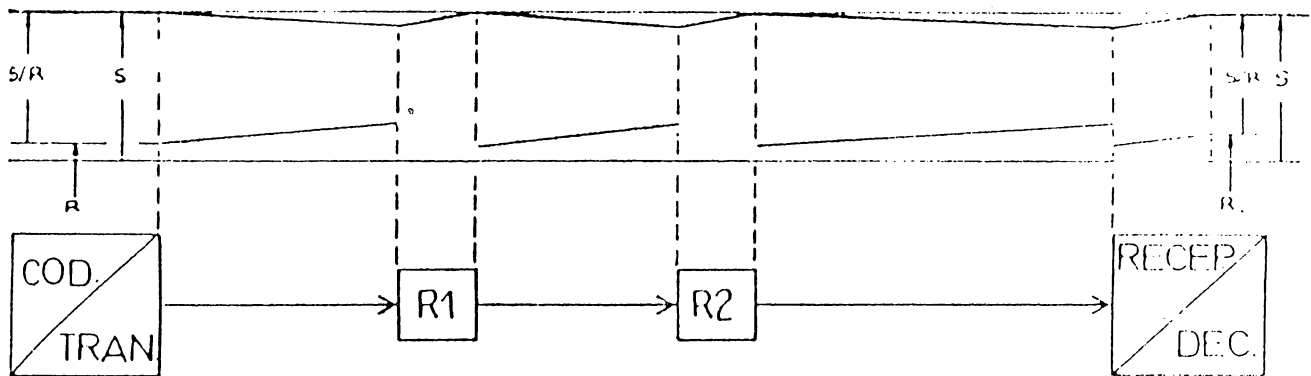


FIG 1.8. PROCESO DE COMUNICACION DIGITAL MEDIANTE REPETIDORAS R1 Y R2.

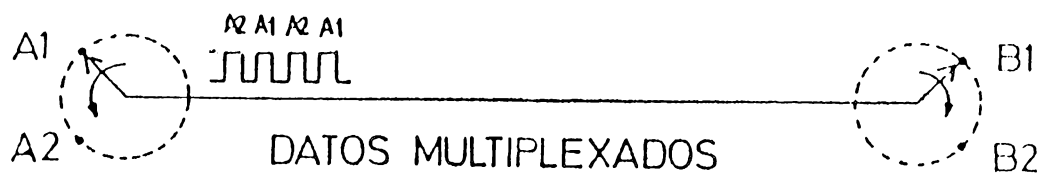


FIG 1.9 . COMUNICACION ENTRE DOS AFLUENTES CON R1 Y R2.

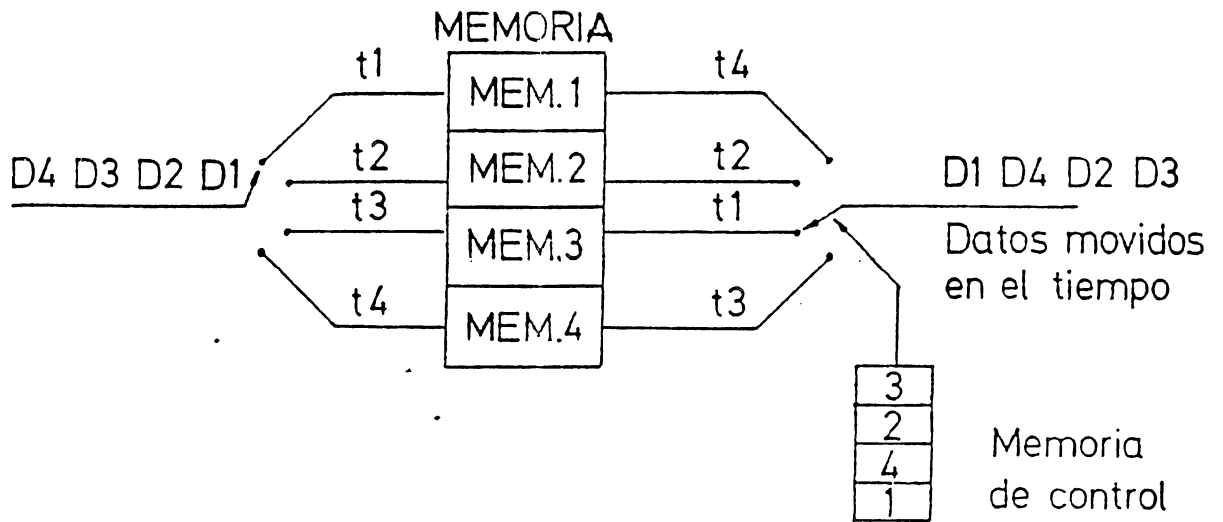


FIG 1.10 .COMMUTACION TEMPORAL.

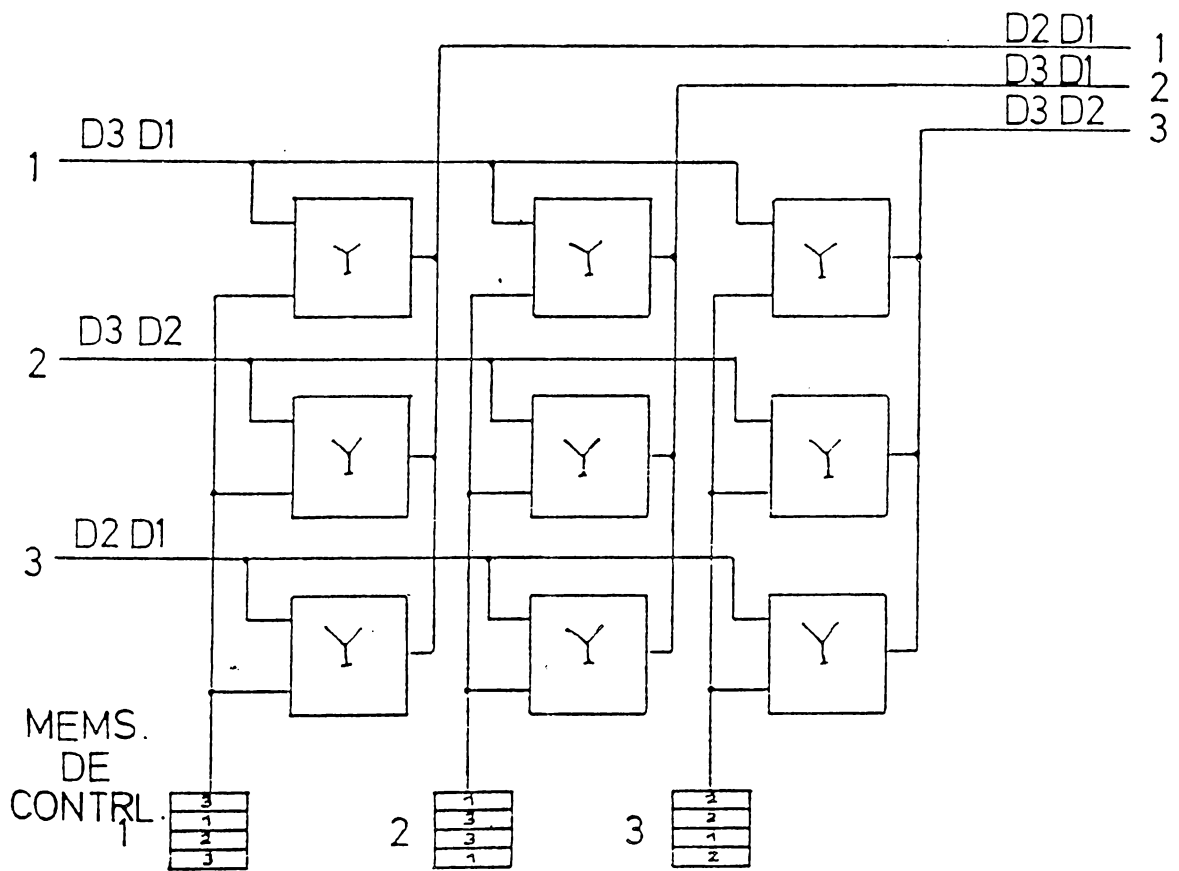


FIG 1.11.COMMUTACION ESPACIAL.

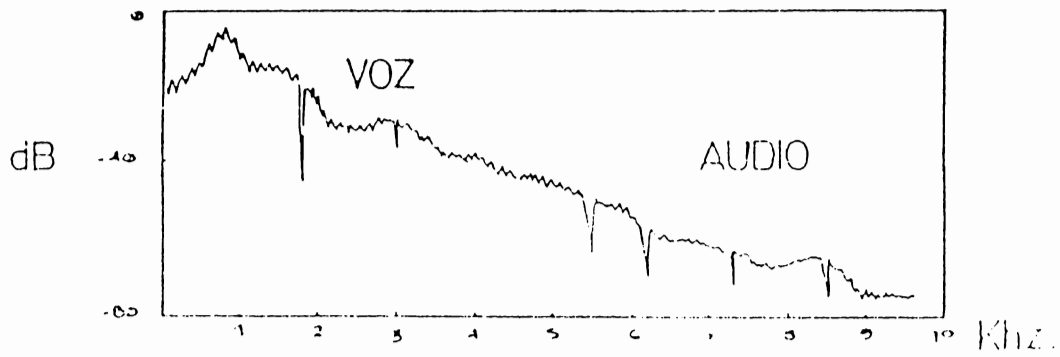


FIG 1.12 .ESPECTRO DE UNA SEÑAL ALEATORIA DENTRO DE TODO EL ESPECTRO DE VOZ Y AUDIO.

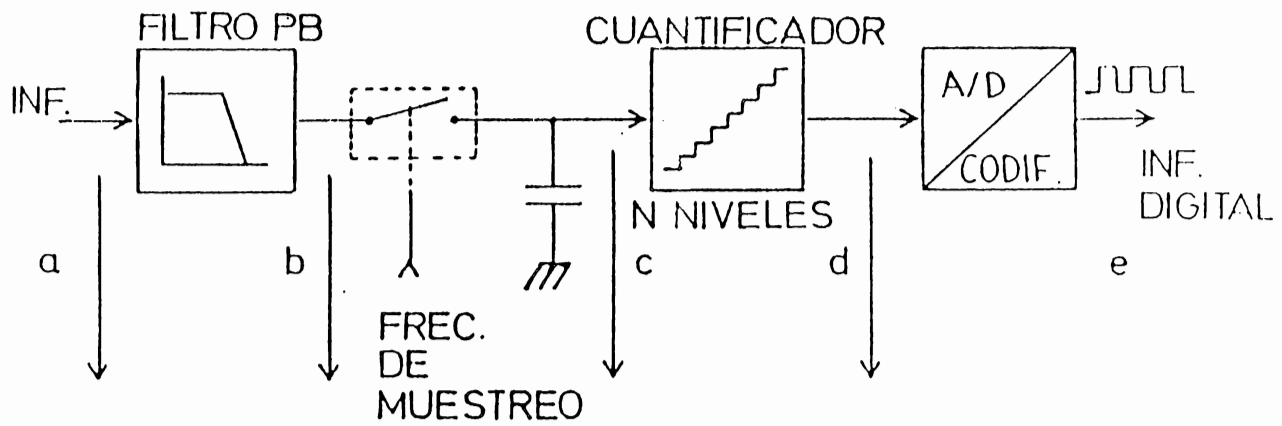


FIG 1.13 .PROCESO DE CODIFICACION MIC DE UNA SEÑAL ANALOGICA.

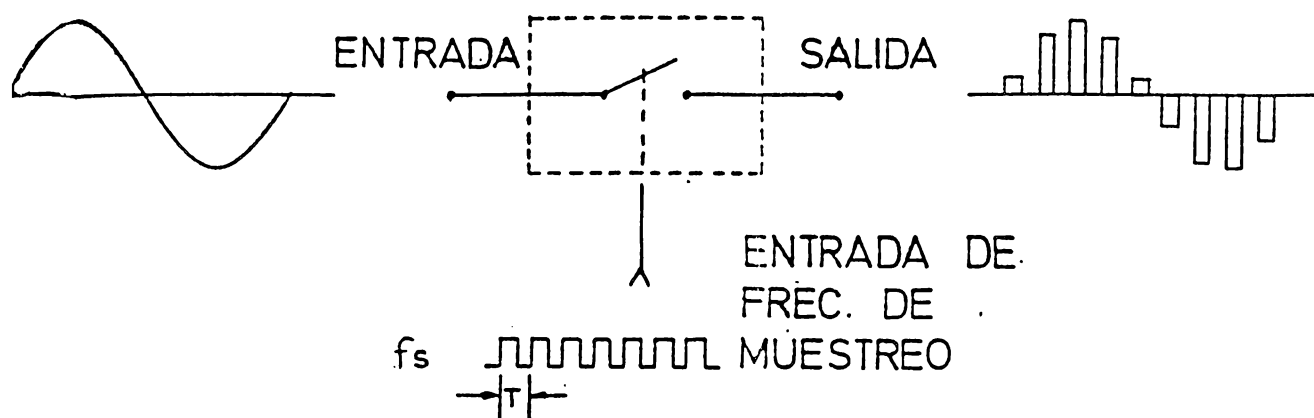


FIG 1.14 . PROCESO DE MUESTREO.

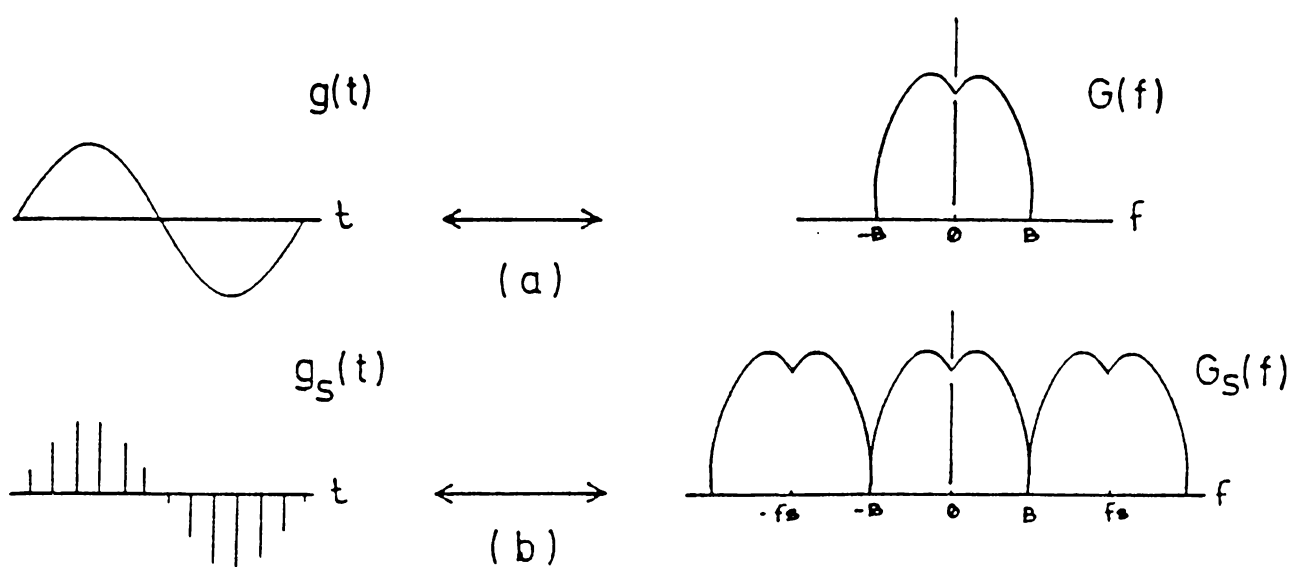


FIG 1.15 . a) PAR DE LA TRANSFORMACION DE UNA SENAL $g(t)$ DE FRECUENCIA B .
 b) PAR DE LA TRANSFORMACION DE UNA SENAL $g(t)$ DONDE B ES EL ANCHO DE BANDA DE LA SENAL; f_s ES LA FRECUENCIA DE MUESTREO ($2B = f_s$).

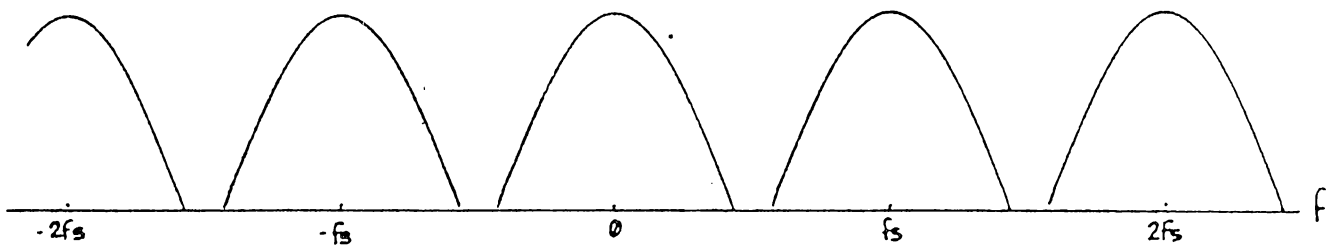


FIG 1.16 EFECTO DEL MUESTREO CUANDO $f > 2B$.

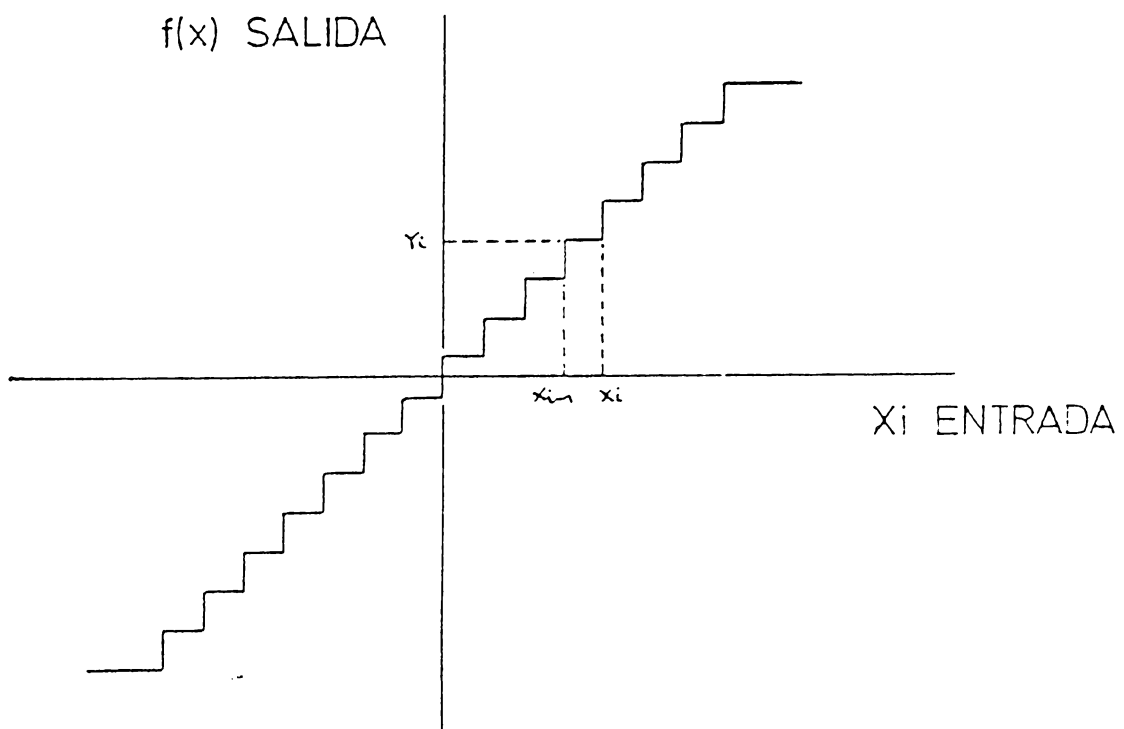


FIG 1.17 . RELACION DE CUANTIFICACION LINEAL.
 LOS VALORES COMPRENDIDOS ENTRE x_{i-1} , x_i
 SERAN CUANTIFICADOS AL VALOR y_i .

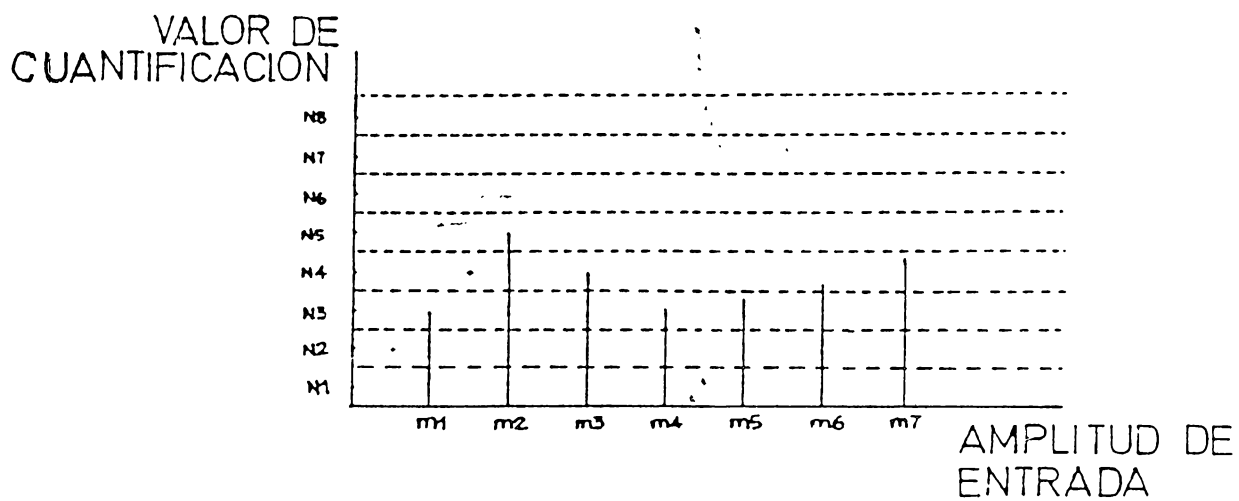


FIG 1.18 . CUANTIFICACION DE UNA SENAL ANALOGICA DE ACUERDO A 8 NIVELES DE CUANTIFICACION. LOS VALORES N SON LA MITAD DEL INTERVALO DE CUANTIFICACION CORRESPONDIENTE.

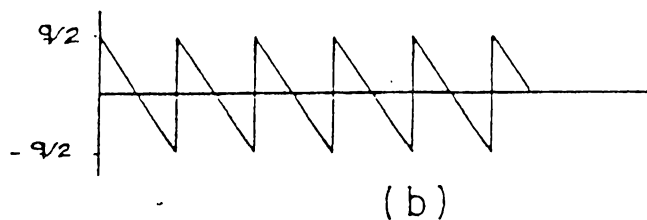
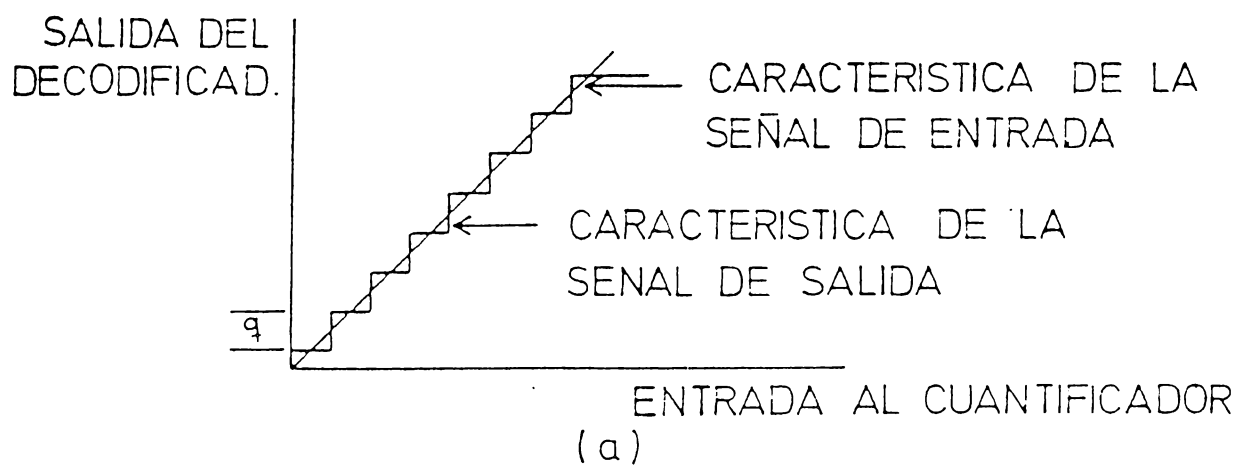
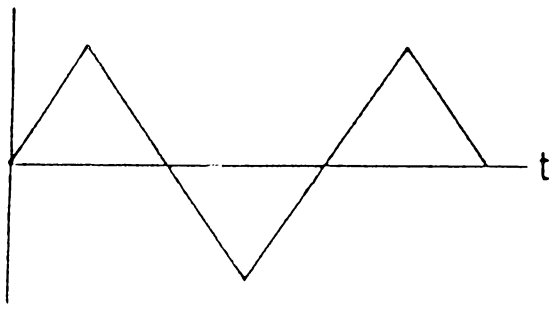
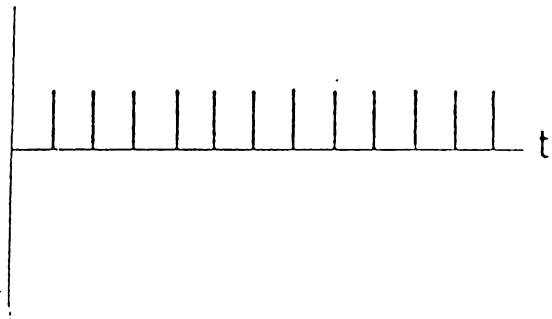


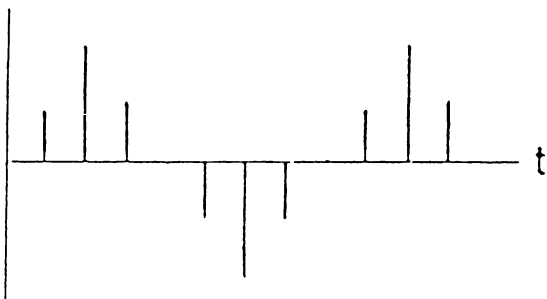
FIG 1.19 . a) DIFERENCIA CUANTITATIVA ENTRE LAS CARACTERISTICAS DE LAS SEÑALES DE INFORMACION DE ENTRADA Y SALIDA AL SISTEMA.
b) GRAFICA DE LA DIFERENCIA ENTRE LA SENAL DE ENTRADA Y SALIDA DEBIDO A LA CUANTIFICACION LINEAL.



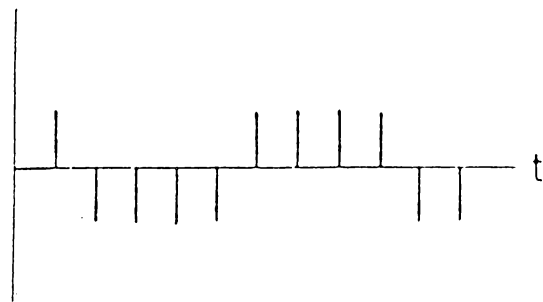
a)



b)



c)



d)

FIG 1.20 . a) SEÑAL EN TIEMPO DE BANDA B.
 b) IMPULSOS DE MUESTREO $f_m \gg B$.
 c) MUESTRAS PAM.
 d) DIFERENCIAS ENTRE MUESTRAS CONSECUTIVAS.

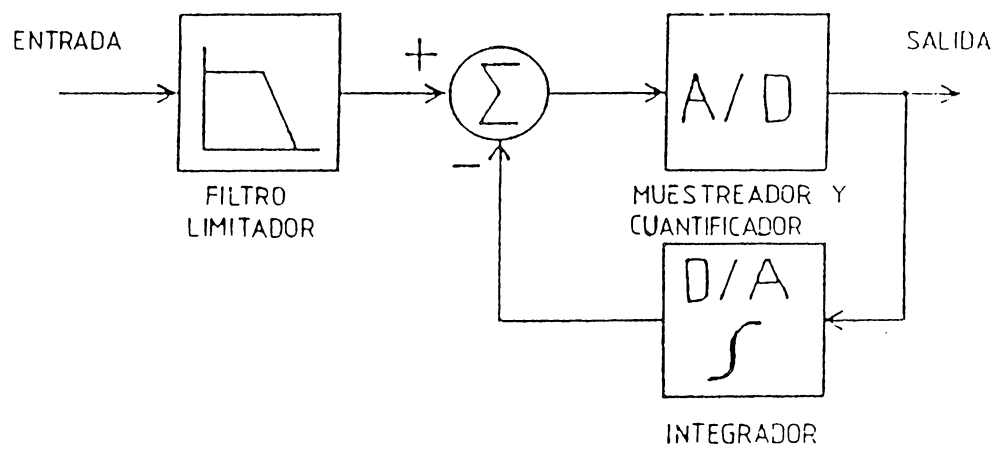


FIG 1.21. ESQUEMA GENERAL DE LOS SISTEMAS DPCM.

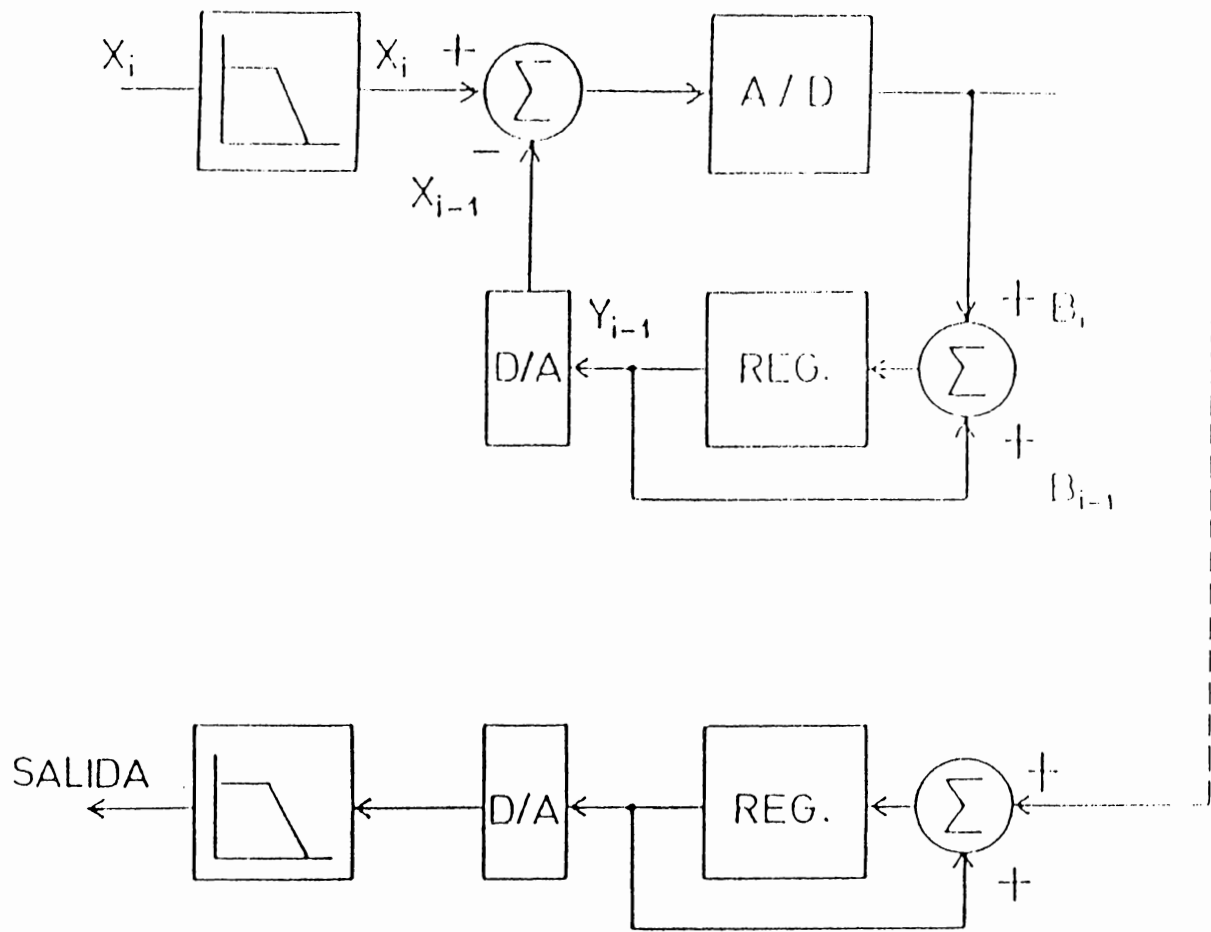


FIG 1.22. ESQUEMA DEL PROCESO DPCM MEDIANTE CIRCUITERIA ANALOGICA-DIGITAL.

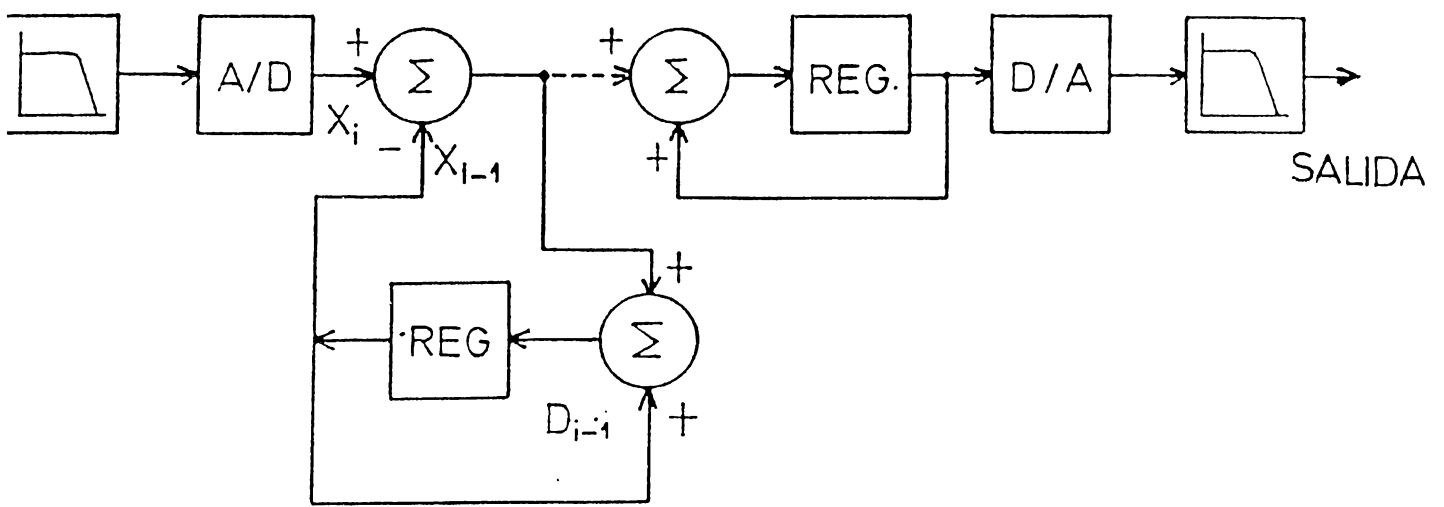


FIG 1.23 . IMPLEMENTACION DIGITAL DE LA TECNICA
MICD.

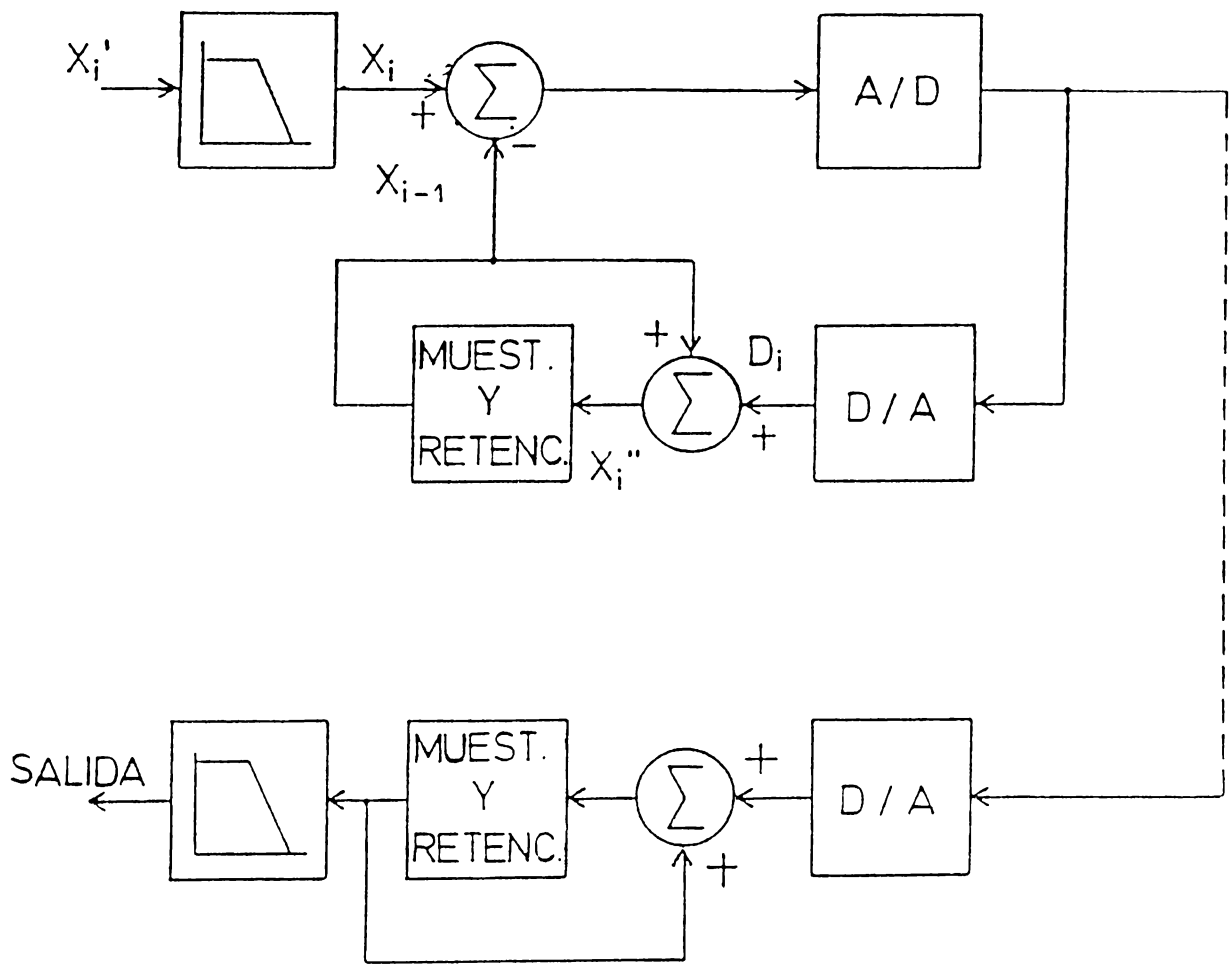


FIG 1.24 ESQUEMA DEL PROCESO DPCM MEDIANTE CIRCUITERIA ANALOGICA.

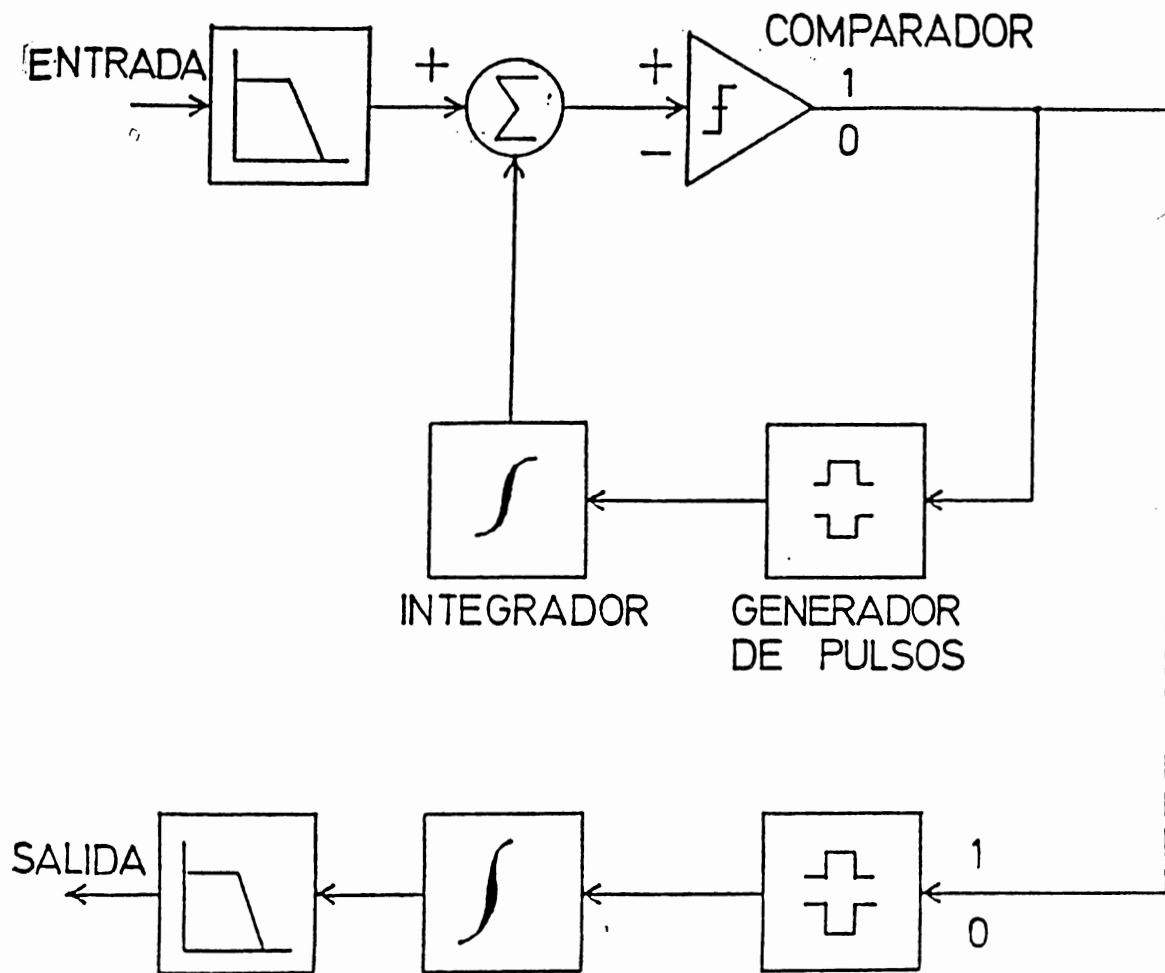


FIG 1.25. REPRESENTACION DEL CODIFICADOR-DECODIFICADOR PARA UN MODULADOR DELTA.

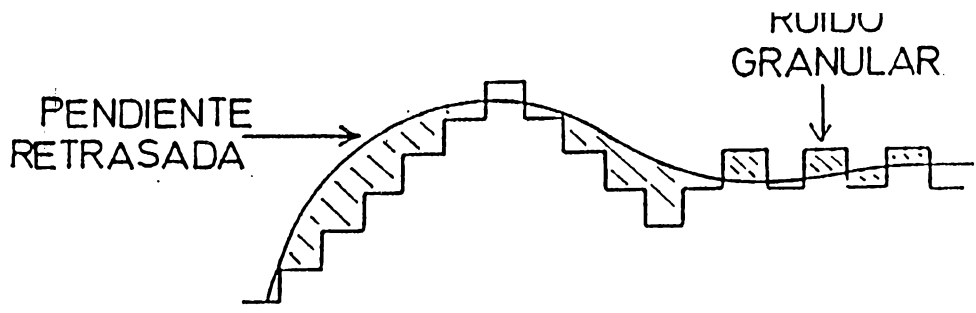


FIG 1.26 . REPRESENTACION DEL FUNCIONAMIENTO DE UN MODULADOR DELTA.
 LA CURVA CONTINUA ES LA SENAL DE INFORMACION Y LA ESCALONADA
 LA GENERADA EN EL INTEGRADOR.

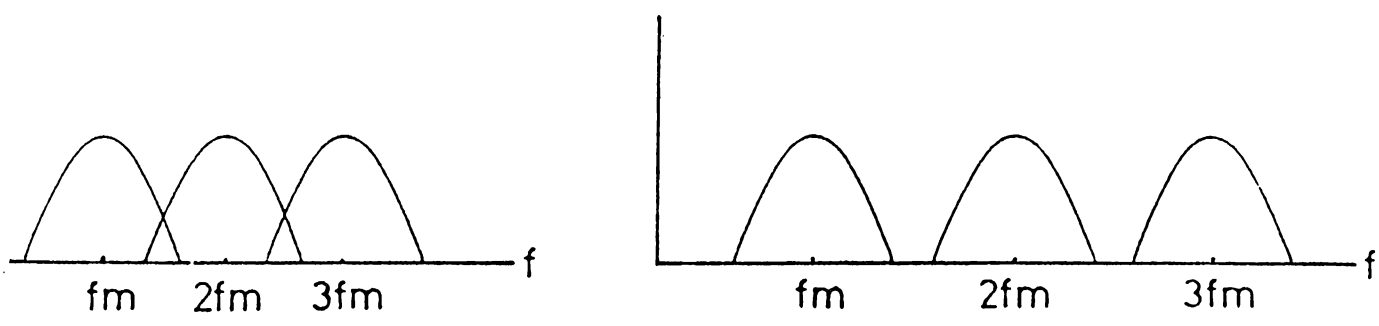


FIG 1.27 . a) ESPECTROS TRASLADADOS DEBIDO A UNA FRECUENCIA DE MUESTREO BAJA.
 b) ESPECTRO DE UNA SENAL MUESTREADA A UNA FRECUENCIA ALTA.

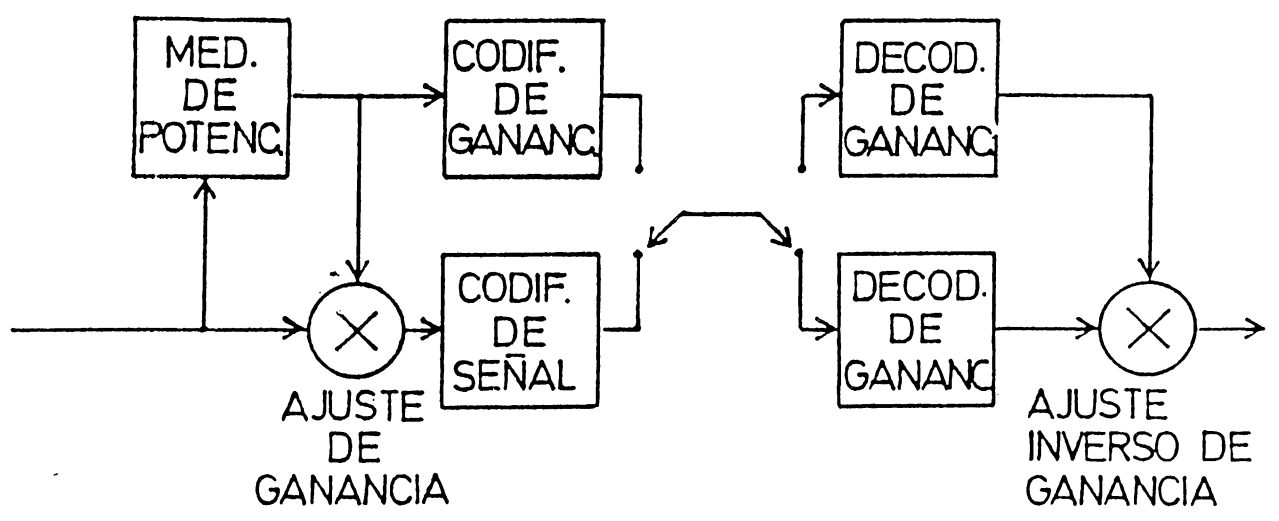


FIG 1.28 . PROCESAMIENTO EN LA TECNICA APCM.

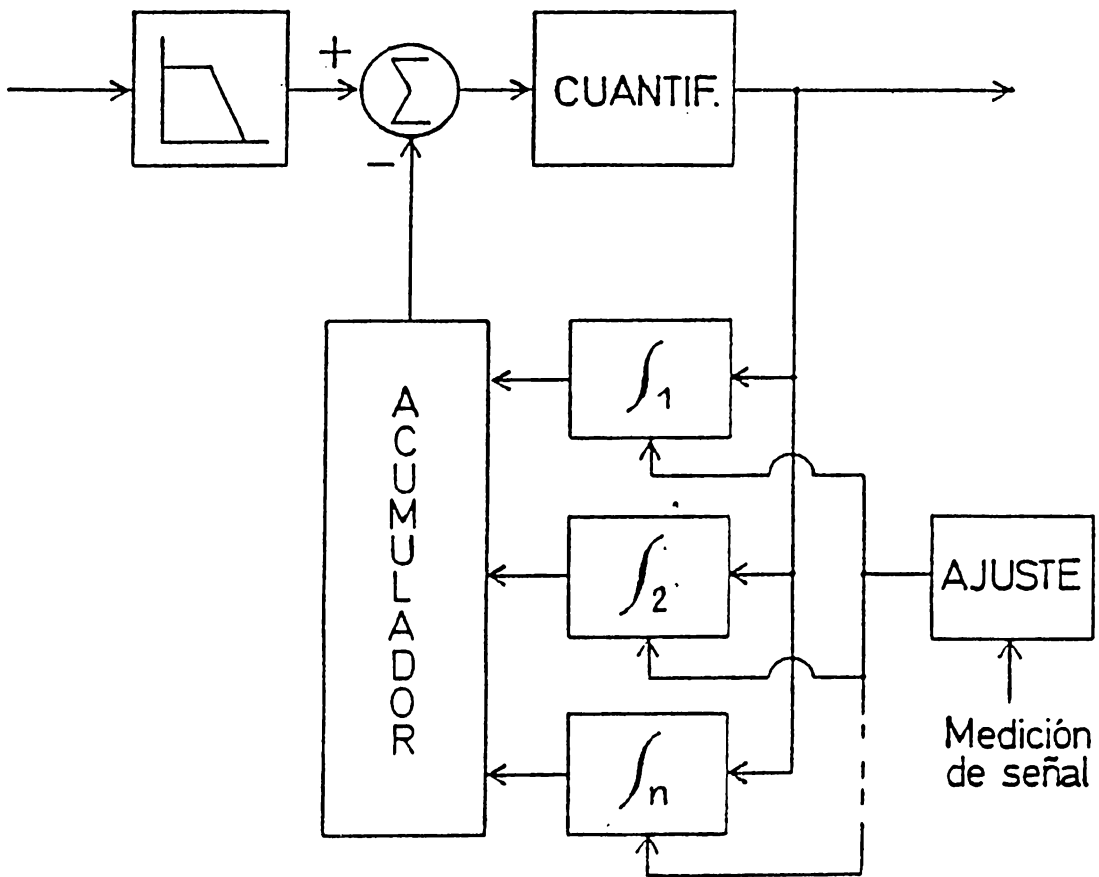


FIG 1.29 CUANTIFICADOR DIFERENCIAL DE ORDEN n DE PREDICTIVIDAD.

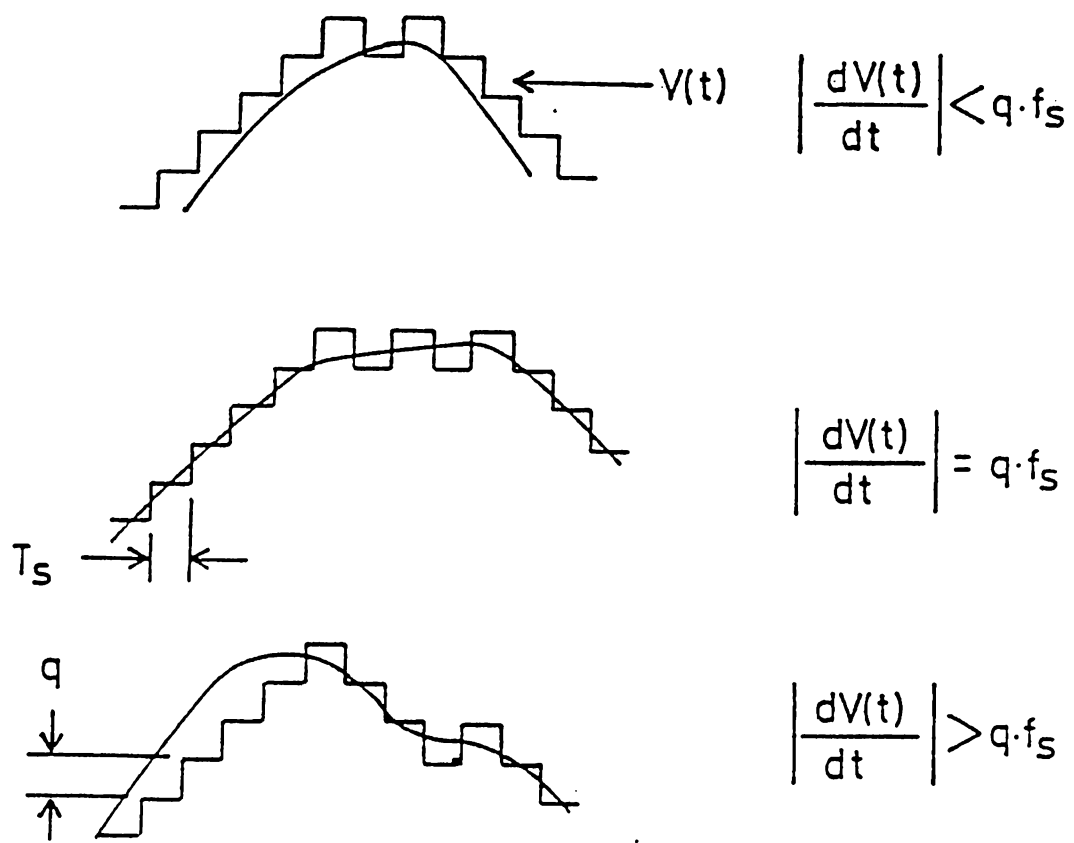
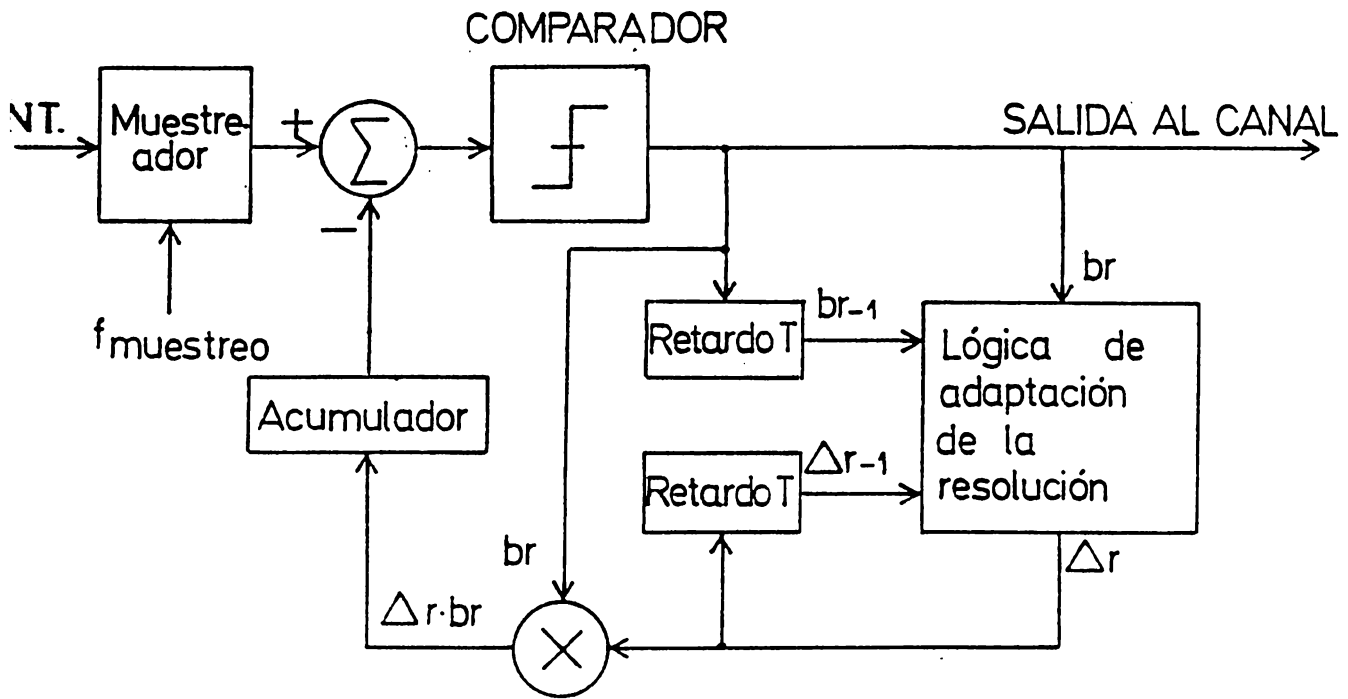
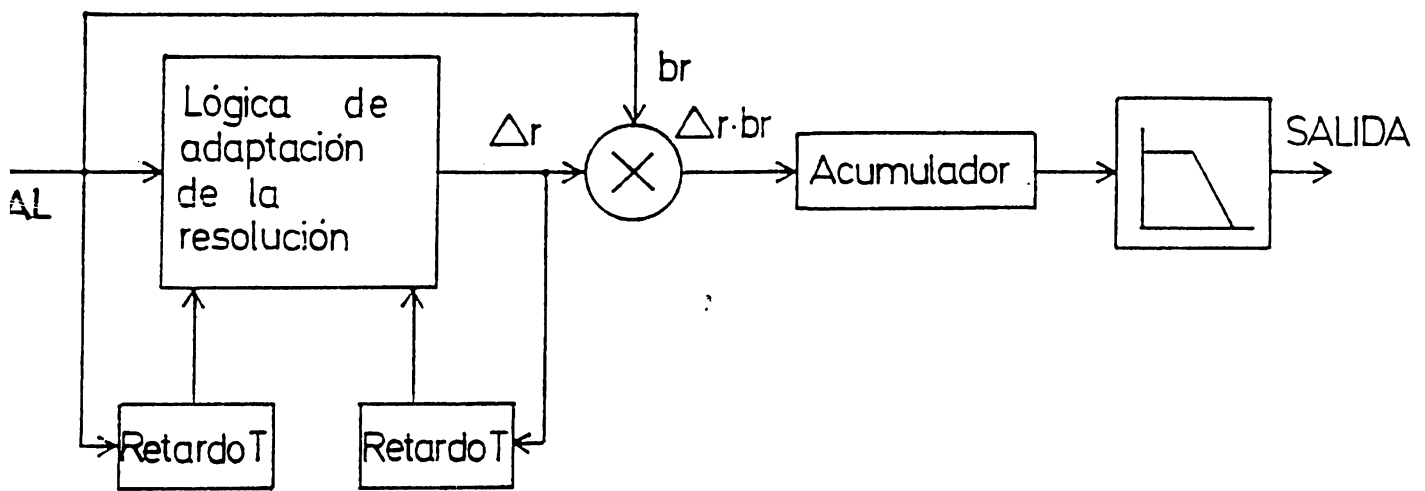


FIG 1.30. CARACTERÍSTICA DE CUANTIFICACION DE UN MODULADOR DELTA ADAPTATIVO.

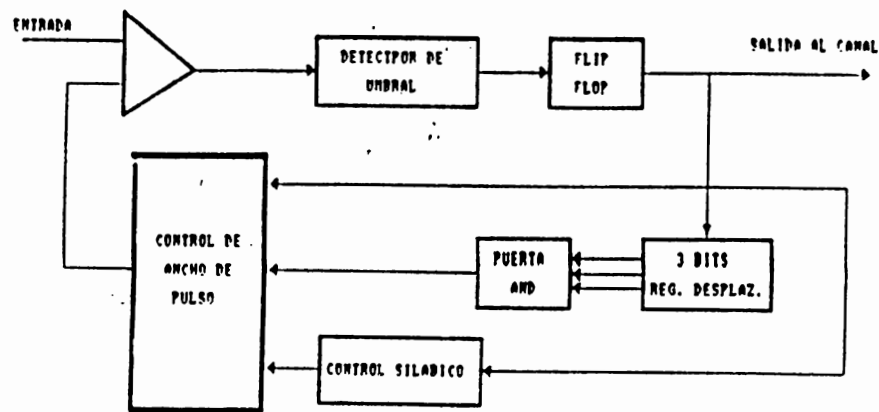


(a)



(b)

FIG 1.31. a) TRANSMISOR DELTA ADAPTATIVO.
b) RECEPTOR DELTA ADAPTATIVO.



(a)



(b)

FIG 1.32 . a) ESQUEMA DE UN CODIFICADOR CUSD.
b) DECODIFICADOR.

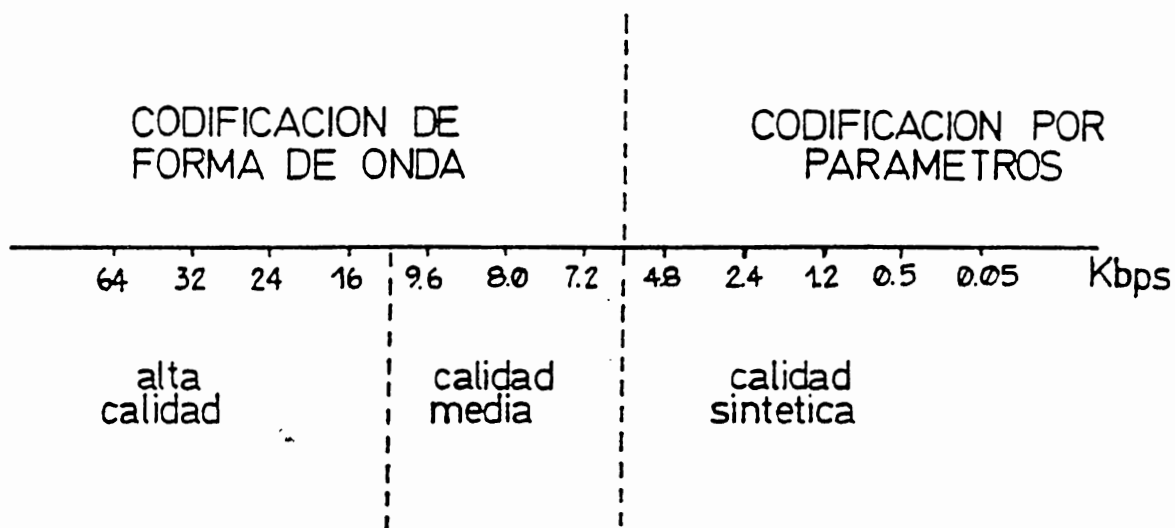


FIG 1.33 . COMPARACION ENTRE LAS DISTINTAS CALIDADES DE REGENERACION DE ACUERDO A LA VELOCIDAD DE TRANSMISION.

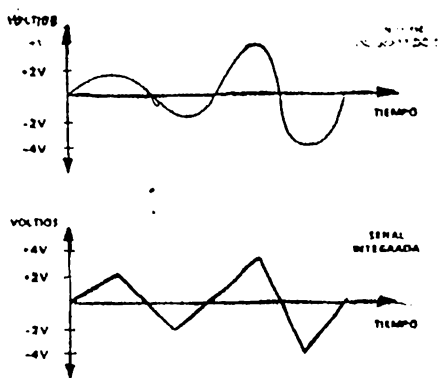


FIG. 1.34 .

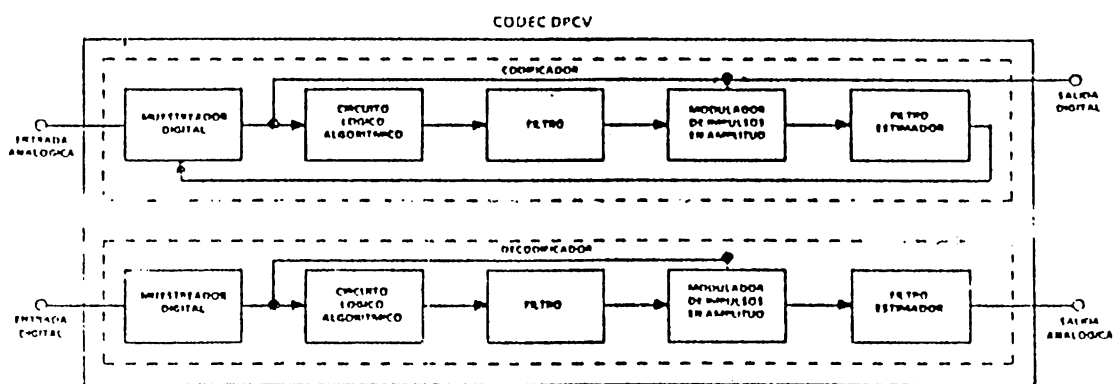


FIG. 1.35 .

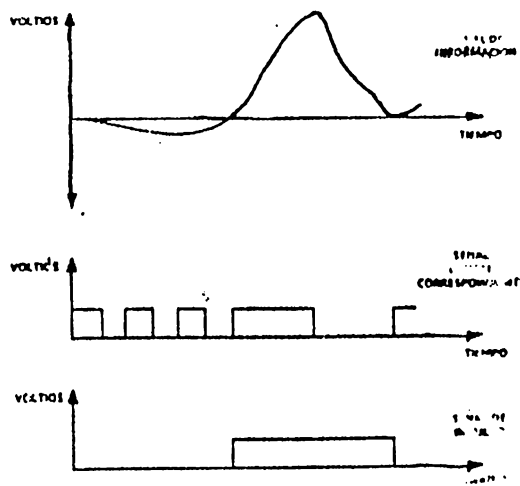


FIG. 1.36 .

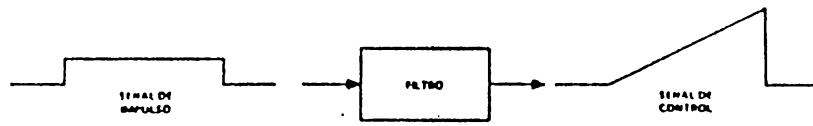


FIG 1.37

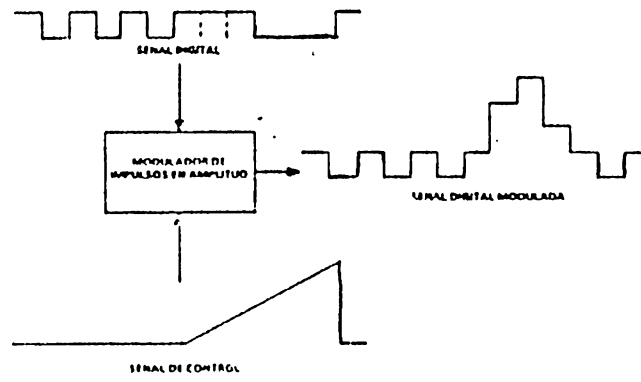


FIG 1.38 .

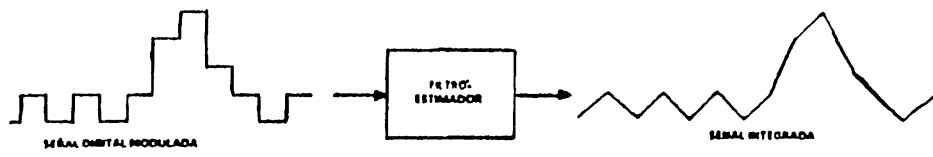


FIG 1.39 .

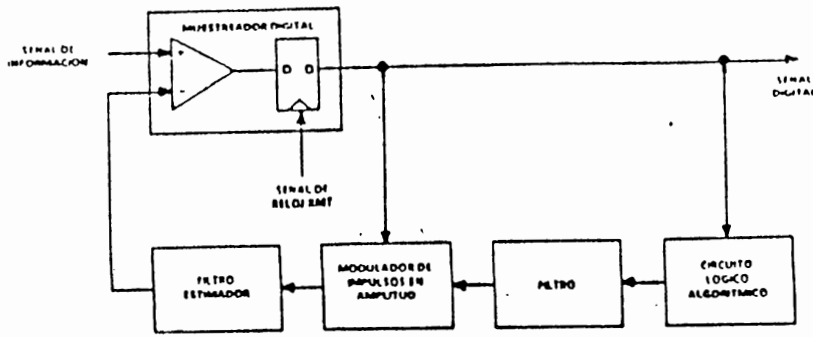


FIG. 1.40.

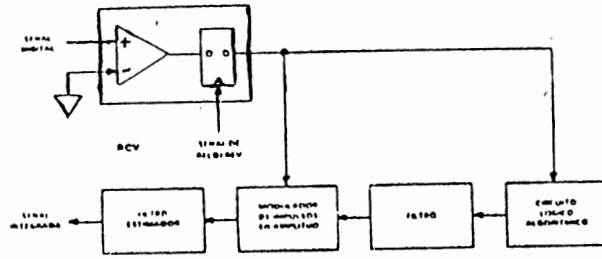


FIG. 1.41.

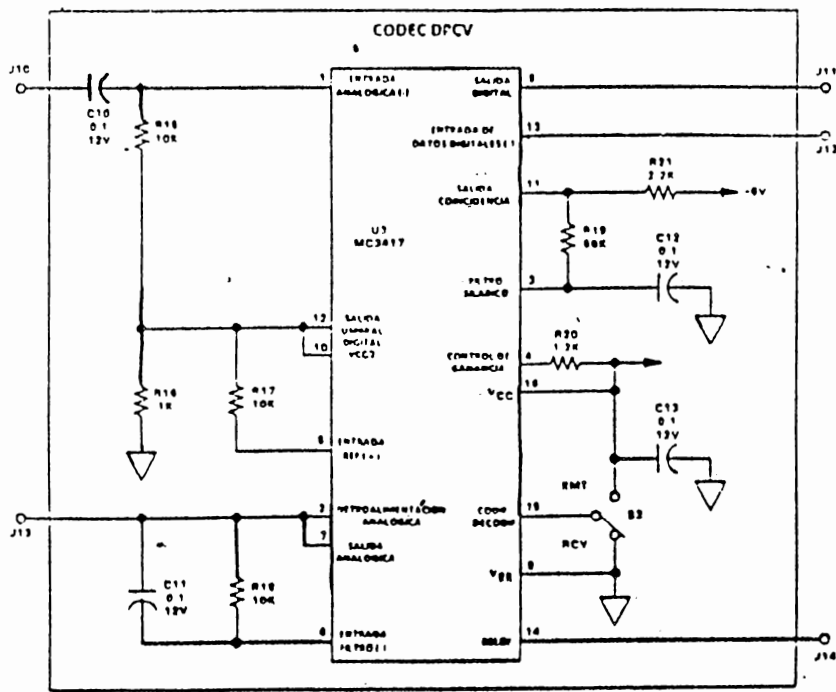


FIG. 1.42.

A P E N D I C E B.

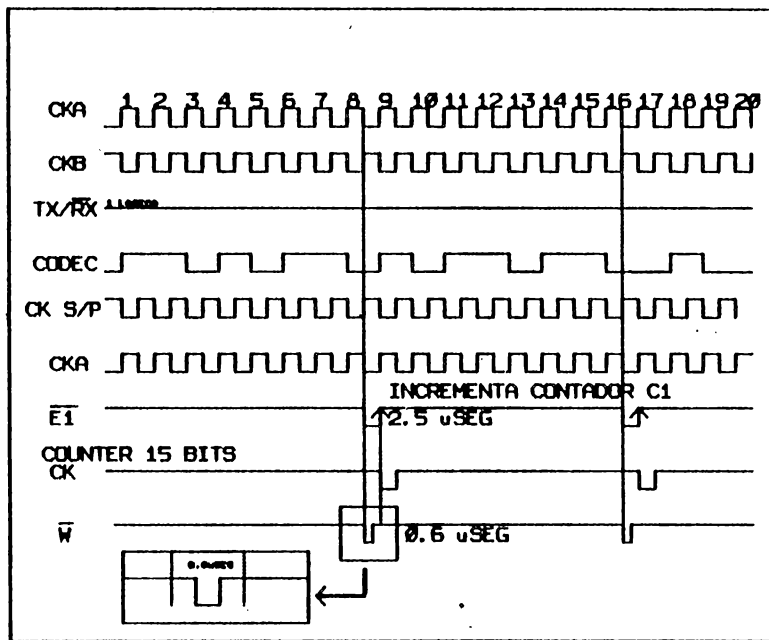


FIGURA 2.3

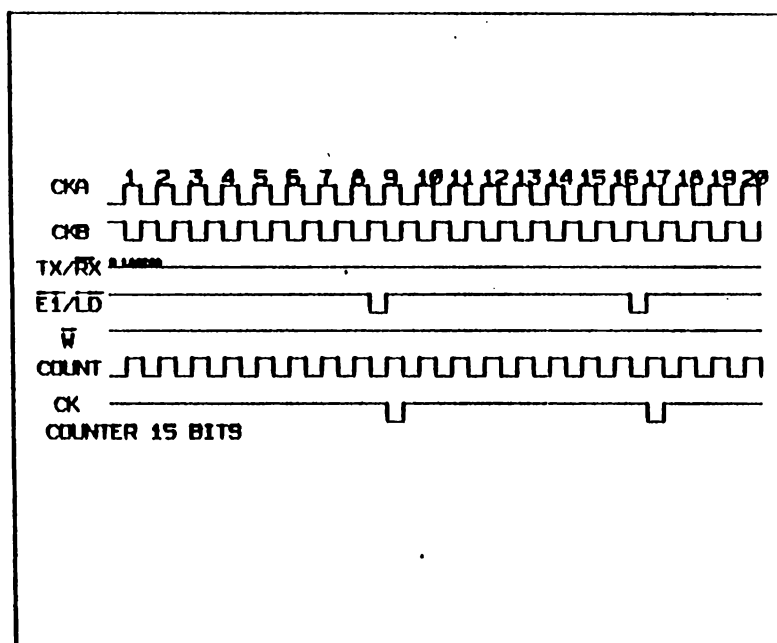


FIGURA 2.4 .

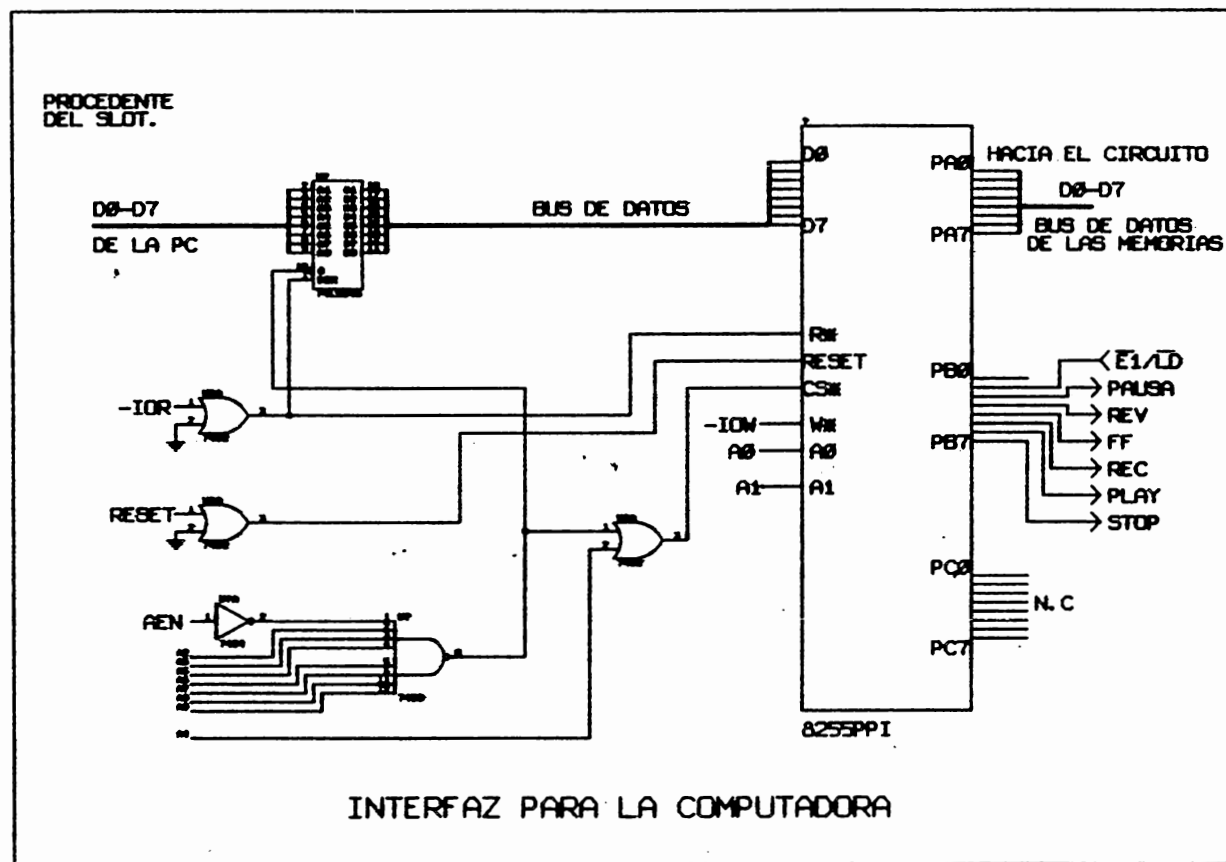


FIGURA 2.5 .

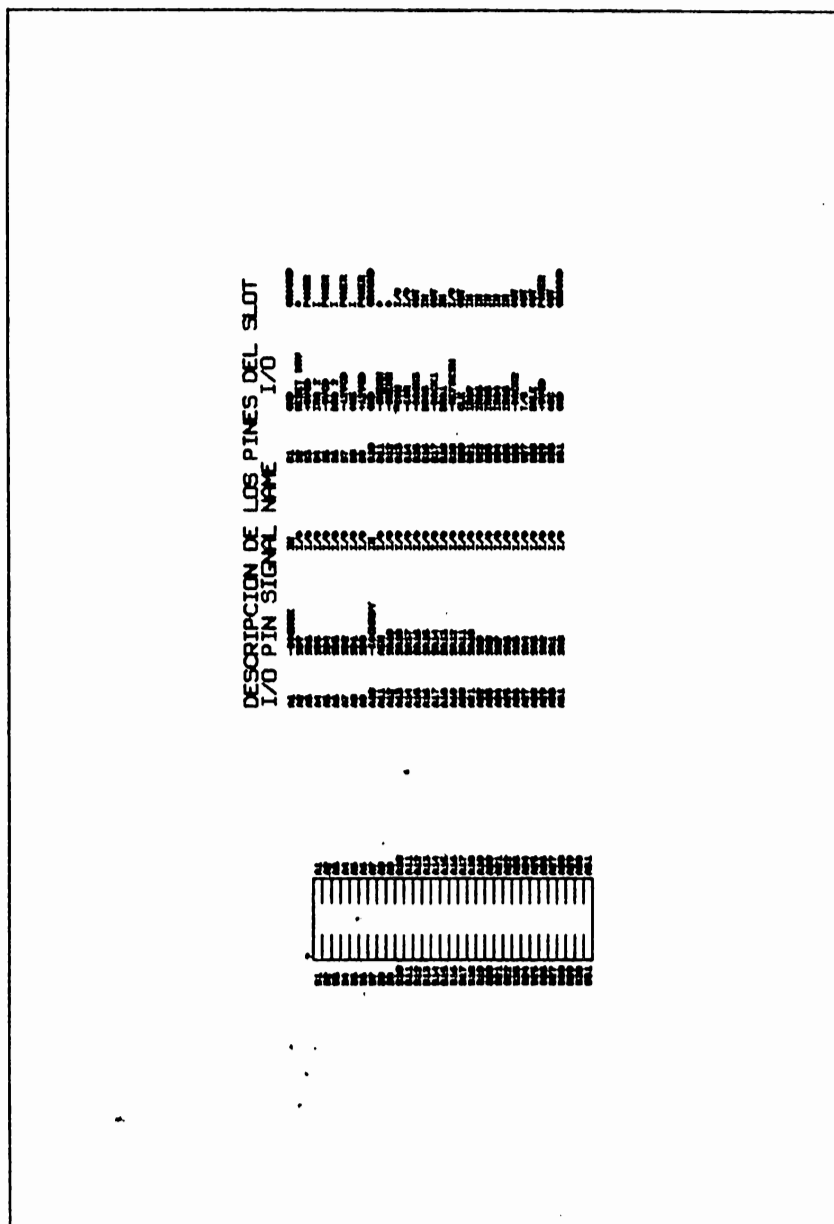


FIGURA 2.6 .

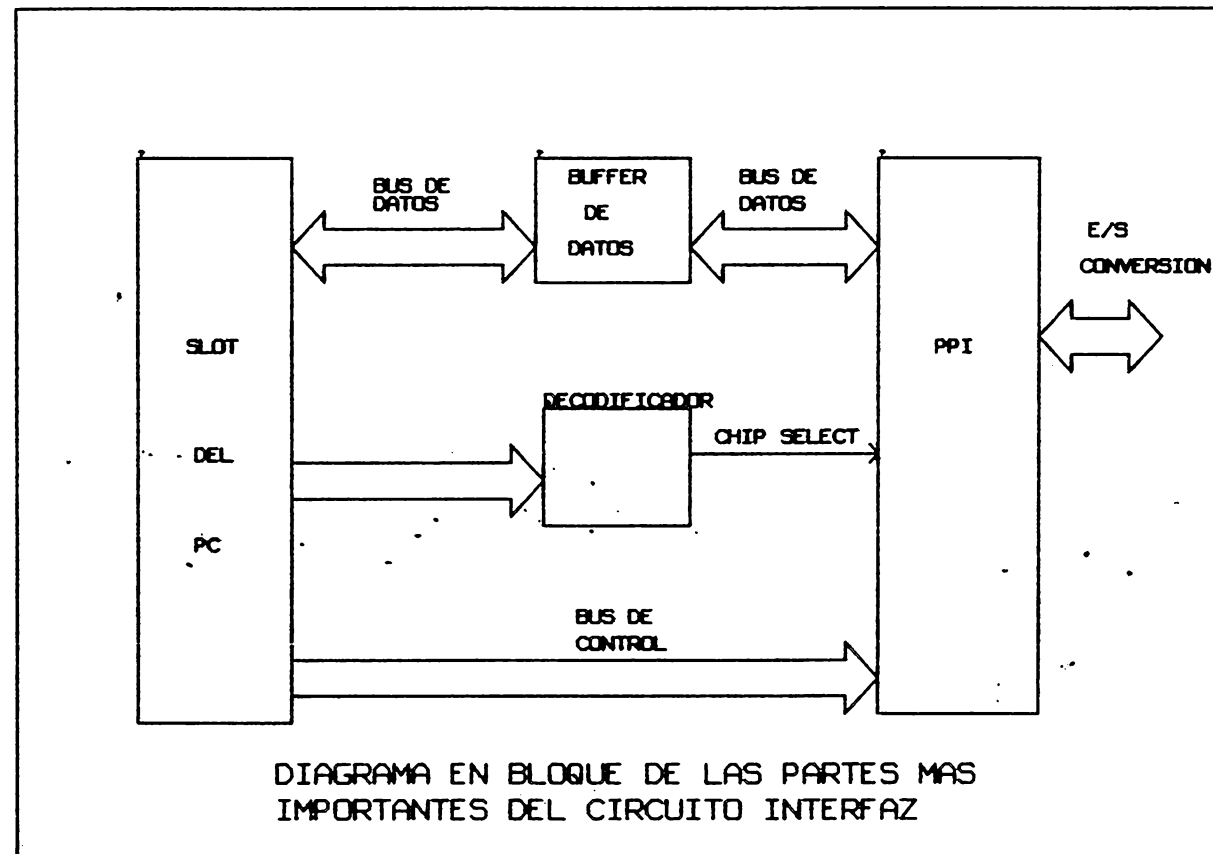


FIGURA 2.7.

1X checkplot 18 Mar 1994 12:58:27
 codec.sm2
 v1.2 r3 holes: 678 silkscreen
 approximate size: 6.35 by 6.30 inches

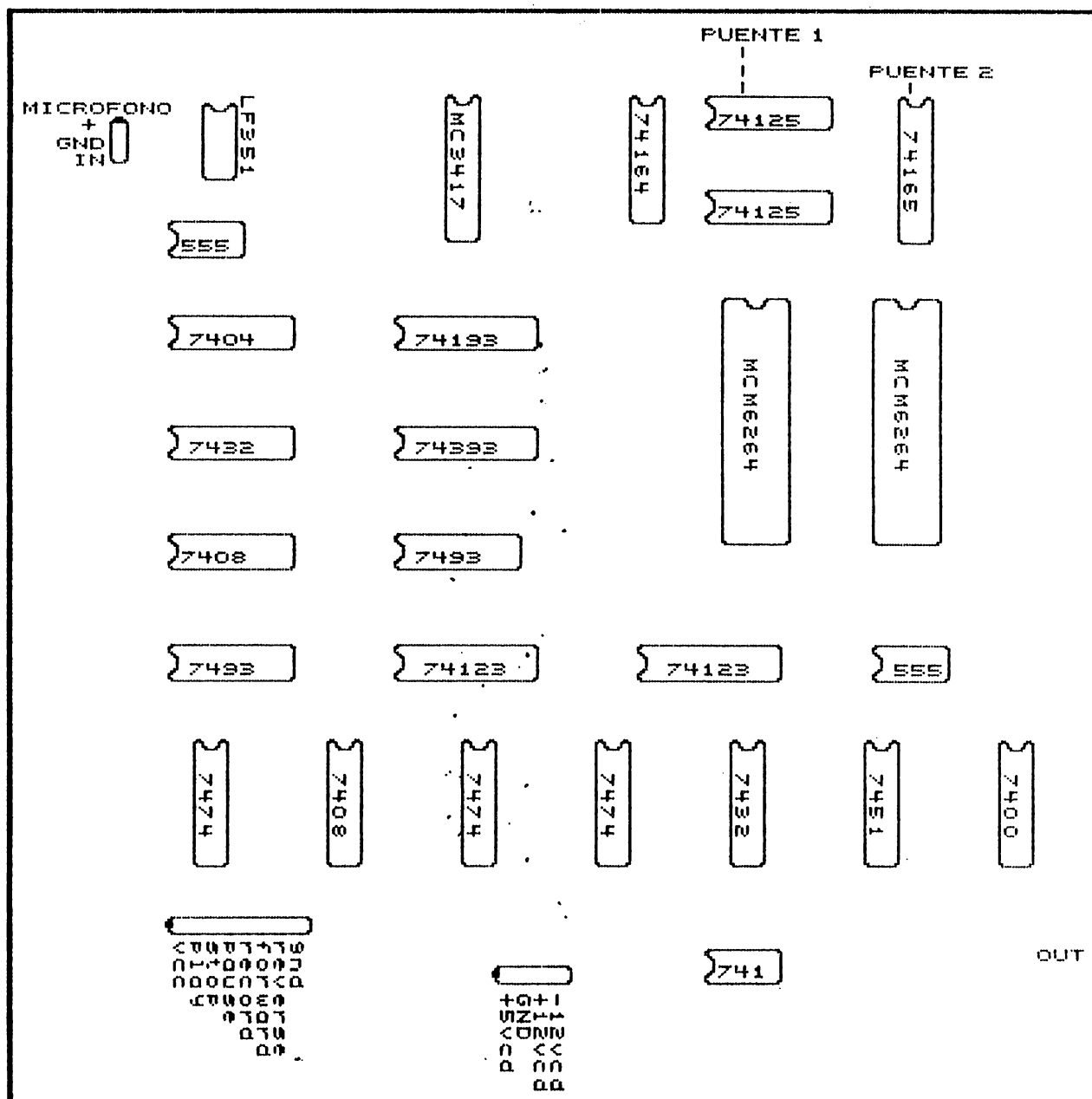


FIGURA 2.8

1X checkplot 18 Mar 1994 12:52:50
codec.sm2
v1.2 r3 holes: 678 component side
approximate size: 6.35 by 6.30 inches

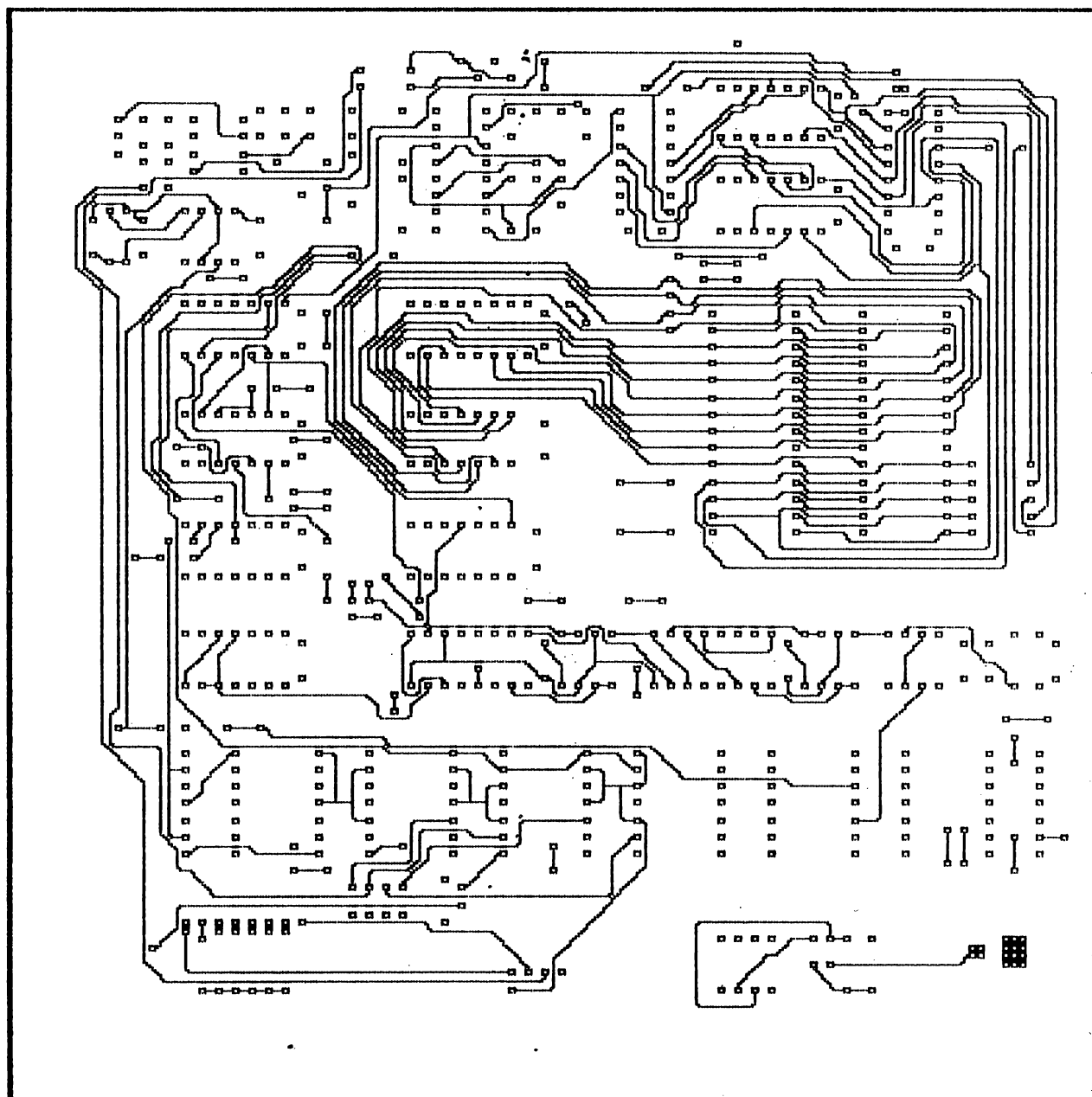


FIGURA 2.9 .

1X checkplot 18 Mar 1994 12:37:51
codec.sm2
v1.2 r3 holes: 678 solder side
approximate size: 6.35 by 6.30 inches

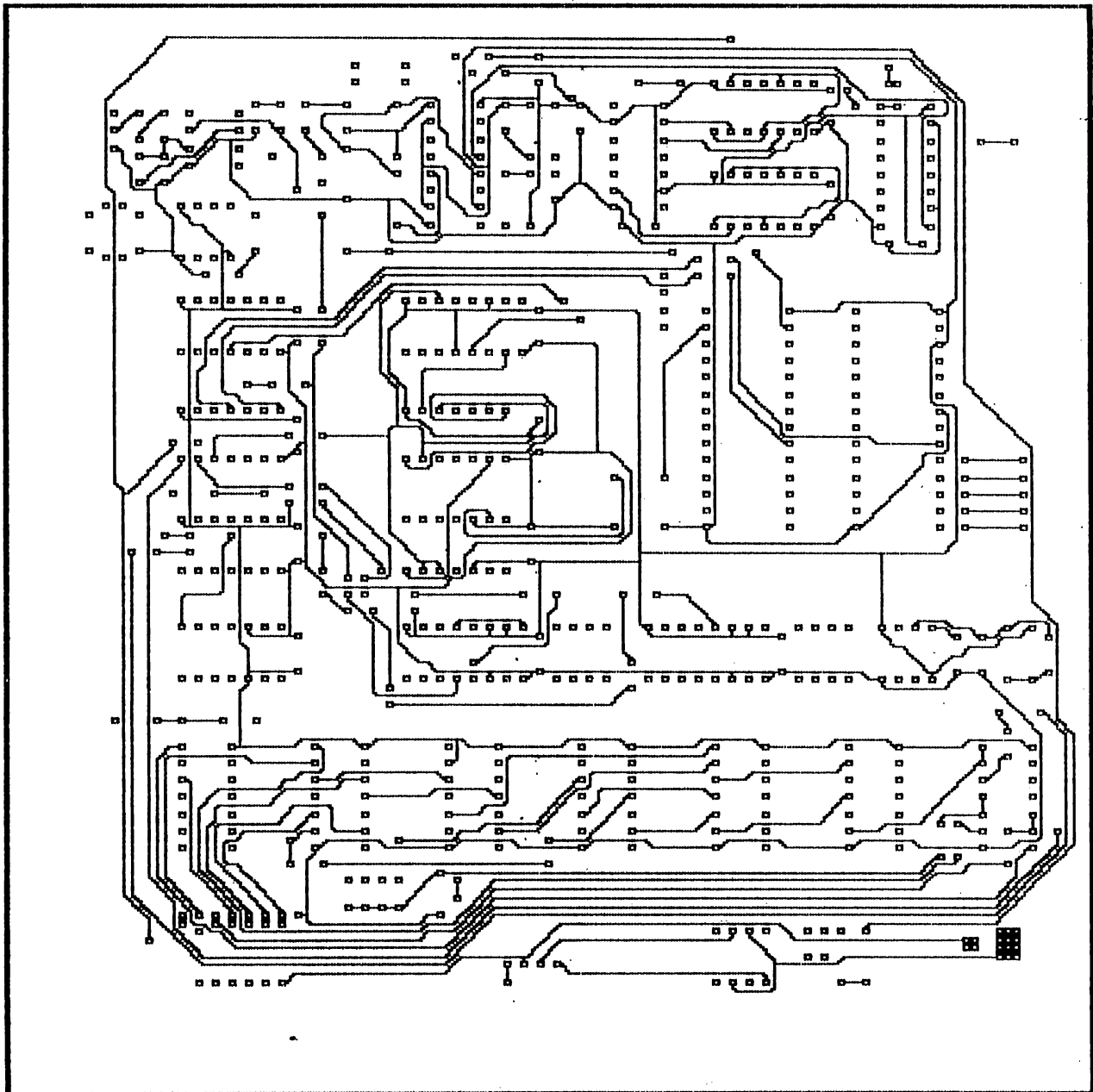


FIGURA 2.10 .

1X checkplot 18 Mar 1994 13:22:56
inter.sm2
v1.2 r3 holes: 237 silkscreen
approximate size: 4.85 by 3.80 inches

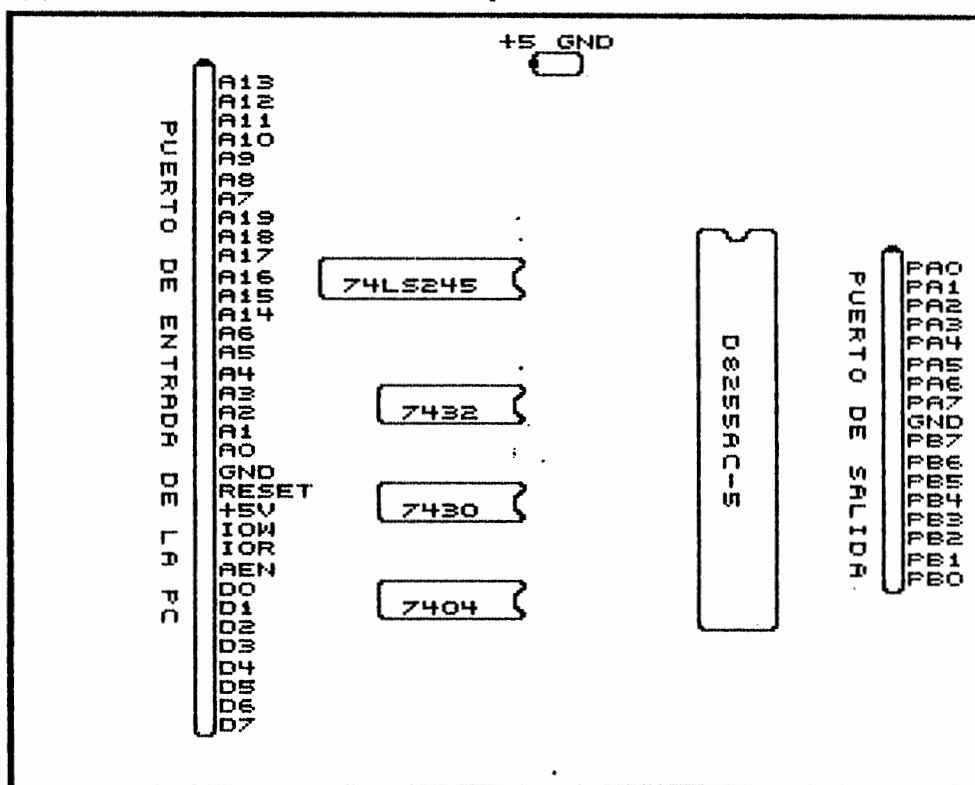


FIGURA 2.11

1X checkplot 18 Mar 1994 13:21:28
inter.sm2
v1.2 r3 holes: 237 component side
approximate size: 4.85 by 3.80 inches

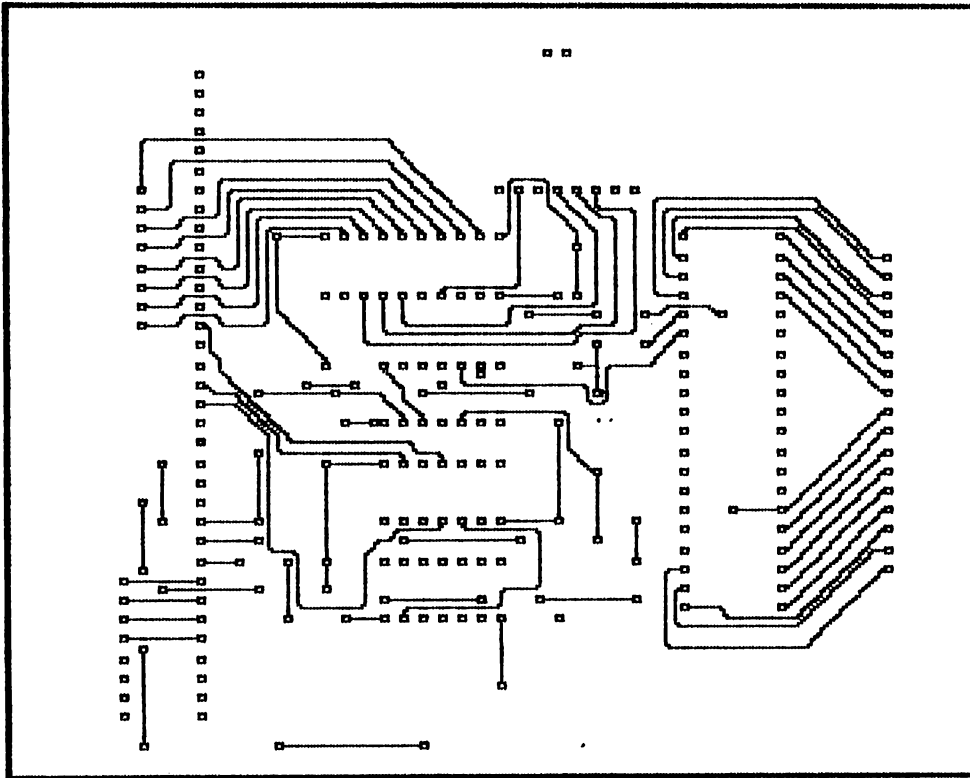


FIGURA 2.12 . . .

1X checkplot 18 Mar 1994 13:20:12
inter.sm2
v1.2 r3 holes: 237 solder side
approximate size: 4.85 by 3.80 inches

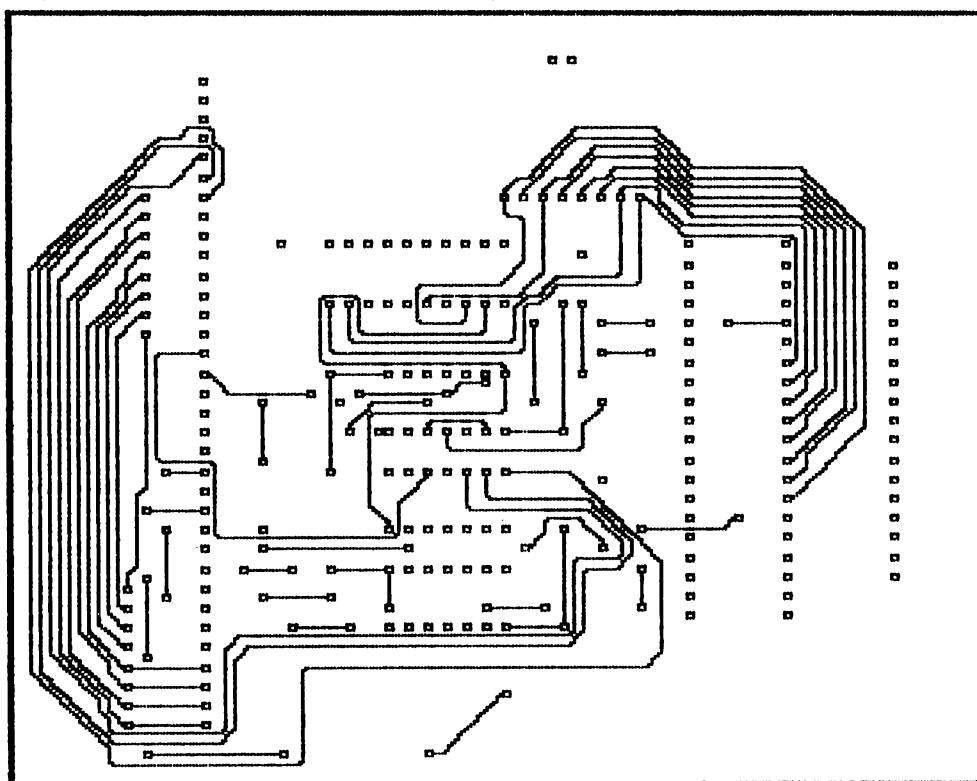


FIGURA 2.13 .

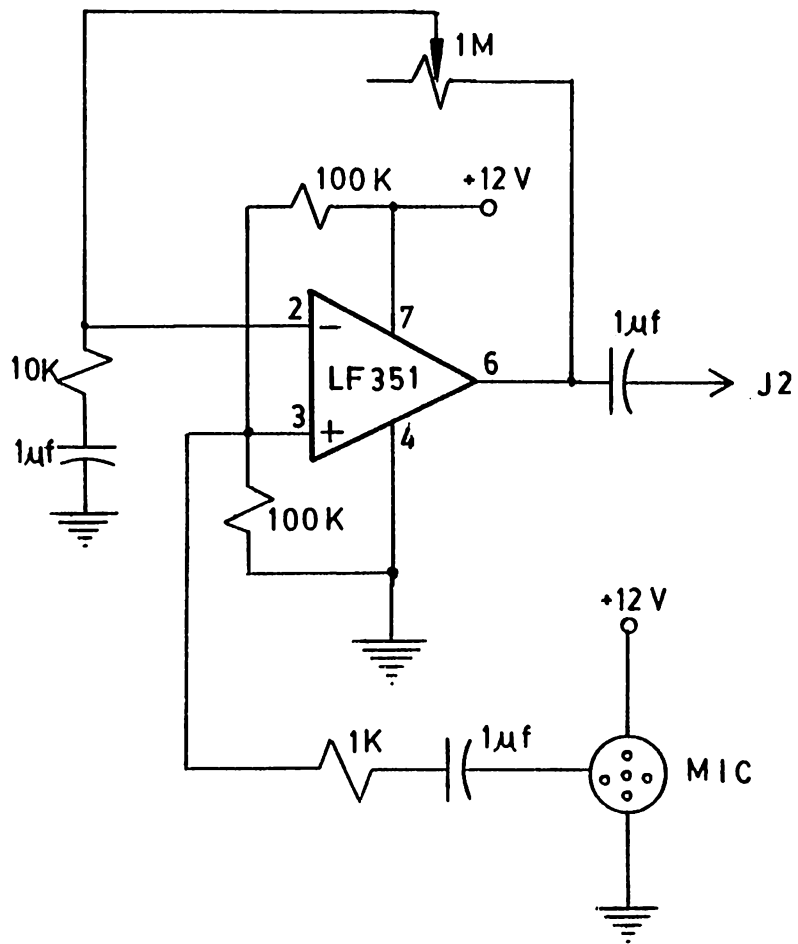


FIG 2.14 .PRE AMPLIFICADOR .

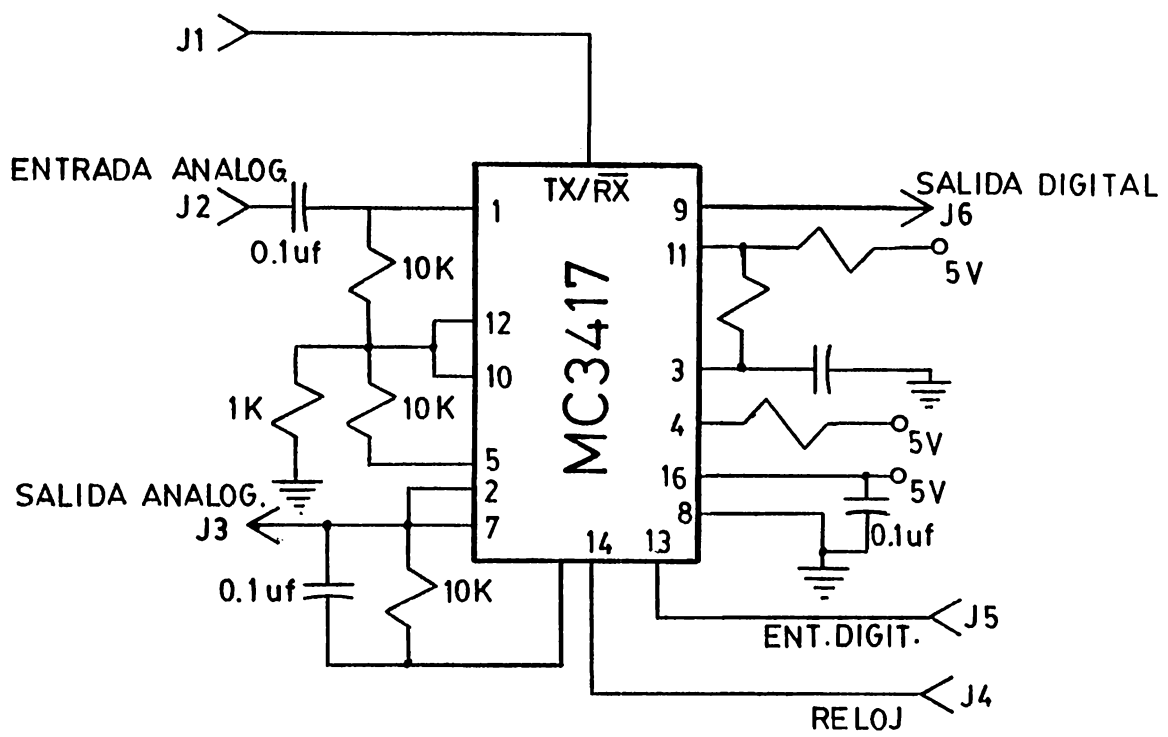


FIGURA 2.15 .CODIFICADOR/DECODIFICADOR
DELTA CVSD.

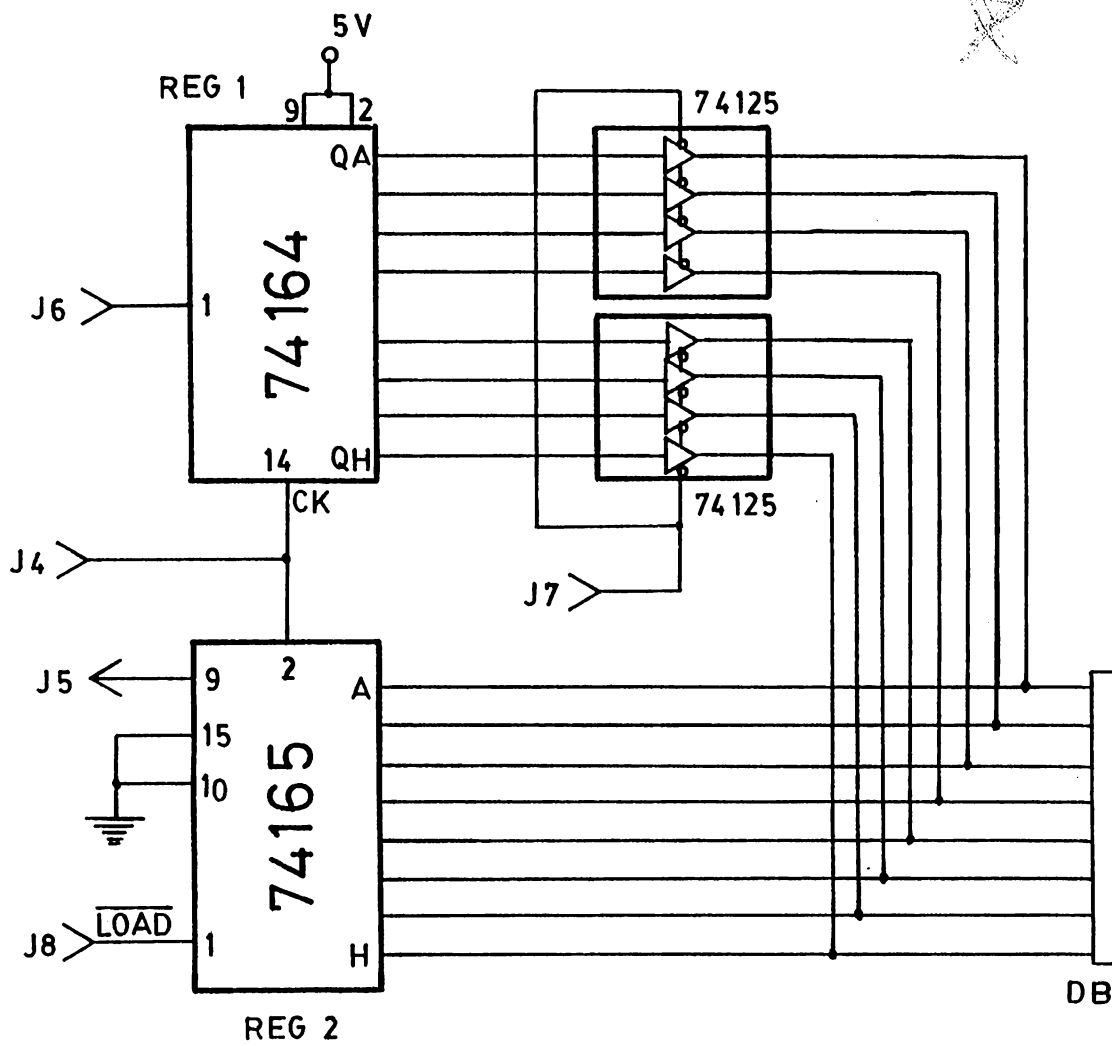


FIGURA 2.16 .ETAPA SEPARADORA .

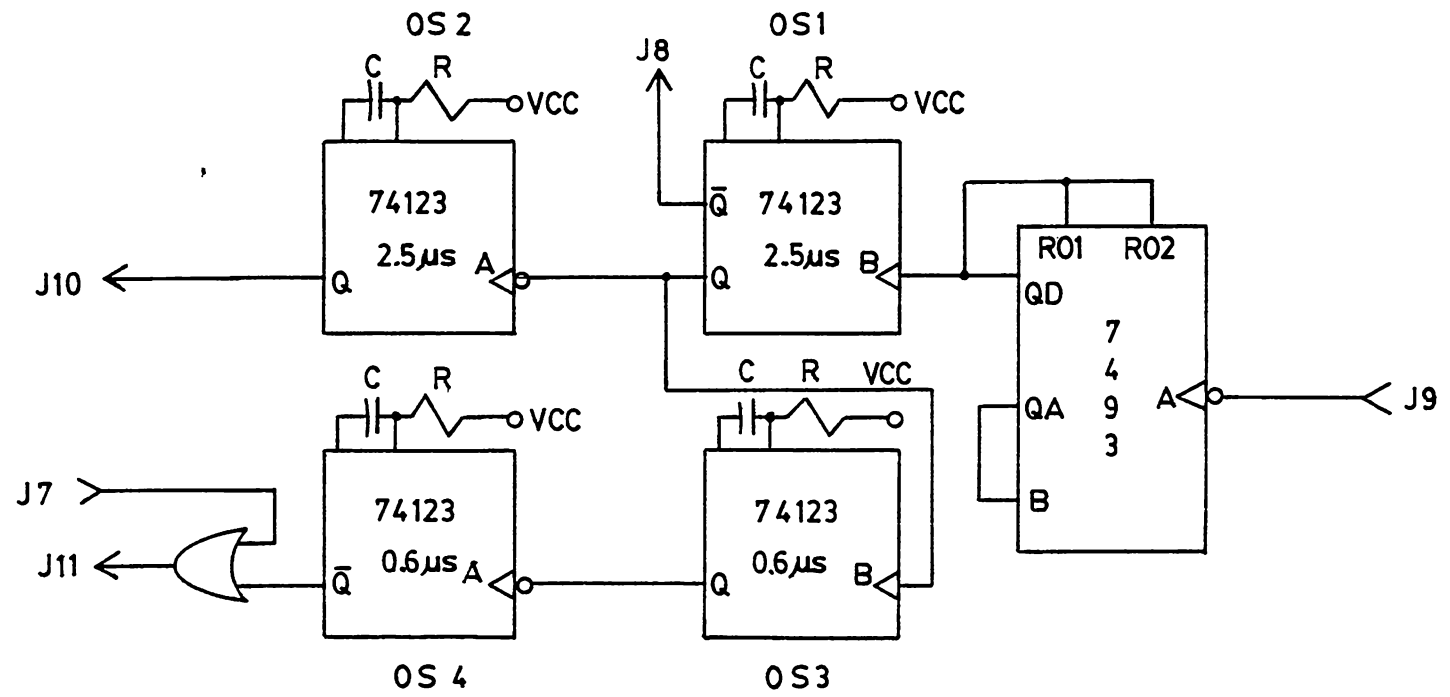


FIGURA 2.17. SINCRONISMO (A1).

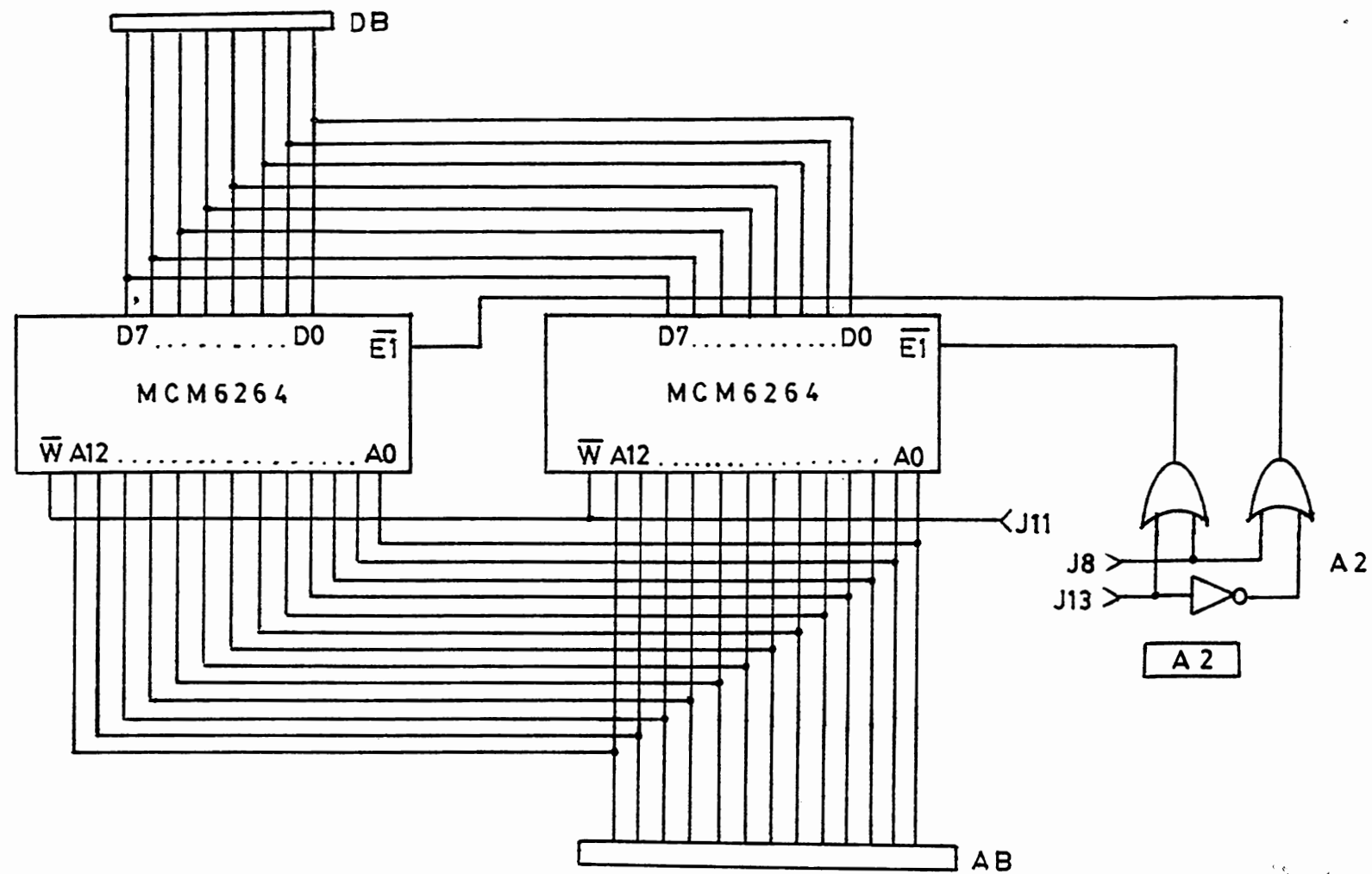


FIGURA 2.18 MEMORIAS .

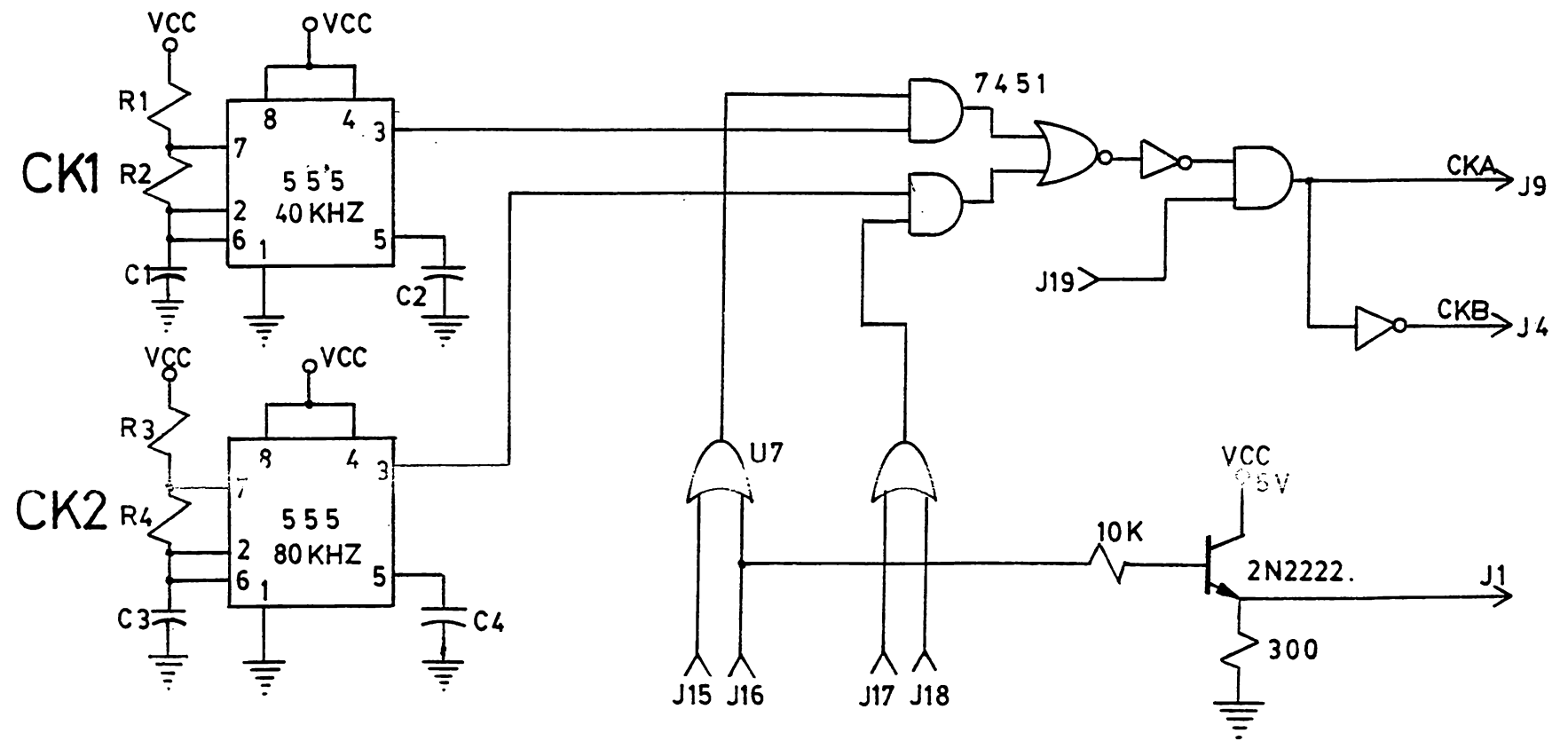


FIG 2.20,RELOJ (Y DISTRIBUCION).

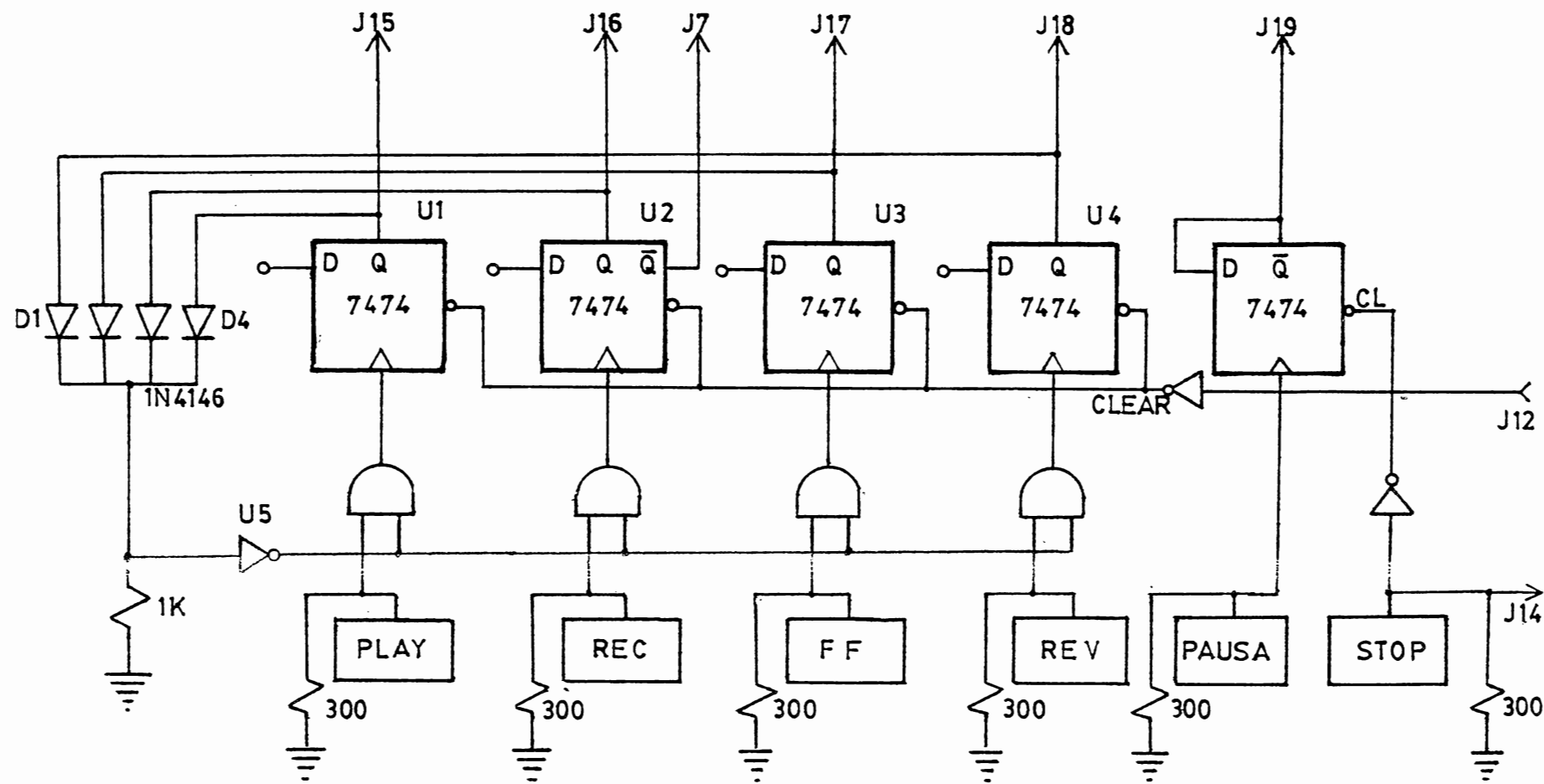


FIG 2.21 ETAPA DE CONTROL .

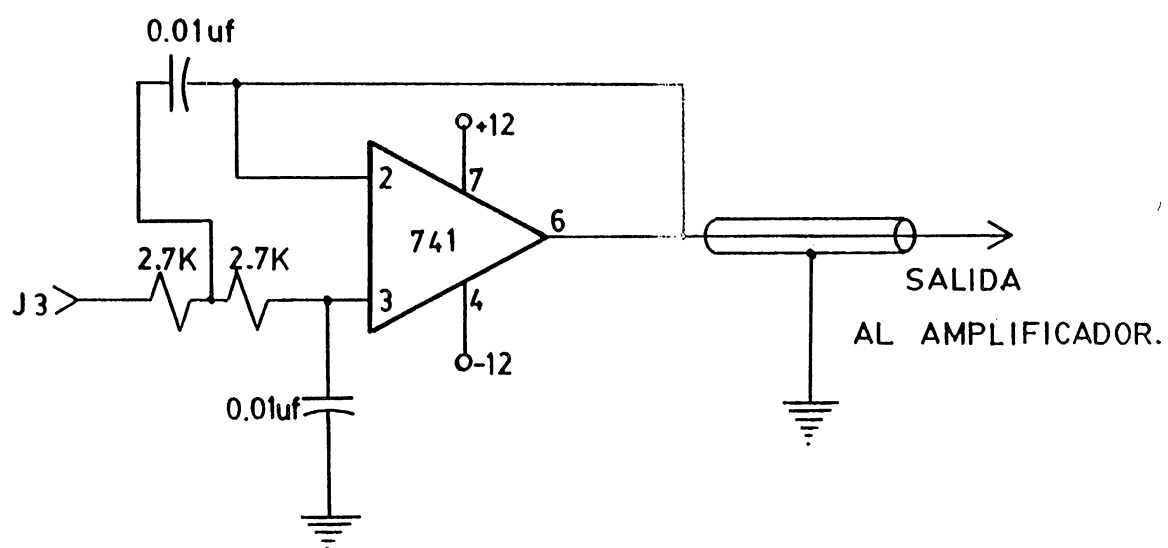


FIG 2.22. FILTRO DE 6 KHZ.

A P E N D I C E C.



8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
 - 24 Programmable I/O Pins
 - Completely TTL Compatible
 - Fully Compatible with Intel® Micro-processor Families
 - Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
 - Reduces System Package Count
 - Improved DC Driving Capability
 - Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

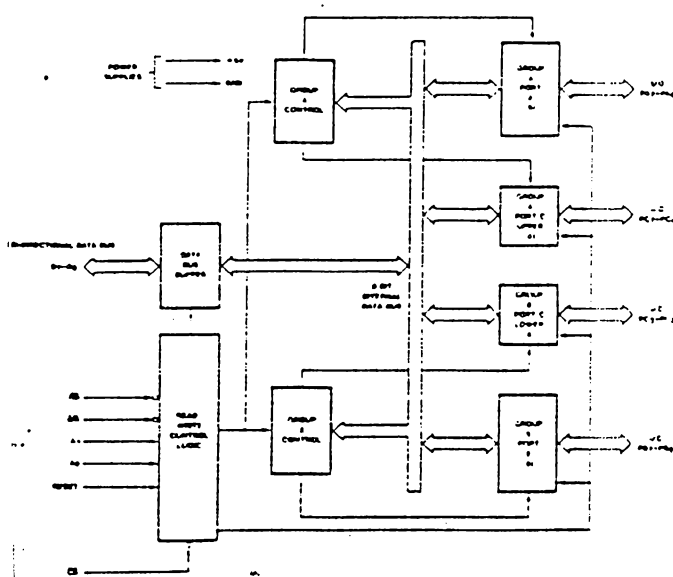


Figure 1. 8255A Block Diagram

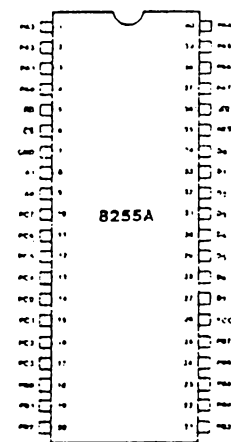


Figure 2. Pin Configuration



8255A/8255A-5

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage on Any Pin
 With Respect to Ground -0.5V to +7V
 Power Dissipation 1 Watt

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = +5\text{V} \pm 10\%$, $\text{GND} = 0\text{V}$)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
$V_{OL}(\text{DB})$	Output Low Voltage (Data Bus)		0.45*	V	$I_{OL} = 2.5\text{mA}$
$V_{OL}(\text{PER})$	Output Low Voltage (Peripheral Port)		0.45*	V	$I_{OL} = 1.7\text{mA}$
$V_{OH}(\text{DB})$	Output High Voltage (Data Bus)	2.4		V	$I_{OH} = -400\mu\text{A}$
$V_{OH}(\text{PER})$	Output High Voltage (Peripheral Port)	2.4		V	$I_{OH} = -200\mu\text{A}$
$I_{DAR}^{(1)}$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega$; $V_{EXT} = 1.5\text{V}$
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		± 10	μA	$V_{IN} = V_{CC}$ to 0V
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ to .45V

NOTE:

1. Available on any 8 pins from Port B and C.

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = \text{GND} = 0\text{V}$)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	$f_c = 1\text{MHz}$
C_{iO}	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = +5\text{V} \pm 10\%$, $\text{GND} = 0\text{V}$)***Bus Parameters****READ**

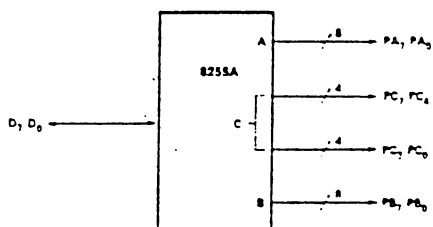
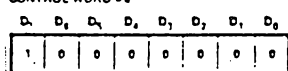
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ ⁽¹⁾		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

MODE 0 Port Definition

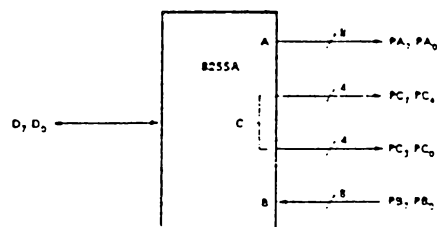
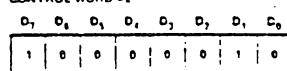
A		B		GROUP A			GROUP B	
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

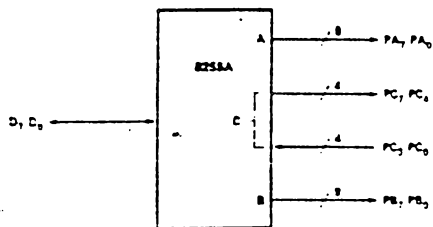
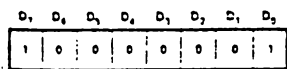
CONTROL WORD #0



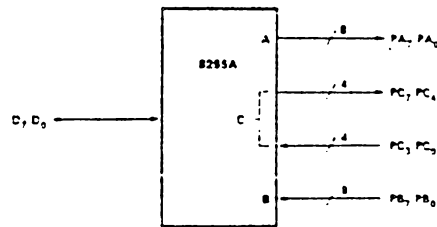
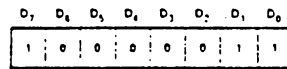
CONTROL WORD #2



CONTROL WORD #1



CONTROL WORD #3





8255A/8255A-5

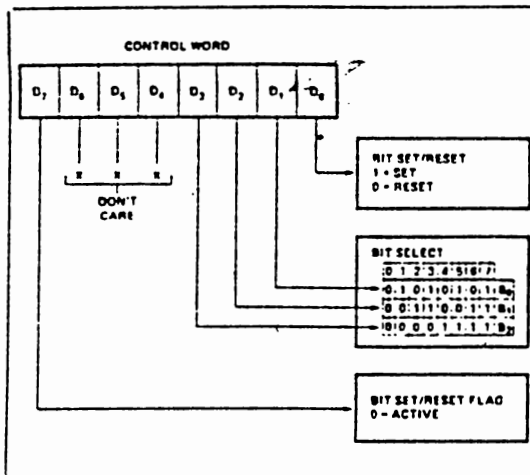


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as Interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

- (BIT-SET) – INTE is SET – Interrupt enable
- (BIT-RESET) – INTE is RESET – Interrupt disable

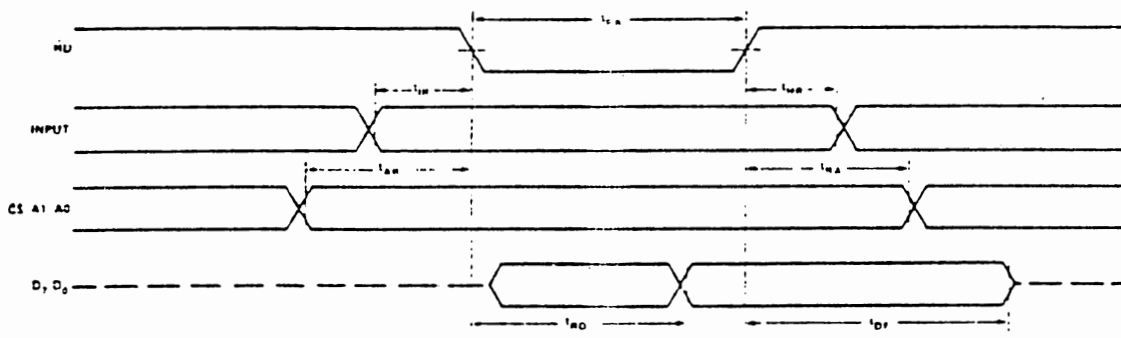
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

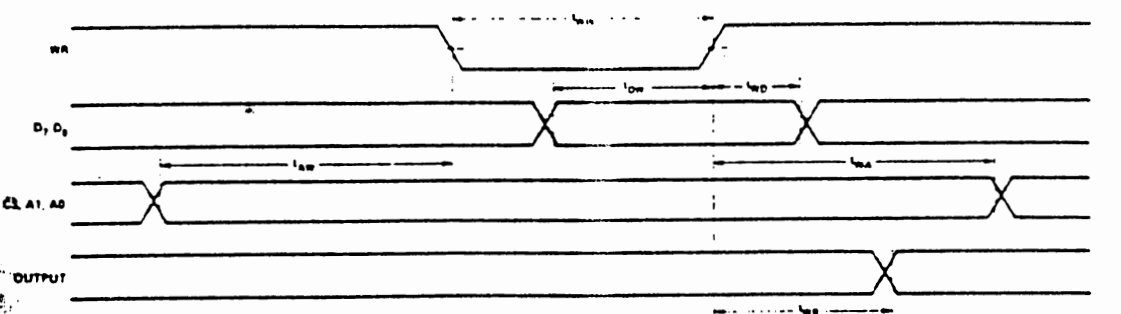
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)



8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 – Basic Input/Output*
- Mode 1 – Strobed Input/Output
- Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

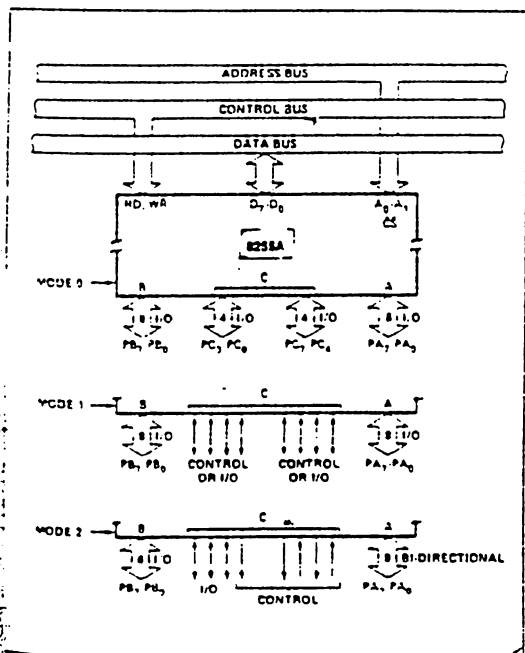


Figure 5. Basic Mode Definitions and Bus Interface

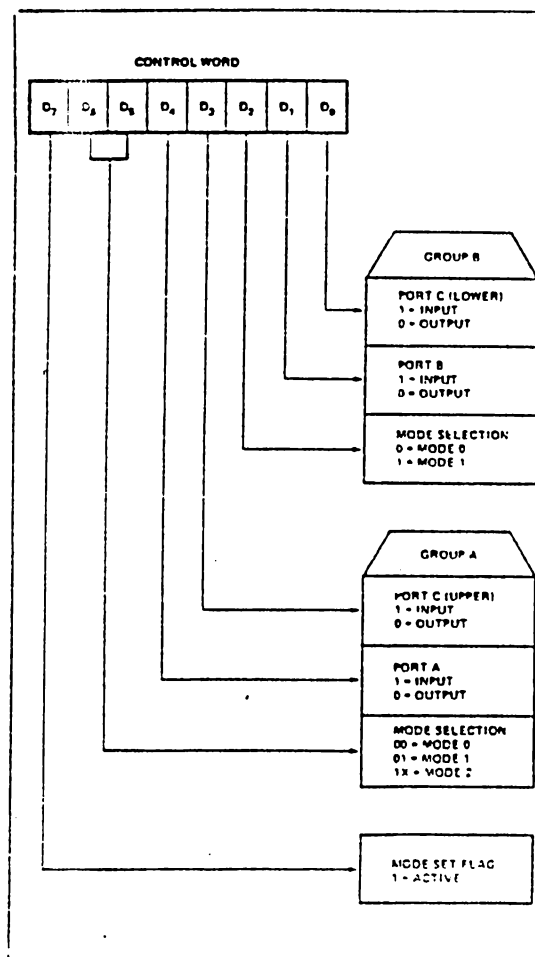


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control-based applications.



8255A/8255A-5

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

- Control Group A - Port A and Port C upper (C7-C4)
- Control Group B - Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

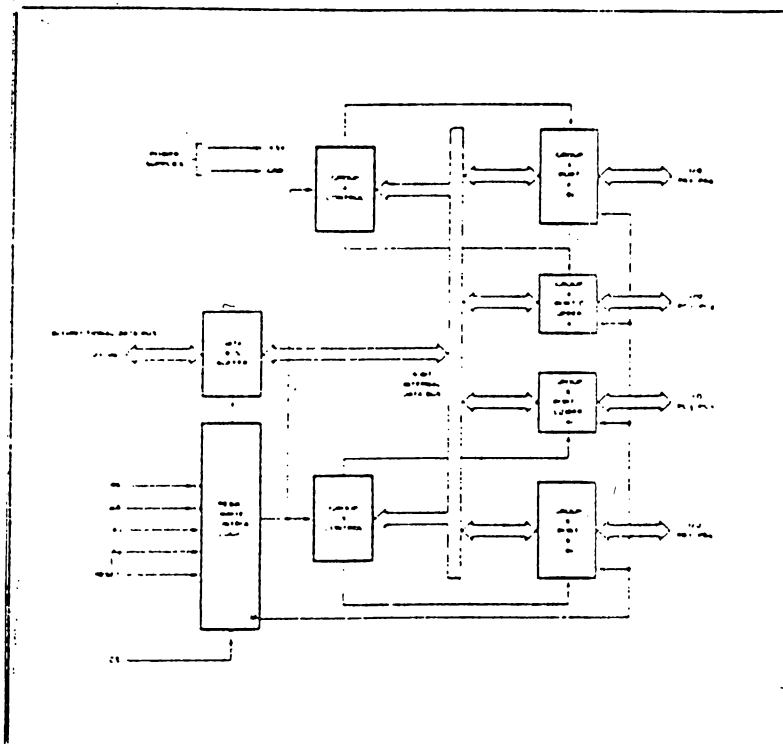
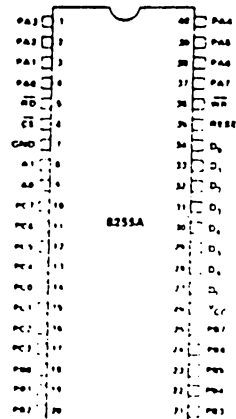


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D ₀ -D ₇	DATA BUS (BIDIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A0-A1	PORT ADDRESS
PA7-PA0	PORT A (8-BIT)
PB7-PB0	PORT B (8-BIT)
PC7-PC0	PORT C (8-BIT)
VCC	+5 VOLTS
GND	0 VOLTS



8255A/8255A-5

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel[®] microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, It allows the CPU to "read from" the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A₀ and A₁)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A₀ and A₁).

8255A BASIC OPERATION

A ₁	A ₀	\overline{RD}	\overline{WR}	\overline{CS}	INPUT OPERATION (READ)
0	0	0	1	0	PORT A = DATA BUS
0	1	0	1	0	PORT B = DATA BUS
1	0	0	1	0	PORT C = DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS = PORT A
0	1	1	0	0	DATA BUS = PORT B
1	0	1	0	0	DATA BUS = PORT C
1	1	1	0	0	DATA BUS = CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS = 3-STATE

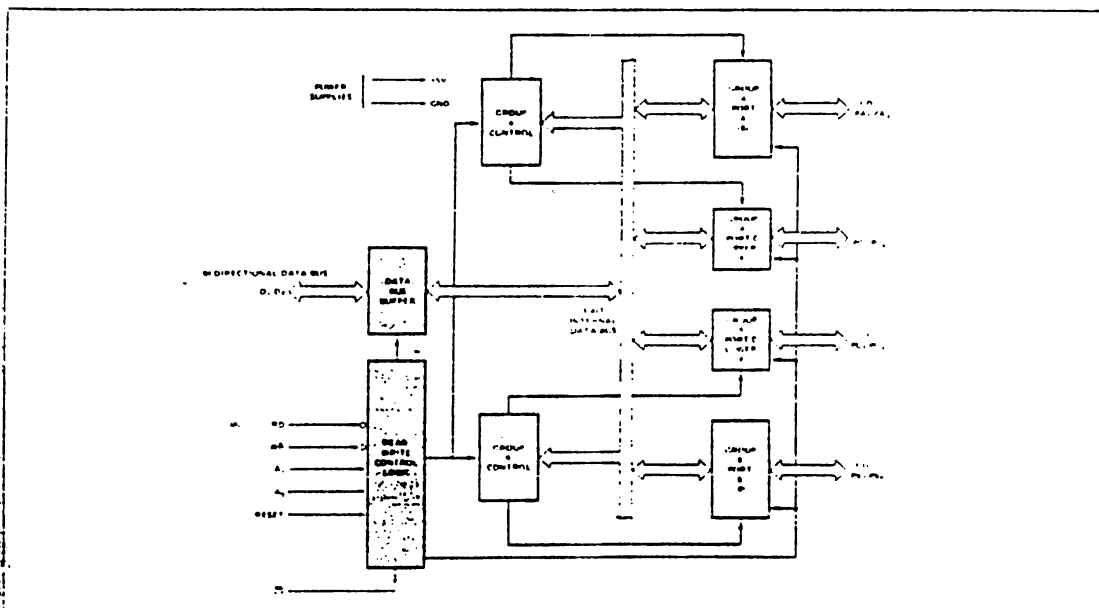


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



8255A/8255A-5

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

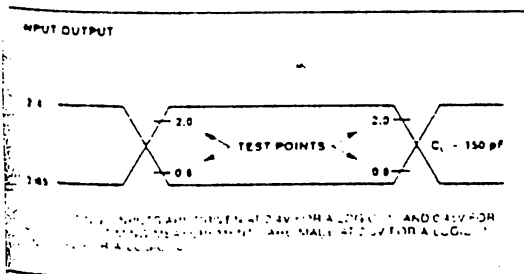
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output ¹⁾		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{IR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output ¹⁾		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0 ¹⁾		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1 ¹⁾		350		350	ns
t_{SIB}	STB = 0 to IBF = 1 ¹⁾		300		300	ns
t_{RIB}	RD = 1 to IBF = 0 ¹⁾		300		300	ns
t_{RIT}	RD = 0 to INTR = 0 ¹⁾		400		400	ns
t_{SIT}	STB = 1 to INTR = 1 ¹⁾		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1 ¹⁾		350		350	ns
t_{WIT}	WR = 0 to INTR = 0 ^{1),3)}		450		450	ns

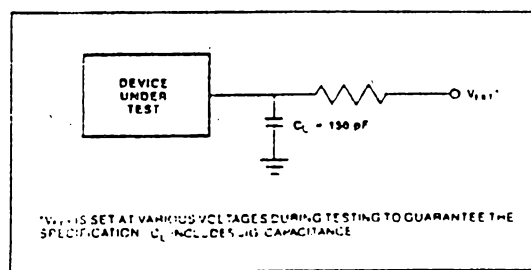
NOTES:

- 1) Test Conditions: $C_L = 150$ pF
 - 2) Period of Reset pulse must be at least 50 μ s during or after power on. Subsequent Reset pulse can be 500 ns min.
 - 3) INTR²⁾ may occur as early as WR.
- ²⁾ For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



Advance Information
8K x 8 Bit Fast Static RAM

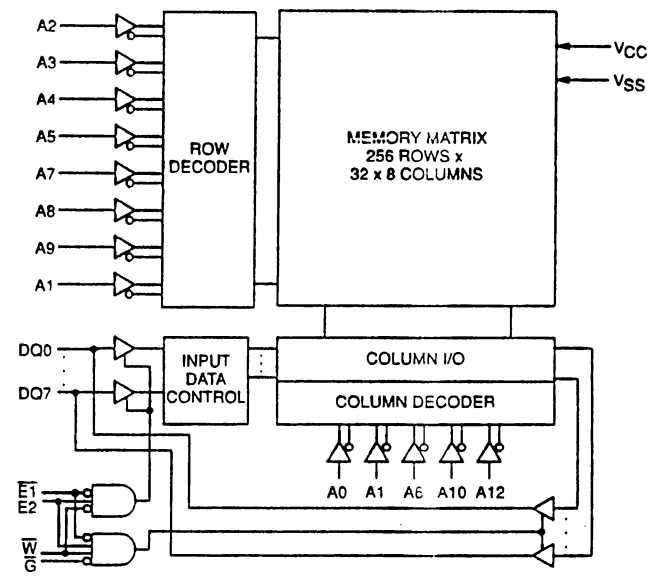
The MCM6264C is fabricated using Motorola's high-performance silicon-gate CMOS technology. Static design eliminates the need for external clocks or timing strobes, while CMOS circuitry reduces power consumption and provides for greater reliability.

This device meets JEDEC standards for functionality and pinout, and is available in plastic dual-in-line and plastic small-outline J-leaded packages.

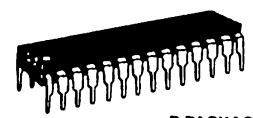
- Single 5 V ±10% Power Supply
- Fully Static — No Clock or Timing Strokes Necessary
- Fast Access Times: 12, 15, 20, 25, and 35 ns
- Equal Address and Chip Enable Access Times
- Output Enable (\bar{G}) Feature for Increased System Flexibility and to Eliminate Bus Contention Problems
- Low Power Operation: 110–150 mA Maximum ac
- Fully TTL Compatible — Three State Output

5

BLOCK DIAGRAM



MCM6264C



P PACKAGE
 300 MIL PLASTIC
 CASE 710B-01



J PACKAGE
 300 MIL SOJ
 CASE 810B-03

PIN ASSIGNMENT

NC	1	28	VCC
A12	2	27	\bar{W}
A7	3	26	E2
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	\bar{G}
A2	8	21	A10
A1	9	20	$\bar{E}1$
A0	10	19	DQ7
DQ0	11	18	DQ6
DQ1	12	17	DQ5
DQ2	13	16	DQ4
VSS	14	15	DQ3

PIN NAMES

A0–A12	Address Input
DQ0–DQ7	Data Input/Data Output
\bar{W}	Write Enable
\bar{G}	Output Enable
$\bar{E}1, E2$	Chip Enable
NC	No Connection
VCC	Power Supply (+ 5 V)
VSS	Ground

This document contains information on a product under development. Motorola reserves the right to change or discontinue this product without notice.

TRUTH TABLE (X = don't care)

E1	E2	G	W	Mode	V _{CC} Current	Output	Cycle
H	X	X	X	Not Selected	I _{SB1} , I _{SB2}	High-Z	-
X	L	X	X	Not Selected	I _{SB1} , I _{SB2}	High-Z	-
L	H	H	H	Output Disabled	I _{CCA}	High-Z	-
L	H	L	H	Read	I _{CCA}	D _{out}	Read Cycle
L	H	X	L	Write	I _{CCA}	High-Z	Write Cycle

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

This CMOS memory circuit has been designed to meet the dc and ac specifications shown in the tables, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow of at least 500 linear feet per minute is maintained.

ABSOLUTE MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage	V _{CC}	-0.5 to +7.0 V	V
Voltage Relative to V _{SS} For Any Pin Except V _{CC}	V _{in} , V _{out}	-0.5 to V _{CC} + 0.5	V
Output Current	I _{out}	±20	mA
Power Dissipation	P _D	1.0	W
Temperature Under Bias (T _A = 25°C)	T _{bias}	-10 to +85	°C
Operating Temperature	T _A	0 to +70	°C
Storage Temperature—Plastic	T _{sto}	-55 to +125	°C

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

DC OPERATING CONDITIONS AND CHARACTERISTICS

(V_{CC} = 5.0 V ±10%, T_A = 0 to 70°C, Unless Otherwise Noted)

RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage (Operating Voltage Range)	V _{CC}	4.5	5.0	5.5	V
Input High Voltage	V _{IH}	2.2	—	V _{CC} + 0.3*	V
Input Low Voltage	V _{IL}	-0.5**	—	0.8	V

*V_{IH} (max) = V_{CC} + 0.3 V dc; V_{IH} (max) = V_{CC} + 2.0 V ac (pulse width ≤ 20 ns)

**V_{IL} (min) = -0.5 V dc; V_{IL} (min) = -2.0 V ac (pulse width ≤ 20 ns)

DC CHARACTERISTICS

Parameter	Symbol	Min	Max	Unit
Input Leakage Current (All inputs, V _{in} = 0 to V _{CC})	I _{kg(I)}	—	±1	μA
Output Leakage Current (E1 = V _{IH} or E2 = V _{IH} or E2 = V _{IL} , V _{out} = 0 to V _{CC})	I _{kg(O)}	—	±1	μA
Output Low Voltage (I _{OL} = 8.0 mA)	V _{OL}	—	0.4	V
Output High Voltage (I _{OH} = -4.0 mA)	V _{OH}	2.4	—	V

POWER SUPPLY CURRENTS

Parameter	Symbol	-12	-15	-20	-25	-35	Unit
AC Active Supply Current (I _{out} = 0 mA, V _{CC} = Max, I = I _{max})	I _{CCA}	150	140	130	120	110	mA
AC Standby Current (E1 = V _{IH} or E2 = V _{IL} , V _{CC} = MAX, I = I _{max})	I _{SB1}	45	40	35	30	30	mA
Standby Current (E1 ≥ V _{CC} - 0.2 V or E2 ≤ V _{SS} + 0.2 V, V _{in} ≤ V _{SS} + 0.2 V or ≥ V _{CC} - 0.2 V)	I _{SB2}	20	20	20	20	20	mA

5

CAPACITANCE (f = 1 MHz, dV = 3 V, T_A = 25°C, Periodically sampled rather than 100% tested)

Characteristic	Symbol	Max	Unit
Address and Data Input Capacitance	C _{in}	6	pF
Control Pin Input Capacitance ($\bar{E}1$, E2, \bar{G} , \bar{W})	C _{in}	6	pF
Output Capacitance	C _{out}	7	pF

AC OPERATING CONDITIONS AND CHARACTERISTICS

(V_{CC} = 5.0 V ± 10%, T_A = 0 to + 70°C, Unless Otherwise Noted)

Input Timing Measurement Reference Level 1.5 V Output Timing Measurement Reference Level 1.5 V
 Input Pulse Levels 0 to 3.0 V Output Load Figure 1A Unless Otherwise Noted
 Input Rise/Fall Time 5 ns

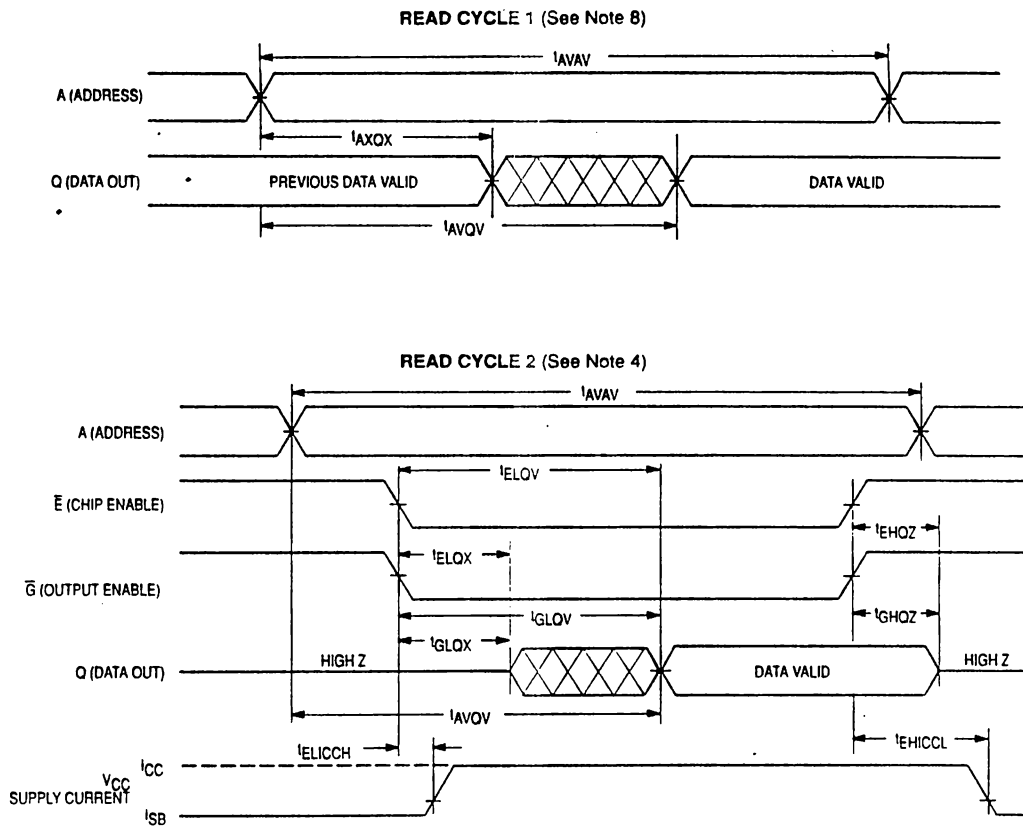
READ CYCLE (See Notes 1 and 2)

Parameter	Symbol		- 12		- 15		- 20		- 25		- 35		Unit	Notes
	Std.	Alt.	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
Read Cycle Time	t _{AVAV}	t _{RC}	12	—	15	—	20	—	25	—	35	—	ns	3
Address Access Time	t _{AVQV}	t _{AA}	—	12	—	15	—	20	—	25	—	35	ns	
Enable Access Time	t _{ELQV}	t _{ACS}	—	12	—	15	—	20	—	25	—	35	ns	4
Output Enable Access Time	t _{GLOV}	t _{OE}	—	6	—	8	—	10	—	11	—	12	ns	
Output Hold from Address Change	t _{AXOX}	t _{OH}	4	—	4	—	4	—	4	—	4	—	ns	5,6,7
Enable Low to Output Active	t _{ELQX}	t _{CLZ}	4	—	4	—	4	—	4	—	4	—	ns	5,6,7
Enable High to Output High-Z	t _{EHQZ}	t _{CHZ}	0	6	0	8	0	9	0	10	0	11	ns	5,6,7
Output Enable Low to Output Active	t _{GLOX}	t _{OLZ}	0	—	0	—	0	—	0	—	0	—	ns	5,6,7
Output Enable High to Output High-Z	t _{GHQZ}	t _{OHZ}	0	6	0	7	0	8	0	9	0	10	ns	5,6,7
Power Up Time	t _{ELICCH}	t _{PU}	0	—	0	—	0	—	0	—	0	—	ns	
Power Down Time	t _{EHICCL}	t _{PD}	—	12	—	15	—	20	—	25	—	35	ns	

- NOTES: 1. \bar{W} is high for read cycle.
 2. $\bar{E}1$ and E2 are represented by \bar{E} in this data sheet. E2 is of opposite polarity to \bar{E} .
 3. All timings are referenced from the last valid address to the first transitioning address.
 4. Addresses valid prior to or coincident with \bar{E} going low.
 5. At any given voltage and temperature, t_{EHQZ} max is less than t_{ELQX} (min), and t_{GHQZ} (max) is less than t_{GLOX} (min), both for a given device and from device to device.
 6. Transition is measured ± 500 mV from steady-state voltage with load of Figure 1B.
 7. This parameter is sampled and not 100% tested.
 8. Device is continuously selected ($\bar{E}1 = V_{IL}$, E2 = V_{IH}, $\bar{G} = V_{IL}$).

5

MCM6264C



5

AC TEST LOADS

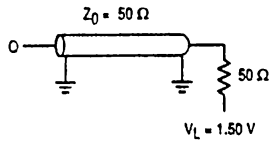


Figure 1A

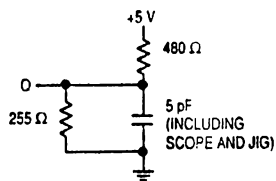


Figure 1B

TIMING LIMITS

The table of timing values shows either a minimum or a maximum limit for each parameter. Input requirements are specified from the external system point of view. Thus, address setup time is shown as a minimum since the system must supply at least that much time (even though most devices do not require it). On the other hand, responses from the memory are specified from the device point of view. Thus, the access time is shown as a maximum since the device never provides data later than that time.

MCM6264C

WRITE CYCLE 1 (\bar{W} Controlled, See Notes 1, 2, and 3)

Parameter	Symbol		- 12		- 15		- 20		- 25		- 35		Unit	Notes
	Std.	Alt.	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
Write Cycle Time	tAVAV	tWC	12	—	15	—	20	—	25	—	35	—	ns	4
Address Setup Time	tAVWL	tAS	0	—	0	—	0	—	0	—	0	—	ns	
Address Valid to End of Write	tAVWH	tAW	10	—	12	—	15	—	17	—	20	—	ns	
Write Pulse Width	tWLWH, tWLEH	tWP	10	—	12	—	15	—	17	—	20	—	ns	
Write Pulse Width, \bar{G} High	tWLWH, tWLEH	tWP	8	—	10	—	12	—	15	—	17	—	ns	5
Data Valid to End of Write	tDVWH	tDW	6	—	7	—	8	—	10	—	12	—	ns	
Data Hold Time	tWHDX	tDH	0	—	0	—	0	—	0	—	0	—	ns	
Write Low to Output High-Z	tWLQZ	tWZ	0	6	0	7	0	8	0	10	0	12	ns	6,7,8
Write High to Output Active	tWHQX	tWX	4	—	4	—	4	—	4	—	4	—	ns	6,7,8
Write Recovery Time	tWHAX	tWR	0	—	0	—	0	—	0	—	0	—	ns	

5

WRITE CYCLE 2 (\bar{E} Controlled, See Notes 1 and 2)

Parameter	Symbol		- 12		- 15		- 20		- 25		- 35		Unit	Notes
	Std.	Alt.	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
Write Cycle Time	tAVAV	tWC	12	—	15	—	20	—	25	—	35	—	ns	4
Address Setup Time	tAVEL	tAS	0	—	0	—	0	—	0	—	0	—	ns	
Address Valid to End of Write	tAVEH	tAW	12	—	12	—	15	—	20	—	25	—	ns	
Enable to End of Write	tELEH, tELWH	tCW	10	—	10	—	12	—	15	—	25	—	ns	9,10
Data Valid to End of Write	tDVEH	tDW	7	—	7	—	8	—	10	—	15	—	ns	
Data Hold Time	tEHDX	tDH	0	—	0	—	0	—	0	—	0	—	ns	
Write Recovery Time	tEHAX	tWR	0	—	0	—	0	—	0	—	0	—	ns	

NOTES: 1. A write occurs during the overlap of \bar{E} low and \bar{W} low.2. $\bar{E}1$ and $E2$ are represented by \bar{E} in this data sheet. $E2$ is of opposite polarity to \bar{E} .3. If \bar{G} goes low coincident with or after \bar{W} goes low, the output will remain in a high impedance state.

4. All timings are referenced from the last valid address to the first transitioning address.

5. If $\bar{G} \geq V_{IH}$, the output will remain in a high impedance state.

6. At any given voltage and temperature, tWLQZ max is less than tWHQX min, both for a given device and from device to device.

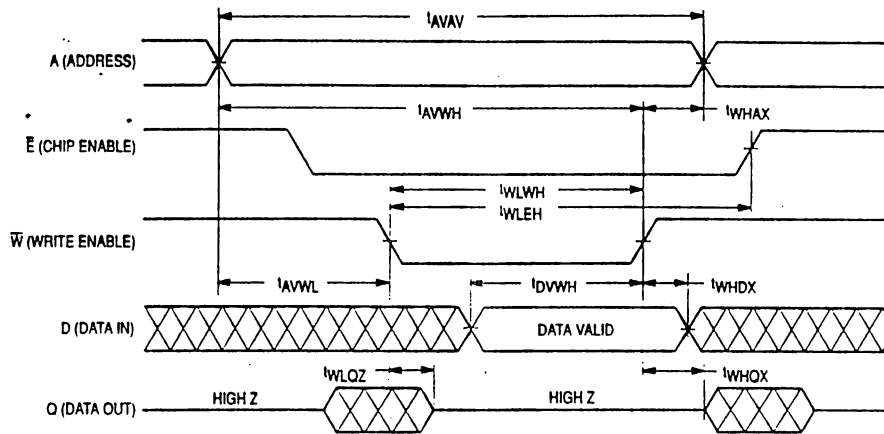
7. Transition is measured ± 500 mV from steady-state voltage with load of Figure 1B.

8. This parameter is sampled and not 100% tested.

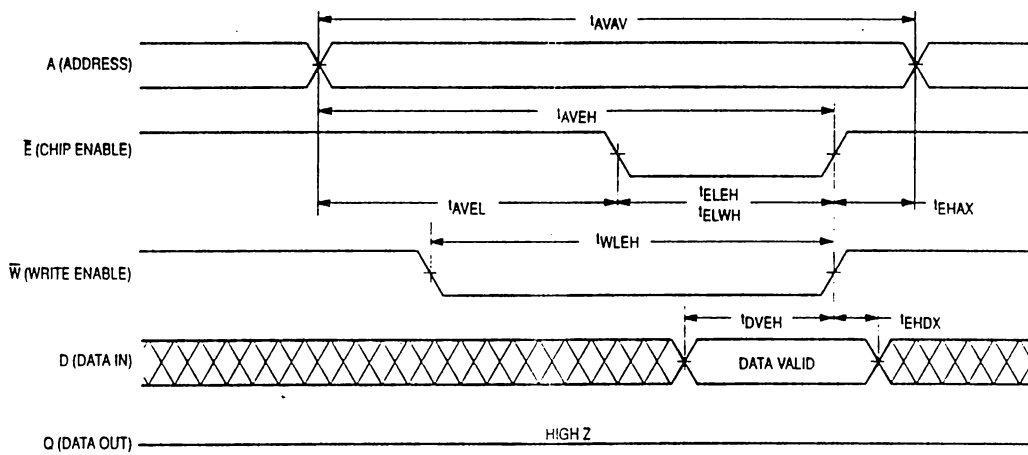
9. If \bar{E} goes low coincident with or after \bar{W} goes low, the output will remain in a high impedance state.10. If \bar{E} goes high coincident with or before \bar{W} goes high, the output will remain in a high impedance state.

MCM6264C

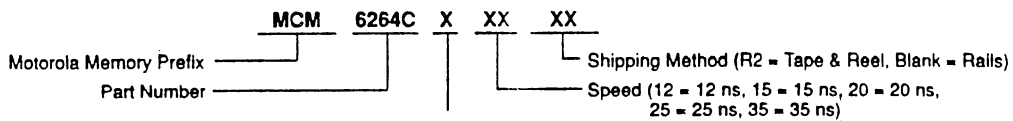
WRITE CYCLE 1 (\bar{W} Controlled, See Notes 1, 2 and 3)



WRITE CYCLE 2 (\bar{E} Controlled, See Notes 1 and 2)



ORDERING INFORMATION (Order by Full Part Number)



Package (P = 300 mil Plastic DIP, J = 300 mil SOJ)

Full Part Numbers—	MCM6264CP12	MCM6264CJ12	MCM6264CJ12R2
	MCM6264CP15	MCM6264CJ15	MCM6264CJ15R2
	MCM6264CP20	MCM6264CJ20	MCM6264CJ20R2
	MCM6264CP25	MCM6264CJ25	MCM6264CJ25R2
	MCM6264CP35	MCM6264CJ35	MCM6264CJ35R2

5

LF351



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BJT JFET IITM technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

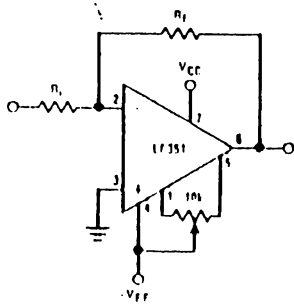
The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply

current is important, however, the LF351 is the better choice.

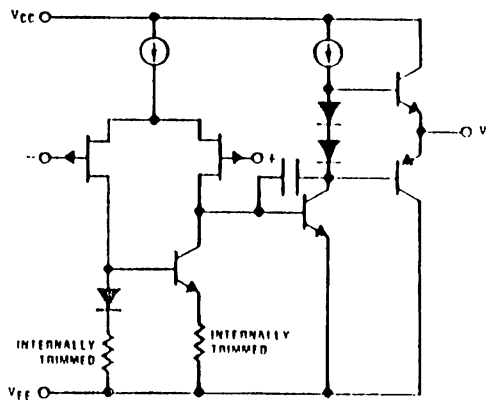
Features

- Internally trimmed offset voltage 10 mV
- Low input bias current 50 pA
- Low input noise voltage $25 \text{ nV}/\sqrt{\text{Hz}}$
- Low input noise current $0.01 \text{ pA}/\sqrt{\text{Hz}}$
- Wide gain bandwidth 4 MHz
- High slew rate 13 V/ μs
- Low supply current 1.8 mA
- High input impedance $10^{12} \Omega$
- Low total harmonic distortion $A_V = 10, R_L = 10\text{k}, V_O = 20 \text{ Vp-p}, \text{BW} = 20 \text{ Hz} - 20 \text{ kHz}$ - 0.02%
- Low 1/f noise corner 50 Hz
- Fast settling time to 0.01% 2 μs

Typical Connection

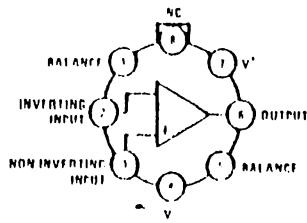


Simplified Schematic



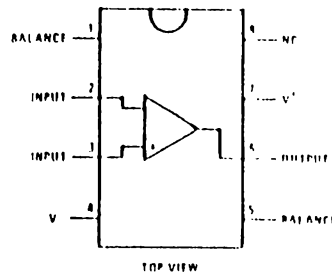
Connection Diagrams (Top Views)

Metal Can Package



Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



Order Number LF351J,
LF351M or LF351N
See NS Package Number J08A, M08A or N08E

LF351

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to + 70°C
T _J (MAX)	115°C
Differential Input Voltage	± 130V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	H Package
θ_{JA}	225°C/W (Still Air)	120°C/W
	160°C/W	
	(400 L.F./min Air Flow)	
θ_{JC}	25°C/W	

Soldering Information
 Dual-In-Line Package
 Soldering (10 sec.) 260°C
 Small Outline Package
 Vapor Phase (60 sec.) 215°C
 Infrared (15 sec.) 220°C
 See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.
 ESD rating to be determined

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V _{OS}	Input Offset Voltage	R _S = 10 k Ω , T _A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R _S = 10 k Ω		10		$\mu V/^{\circ}C$
I _{OS}	Input Offset Current	T _J = 25°C, (Notes 3, 4) T _J \leq 70°C		25	100 4	μA nA
I _B	Input Bias Current	T _J = 25°C, (Notes 3, 4) T _J \leq 70°C		50	200 8	μA nA
R _{IN}	Input Resistance	T _J = 25°C		10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = \pm 15V, T _A = 25°C V _O = \pm 10V, R _L = 2 k Ω Over Temperature	25	100		V/mV
V _O	Output Voltage Swing	V _S = \pm 15V, R _L = 10 k Ω	\pm 12	\pm 13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S = \pm 15V	\pm 11	\pm 15		V
				- 12		V
CMRR	Common Mode Rejection Ratio	R _S \leq 10 k Ω	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I _S	Supply Current		1.8	3.4		mA

LF351

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V, T_A = 25^\circ C$		13		V/ μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V, T_A = 25^\circ C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25^\circ C, R_S = 100\Omega, f = 1000 \text{ Hz}$		25		nV/ \sqrt{Hz}
i_n	Equivalent Input Noise Current	$T_J = 25^\circ C, f = 1000 \text{ Hz}$		0.01		pA/ \sqrt{Hz}

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA} .

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

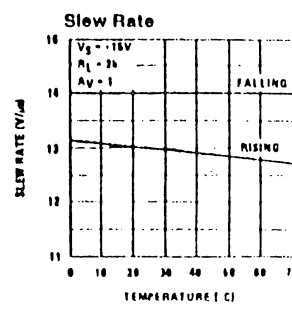
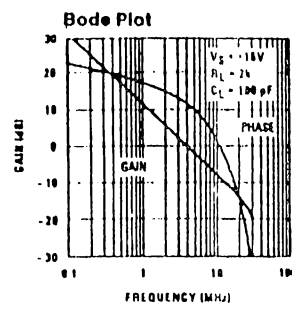
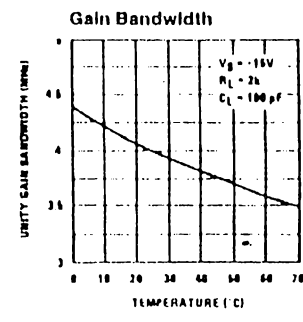
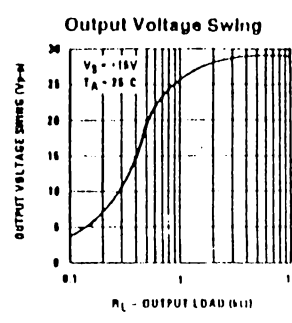
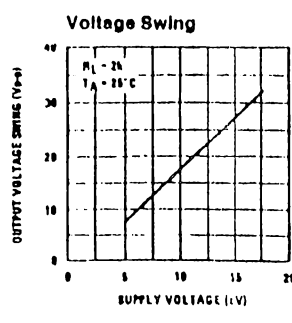
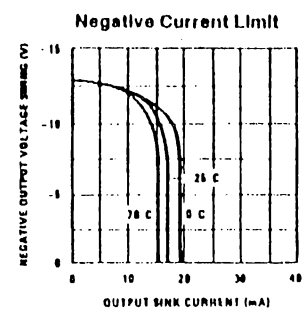
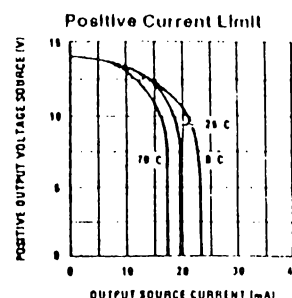
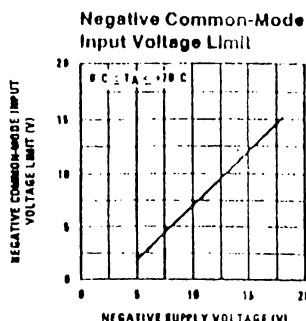
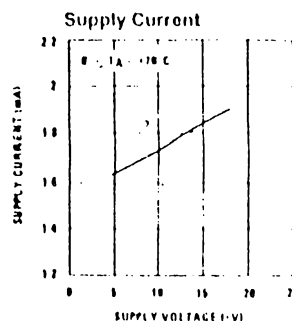
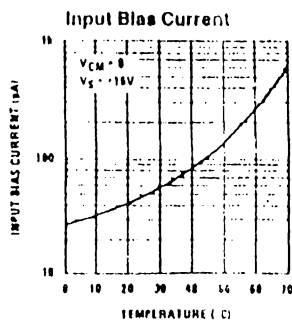
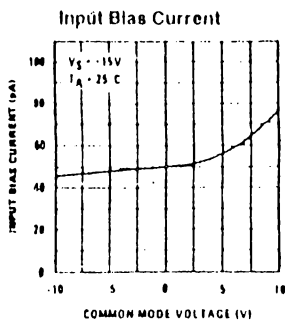
Note 3: These specifications apply for $V_S = \pm 15V$ and $0^\circ C < T_A < +70^\circ C$. V_{OS} , I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every $10^\circ C$ increase in the junction temperature, T_J . Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D . $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

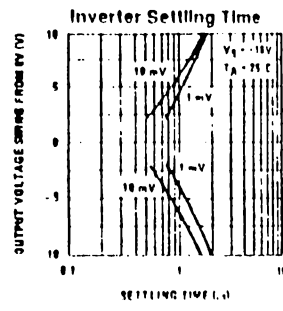
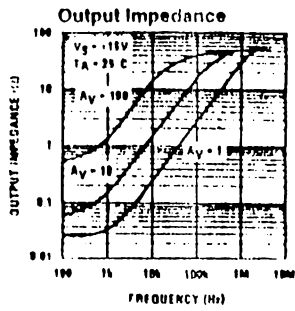
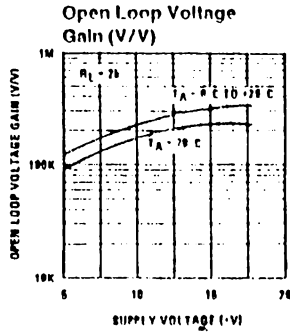
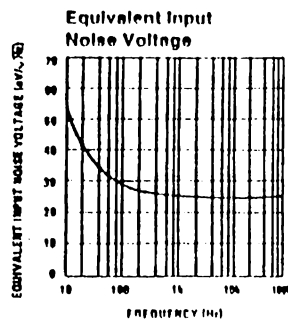
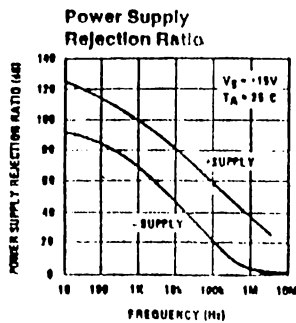
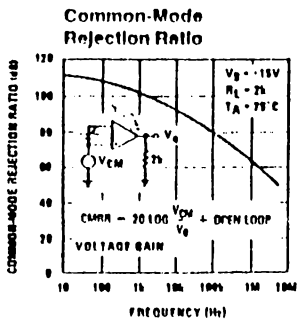
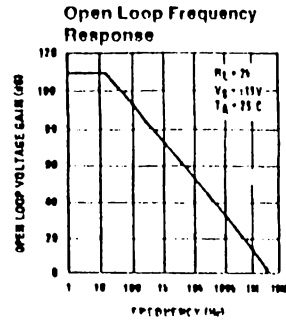
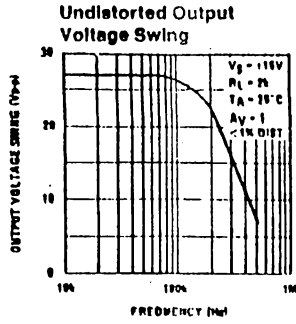
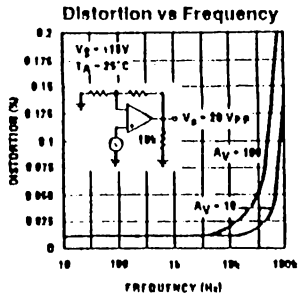
Typical Performance Characteristics



11/11/5610 2

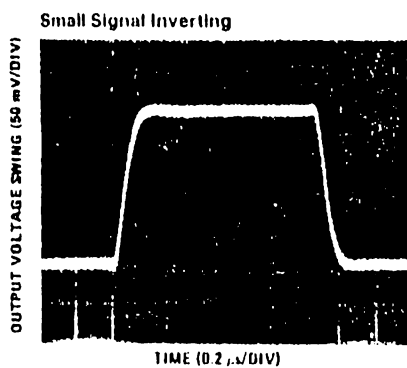
LF351

Typical Performance Characteristics (Continued)

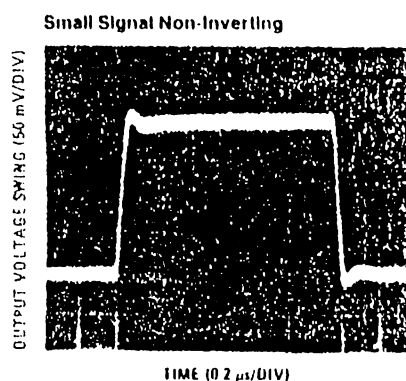


LF351-5418-3

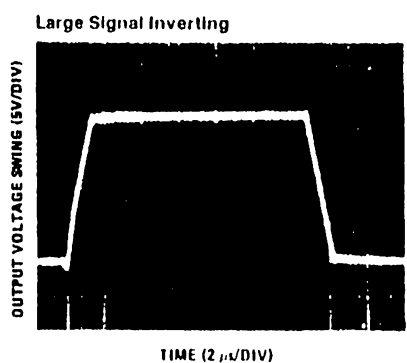
Pulse Response



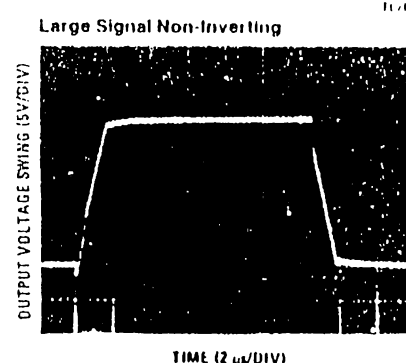
TL7175048 4



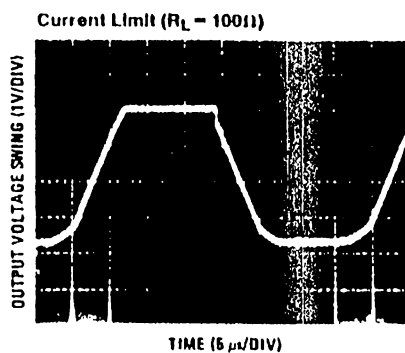
TL7175048 5



TL7175048 6



TL7175048 7



TL7175048 8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will

cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

LF351

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on $\pm 4V$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 k Ω load resistance to $\pm 10V$ over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed back-

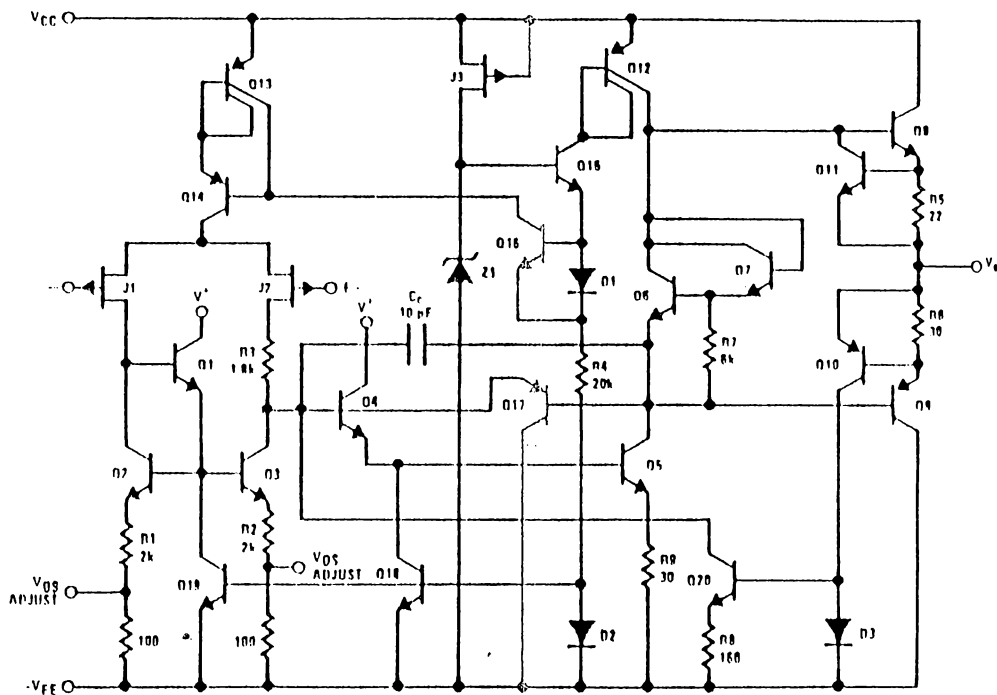
wards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 8 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

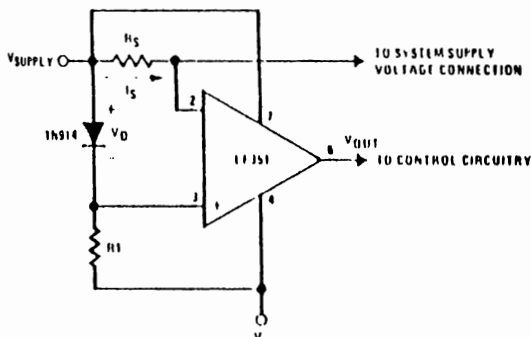
Detailed Schematic



11-01-5414-1

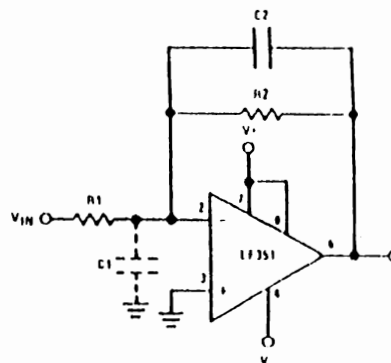
Typical Applications

Supply Current Indicator/Limiter



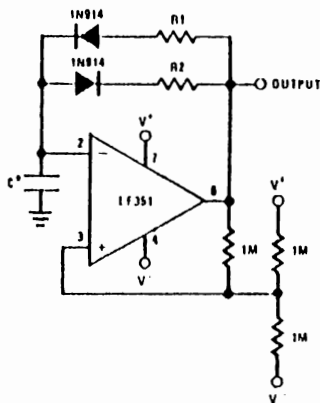
* V_{OUT} switches high when I_S > V_D

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



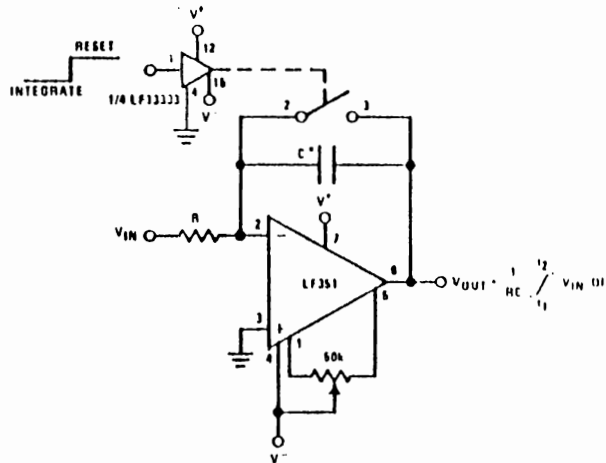
* t_{OUTPUT HIGH} = R1C / n $\frac{4.8 - 2V_S}{4.8 - V_S}$

* t_{OUTPUT LOW} = R2C / n $\frac{2V_S - 7.8}{V_S - 7.8}$

where V_S = V' ± |V'|

*low leakage capacitor

Long Time Integrator



*Low leakage capacitor
* 50k pot used for less sensitive V_{OS} adjust

EL11564B-10



LM741/LM741A/LM741C/LM741E Operational Amplifier

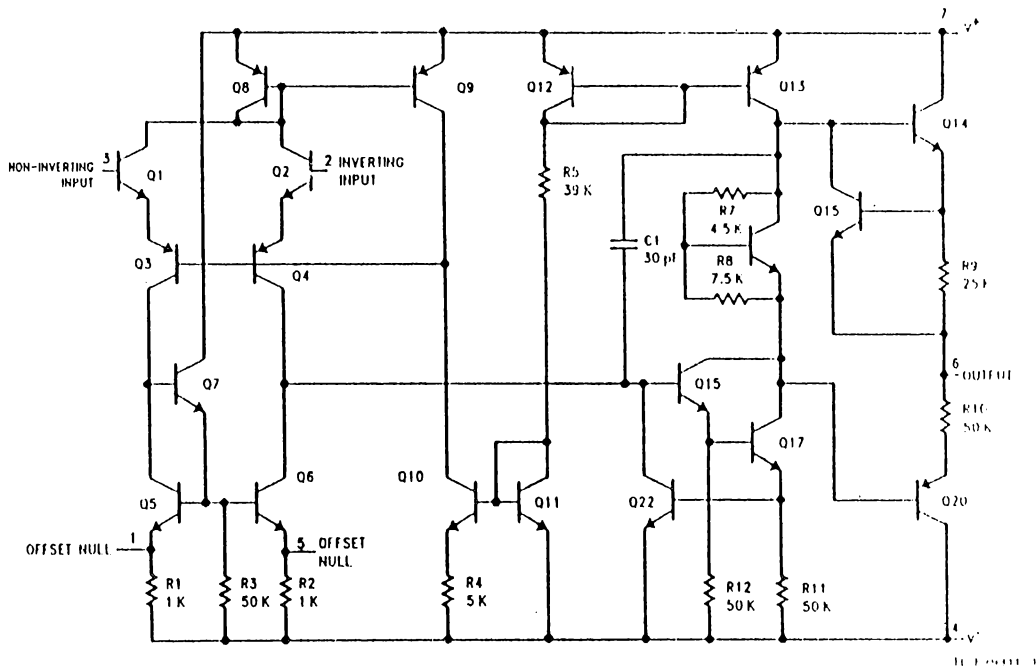
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications. The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and

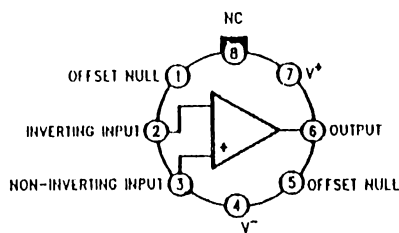
output, no latch up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Schematic and Connection Diagrams (Top Views)

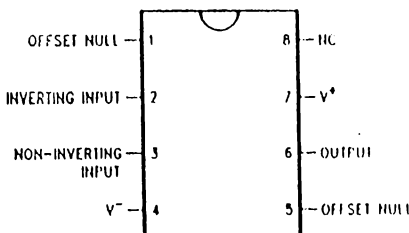


Metal Can Package



Order Number LM741H, LM741AH,
LM741CH or LM741EH
See NS Package Number H08C

Dual-In-Line or S.O. Package



Order Number LM741CJ, LM741CM,
LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

LM741/LM741A/LM741C/LM741E

LM741/LM741A/LM741C/LM741E

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	+15V	±15V	+15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C

See AN 450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ $R_S < 10\text{ k}\Omega$ $R_S < 50\Omega$		0.8	3.0		1.0	5.0		2.0	6.0	mV
	$T_{\text{MIN}} < T_A < T_{\text{MAX}}$ $R_S < 50\Omega$ $R_S < 10\text{ k}\Omega$			4.0			6.0			7.5	mV
Average Input Offset Voltage Drift				15							$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	±10			±15			±15			mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30		20	200		20	200	nA
	$T_{\text{MIN}} < T_A < T_{\text{MAX}}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80		80	500		80	500	nA
	$T_{\text{MIN}} < T_A < T_{\text{MAX}}$			0.210			1.5			0.8	μA
Input Resistance	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0		0.3	2.0		M Ω
	$T_{\text{MIN}} < T_A < T_{\text{MAX}}$ $V_S = \pm 20\text{V}$	0.5									M Ω
Input Voltage Range	$T_A = 25^\circ\text{C}$							±12	±13		V
	$T_{\text{MIN}} < T_A < T_{\text{MAX}}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}, R_L = 2\text{ k}\Omega$ $V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$	50									V/mV
	$T_{\text{MIN}} < T_A < T_{\text{MAX}}$ $R_L = 2\text{ k}\Omega$				50	200		20	200		V/mV
	$V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$	32									V/mV
	$V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$ $V_S = \pm 15\text{V}, V_O = \pm 2\text{V}$	10			25			15			V/mV

Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$ $R_L = 10k\Omega$ $R_S = 2k\Omega$	±16									V
	$V_S = \pm 15V$ $R_L = 10k\Omega$ $R_S = 2k\Omega$	±15			±12 ±10	±14 ±13		±12 ±10	±14 ±13		V
Output Short Circuit Current	$T_A = 25^\circ C$ $I_{AMIN} > I_A > I_{AMAX}$	10	25	35		25			25		mA
		10		40							mA
Common-Mode Rejection Ratio	$I_{AMIN} > I_A > I_{AMAX}$ $R_S = 10k\Omega, V_{CM} = \pm 12V$ $R_S = 50k\Omega, V_{CM} = \pm 12V$				70	90		70	90		dB
		80	95								dB
Supply Voltage Rejection Ratio	$I_{AMIN} > I_A > I_{AMAX}$ $V_S = \pm 20V$ to $V_S = \pm 15V$ $R_S = 50k\Omega$ $R_S = 10k\Omega$										dB
		86	96		77	96		77	96		dB
Transient Response Rise Time	$T_A = 25^\circ C$, Unity Gain		0.25	0.9		0.3			0.3		μs
			6.0	20		5			5		%
Bandwidth (Note 4)	$T_A = 25^\circ C$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ C$, Unity Gain	0.3	0.7			0.5			0.5		V/ μs
Supply Current	$T_A = 25^\circ C$					1.7	2.0		1.7	2.0	mA
Power Consumption	$T_A = 25^\circ C$ $V_S = \pm 20V$ $V_S = \pm 15V$		80	150							mW
						50	85		50	85	mW
LM741A	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			165							mW
LM741E	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			150							mW
						60	100				mW
						45	75				mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and I_{Tmax} (listed under "Absolute Maximum Ratings") $I_T = I_A + (\theta_{JA} P_D)$.

Thermal Resistance	CerDip (J)	DIP (H)	TO-8 (H)	80-8 (M)
θ_{JA} (Junction to Ambient)	100°C/W	100°C/W	150°C/W	105°C/W
θ_{JC} (Junction to Case)	N/A	N/A	80°C/W	N/A

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-65^\circ C \leq T_A \leq +125^\circ C$ (LM741/LM741A). For the LM741C/LM741E these specifications are limited to $0^\circ C \leq T_A \leq +70^\circ C$.

Note 4: Calculated value from BW (MHz) $\approx 0.35/$ Rise Time(μs).

Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

SOFTWARE UTILIZADO.

- WordPerfect versión 5.1. Procesador de texto.
- Smartwork. Diseño de circuitos impresos.
- Orcad versión 3.22. Diseño gráfico electrónico.
- Micro Logic. Simulador de circuitos digitales.

BIBLIOGRAFIA.

- M. Sánchez - J.A Corbelle. " Transmisión Digital " McGRAW-HILL / Interamericana de España, S.A., 1992.

- " Digital Comunication Vol. 1 : Pulse Modulation and Sampling". Lab-volt, 1a. edición, Québec, Cánada, 1987.

- " Memory device data" Motorola Inc. 1991.

- " TTL data book" Texas Instrument, Texas, 1988

- Ronald J. Tocci. " Sistemas Digitales"

- " Radio Shack Data Book". Circuitos y aplicaciones.

- " Manual de referencias 286 turbo mainboard ". IBM PC.

- " Programing with 386 SX ". Intel Corp., 1991.

- J.F Guardado; J. R. Hernández; J.E. Morales. " Sistema didáctico por computadora para el aprendizaje de la codificación usada en comunicación digital ". 1992.