

Diseño y Simulación de Circuito Integrado Convertidor Digital Analógico

Design and simulation of an analogical digital convertor integrated circuit

Recibido: : Noviembre 2015, aceptado: enero 2016

Miguel E. Flores*

Resumen

En el presente artículo se presenta el proceso de diseño y simulación de un Circuito Integrado cuya función es realizar la conversión de señales digitales a señales analógicas.

Palabras Clave: Circuito Integrado, Diseño de capacitor Poly-Poly, Diseño de resistencia PHR, Magic VLSI.

Abstract

This paper presents the process for the design and simulation of an Integrated Circuit whose purpose is the conversion of digital signals to analogical signals.

Keywords: Integrated Circuit, Design of a Poly-Poly capacitor, PHR resistance design, Magic VLSI.

* Universidad Don Bosco, miguel.flores@udb.edu.sv

I. Introducción

EL convertidor digital-analógico (DAC) es una parte muy importante en muchos dispositivos electrónicos de alto consumo, como los celulares, computadoras, reproductores de audio/video, etc., por lo que muchas compañías han invertido grandes cantidades de tiempo y recursos para ir desarrollando cada vez mejores convertidores. El propósito de este documento es mostrar la realización del proceso de diseño y simulación de un circuito integrado que realice dicha función.

II. Red R/2R para la Conversión de Señales

Uno de los métodos más utilizados para la conversión de señales digitales a señales analógicas es la utilización de la red R/2R (Georgia State University), Fig 1. La cual posee una alta velocidad de respuesta, debido a la no utilización de capacitores, y que además ocupa valores de resistencias fijos. Con el arreglo R/2R se coloca un Amplificador Operacional que le da cierta independencia de la carga, ya que cualquier resistencia que se coloque en la salida de la red R/2R afectará su funcionamiento, pero con el Amp Op se pueden colocar valores de resistencia mayores a 10Mohms sin que se afecte el funcionamiento del circuito.

III. Diseño del amplificador operacional

Se tomó como base el diseño mostrado en (Baker 2010), donde se tiene un amplificador operacional de dos etapas y que además posee una modificación para que su entrada admita valores que van en el rango de riel a riel. La ampliación en el rango es necesaria para minimizar las deformaciones en la salida del DAC. Si no se colocará esta modificación entonces cerca de los 0 voltios de salida habría una gran deformación debido al corte en que caerían los transistores al tener entradas cercanas a los cero voltios, con lo que salen de la zona de saturación y caen en la zona de corte.

Se colocó un capacitor de compensación para darle estabilidad al Amp Op, de lo contrario se tenía una ganancia mayor a uno cuando la salida se desfasa 180 y se corre el riesgo que el circuito oscile sin control.

En la Figura 3 aparece la salida del Amp Op sin el capacitor de compensación, donde se observa que es inestable.

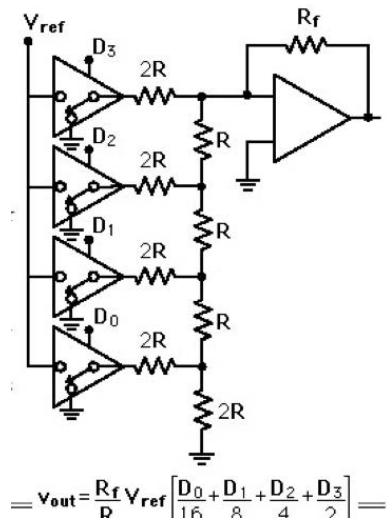


Fig. 1. Ejemplo de Red R/2R en un conversor básico de 4 bits

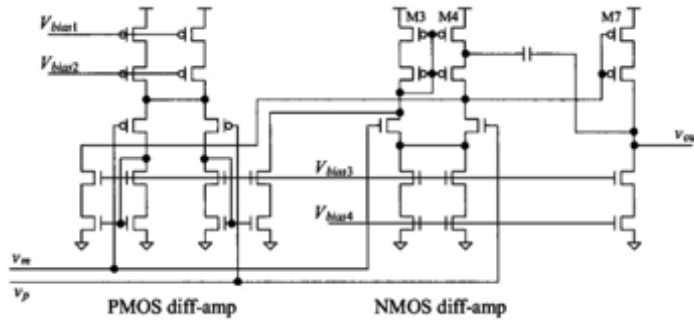


Fig. 2. Diagrama de Amplificador Operacional de dos etapas con salida de riel a riel. (Baker 2010)

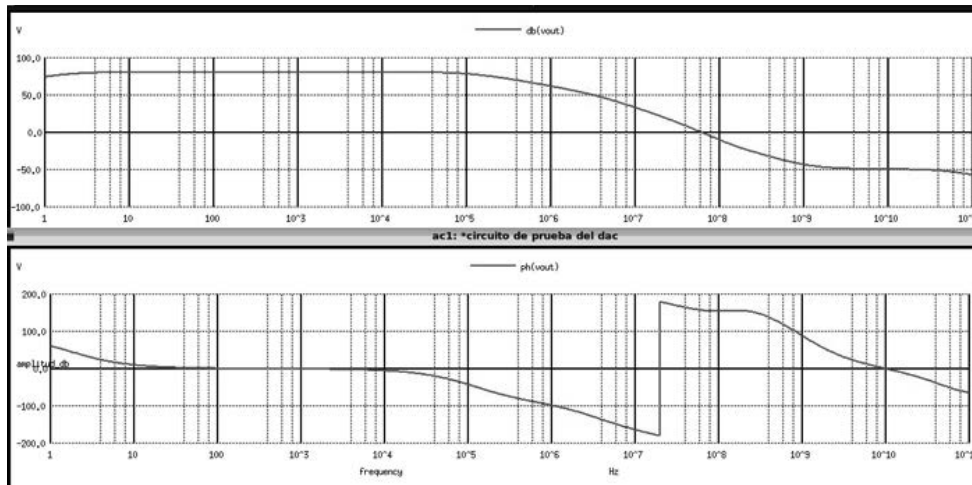


Fig. 3. Salida de Amp Op sin capacitor de compensación

Para los voltajes de referencia se ocuparon circuitos simples como los mostrados en (Baker 2010), ver diagrama en la Fig 4. Que, de acuerdo a las simulaciones obtenidas, son suficientes para mantener los voltajes requeridos para el buen funcionamiento del circuito.

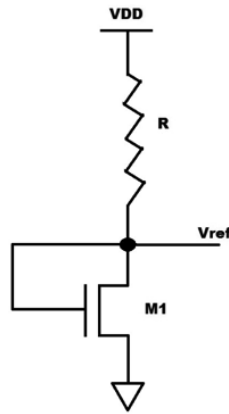


Fig. 4. Diagrama de referencia de voltaje. (Baker 2010)

IV. Sobre la tecnología utilizada en el DAC

Se escogió la tecnología SCN3ME-Submicron.30 para el desarrollo del circuito, la cual tiene un feature size de 0.50 micrómetros, y que posee un λ de 0.30 micrómetros. Dicha tecnología es muy conocida y estable ya que tiene varios años en la industria, por lo que ya se tiene bastante experiencia en su uso, manejo y construcción en las Fabs. Además es capaz de manejar voltajes TTL y se pueden realizar en ella el diseño de circuitos digitales y también analógicos.

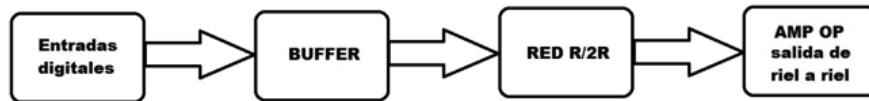


Fig. 5. Diagrama de bloques del DAC diseñado.

V. Geometría (layout) del circuito

En la fig. 5 aparece el diagrama de bloques del convertidor diseñado. El valor de resistencias utilizadas para la red R/2R es de 100 kOhms. Y son de tipo PHR (Polisilicio de alta resistencia). En la Fig. 6 se muestra la geometría de una de ellas. Se escogió dicho valor para proporcionar una alta impedancia de entrada, pero no se podía poner un valor muy elevado debido a que se necesitaría que el layout de la resistencia tuviera mayores dimensiones, con lo que se incrementan las capacitancias parásitas producidas por ellas.

Para calcular las dimensiones se tiene:

$$L/W = R/R_{square} \quad (1)$$

Con lo que para una resistencia de 100kohms se tiene:

$$100k/1051 = 95,14$$

Donde 1051 es el valor dado por la tecnología para la Rsquare del polisilicio de alta resistencia.

Asumiendo $W = 2$ se tiene $L = 92,94 * W = 92,94 * 2 = 190,28 \Rightarrow 190\lambda$ (el valor de λ tiene que ser un número entero).

A la entrada de las resistencias de la red R/2R se ubicaron buffers para asegurar que la señal de entrada a las resistencias fueran lo más cercano posible a los valores de 5 o 0 voltios. Para ello se ocuparon dos inversores en serie para conformar el buffer, que nos servirá como un interruptor digital. Ver Fig. 7.

Dichos buffers fueron diseñados de acuerdo a como aparecen en (Uyemura 1999), se buscó que el voltaje de entrada necesario para el cambio de estado en la salida estuviera alrededor de 2.5V. Como la relación entre los K (Parámetro de transconductancia) del NMOS y del PMOS es de 3 para los modelos de la tecnología ocupada. Ese valor será precisamente la relación existente entre las dimensiones del NMOS y del PMOS: $3W_n = W_p$. Tomando W_n como 100λ , se tiene entonces que W_p será de 300λ .

La respuesta de salida del buffer, al realizar un barrido DC en su entrada, es la mostrada en la Fig. 8.

El layout de uno de los buffers se muestra en la Fig. 9, en donde se observa que está compuesto de dos estructuras idénticas, cada una de esas estructuras es un inversor.

Y su respuesta al introducirle una señal cuadrada de 10Mhz se muestra en la fig. 10, en donde se puede apreciar que el buffer responde muy bien a esa frecuencia.

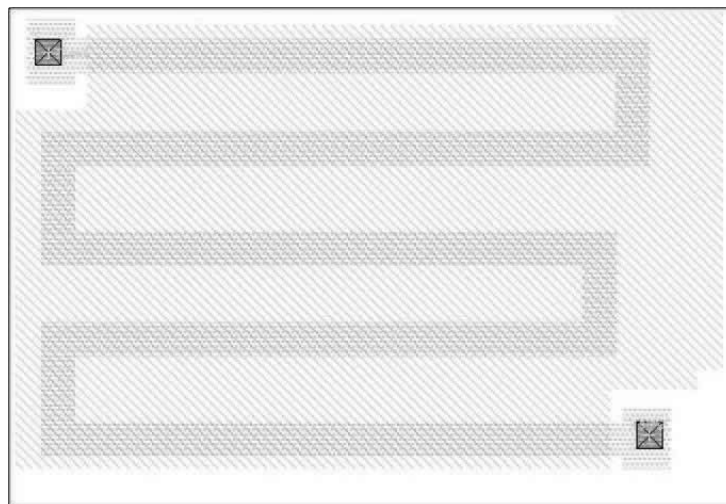


Fig. 6. Geometría resistencia de 100k.

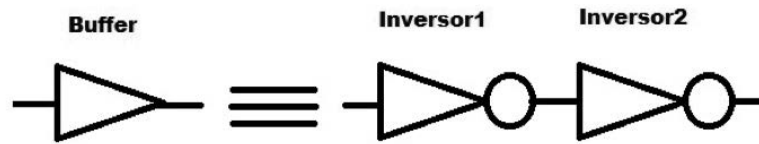


Fig. 7. Construcción de buffer a partir de dos inversores.

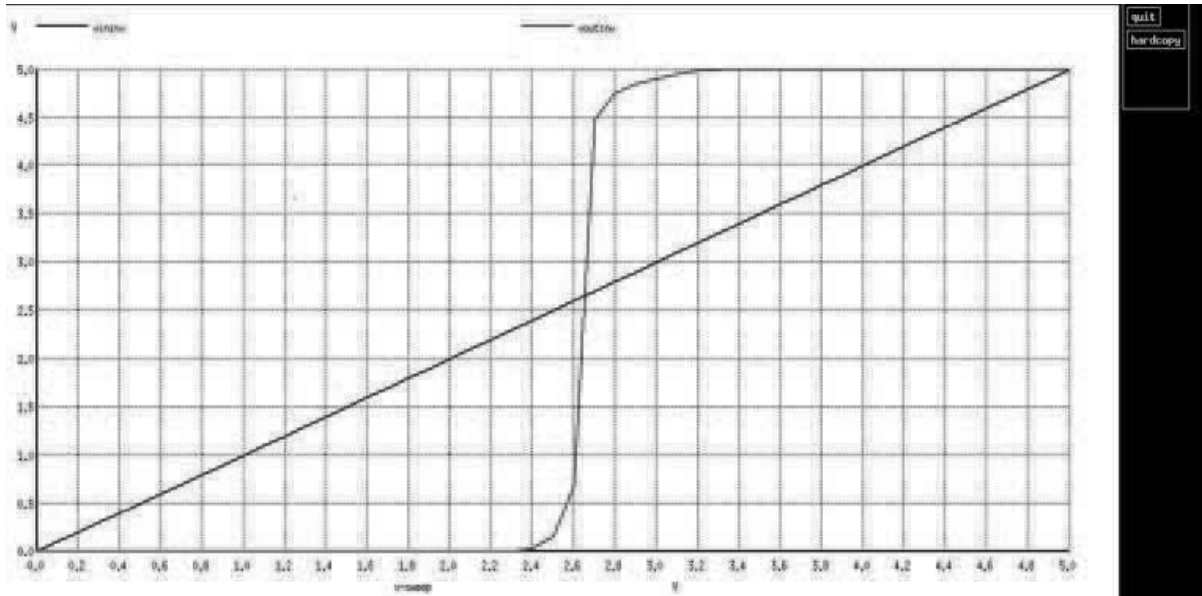


Fig. 8. Salida del buffer colocado a las entradas de la red R/2R.

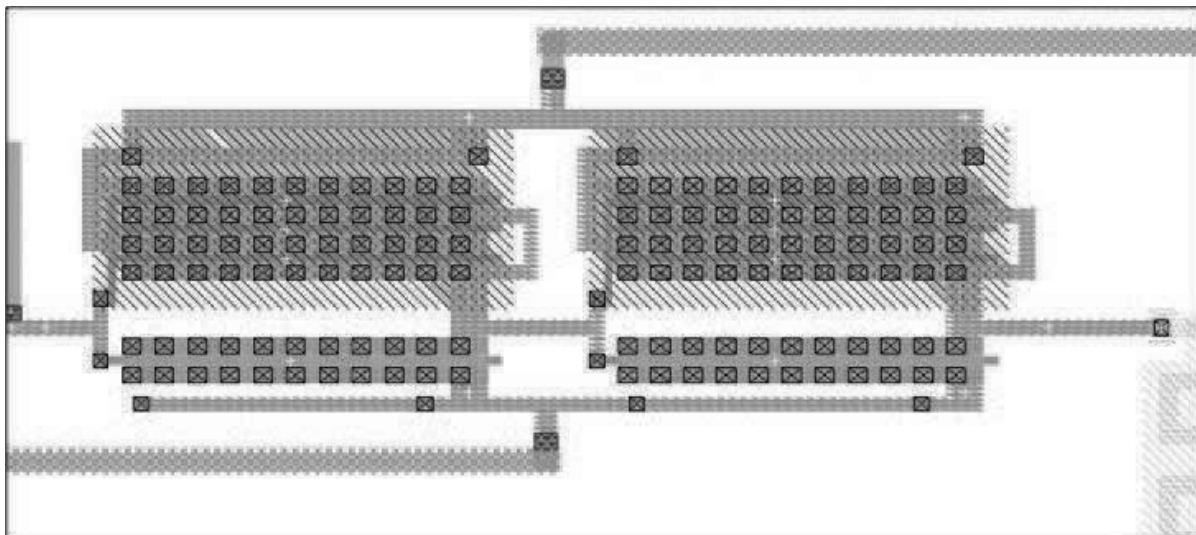


Fig. 9. Geometría o Layout del buffer conformado por dos inversores.

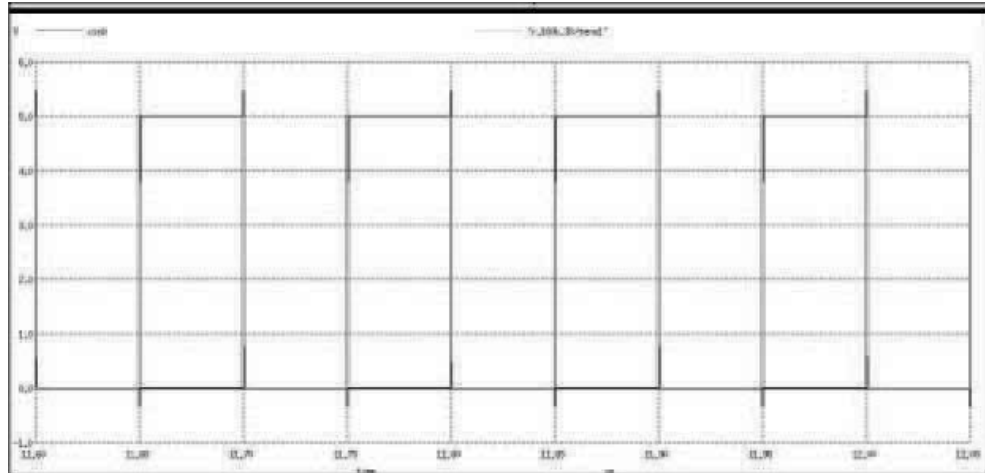


Fig. 10. Salida del buffer colocado a las entradas de la red R/2R.

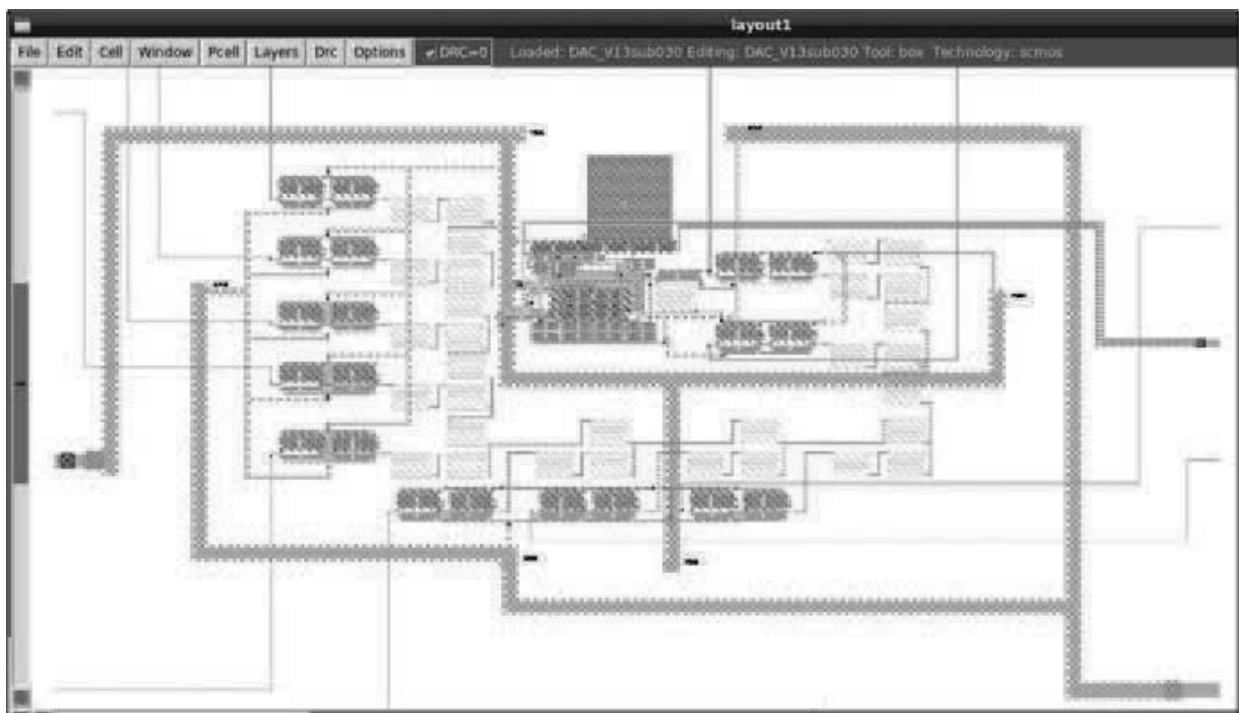


Fig. 11. Geometría o layout del circuito DAC.

Como se puede observar de la Fig. 5, después de la red R/2R se encuentra el circuito del Amplificador Operacional, el cual está configurado como un amplificador no inversor, con ganancia de voltaje unitaria.

La geometría o layout del DAC se muestra en la Fig. 11. Se observan los inversores conectados en serie en las entradas de las resistencias, además del Amp Op y su capacitor de compensación, el

cual ocupa una gran cantidad de espacio a comparación del resto de los componentes.

Para el diseño del capacitor de compensación se buscaba una capacitancia de aproximadamente 3.5pF, que era el valor necesario, de acuerdo a las pruebas realizadas, para que el Amp Op tuviera estabilidad, buena respuesta a la frecuencia y que a su vez no fuera demasiado grande para realizarlo.

Con estos datos, y la información adicional que el valor de C' para un capacitor de poly-poly2 es de 940aF / μm^2 , se hizo:

$$\text{Área} = \frac{C''}{C'} \quad (2)$$

Con lo que sus dimensiones son:

$$\text{Area} = \frac{3,5pF}{940aF/\mu\text{m}^2} = 3723\mu\text{m}^2$$
$$\sqrt{3723\mu\text{m}^2} = 61,02$$

Por tanto queda a 61 μm^2 , lo que en λ equivale aproximadamente a 203 λ , lo cual en realidad es 60,9 μm por lado.

Vi. Resultados de las simulaciones realizadas en el DAC

Para realizar la simulación se ocuparon 10 fuentes ideales de voltaje pulsantes, para poder introducir todos los patrones posibles de entrada (los 1024 patrones) y poder observar los cambios en la salida. La salida máxima esperada es de:

$$V_{out} = V_{ref} * \frac{2^n - 1}{2^n} \quad (3)$$
$$V_{out} = 5 * \frac{2^{10} - 1}{2^{10}} = 5 * \frac{1023}{1024} = 4,995\text{Volts}$$

La salida obtenida en la simulación del circuito DAC es de: 4.983 Volts por lo que se tiene un error del 0.24 %. Es en este punto donde se obtiene el mayor error. Todas las demás condiciones tienen errores menores a éste. Esta diferencia se obtuvo a una frecuencia de trabajo de 1Mhz, también se puede ocupar a frecuencias mayores, como 10 MHz, pero en este caso el error aumenta a 0.5 %.

En la Fig.13 se observa la salida del DAC. De esa gráfica se puede ver que el comportamiento del circuito es el esperado ante la entrada recibida. Mostrando como convierte las diferentes

combinaciones de entrada (ya es el voltaje proveniente de la red R/2R) en niveles de voltaje analógicos (etiquetados como v_m ya que esta misma señal se retroalimenta a la entrada inversora del Amp Op).

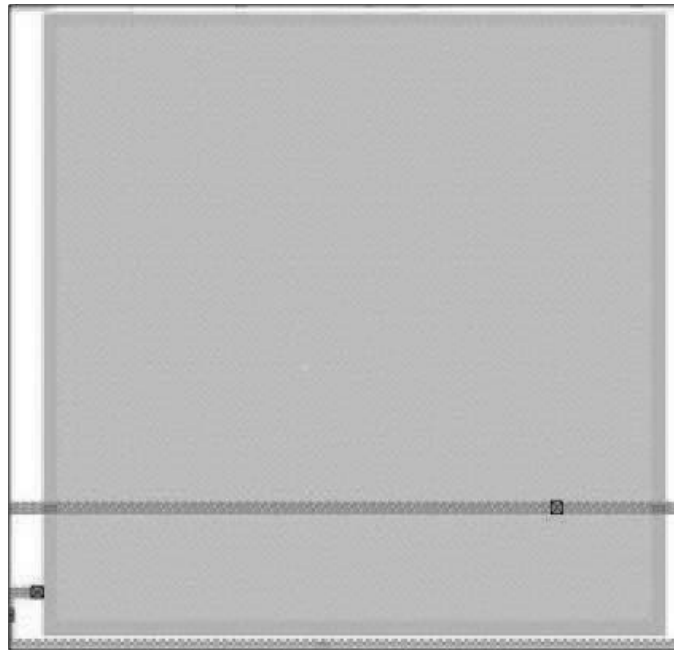


Fig. 12. Geometría del capacitor de compensación.

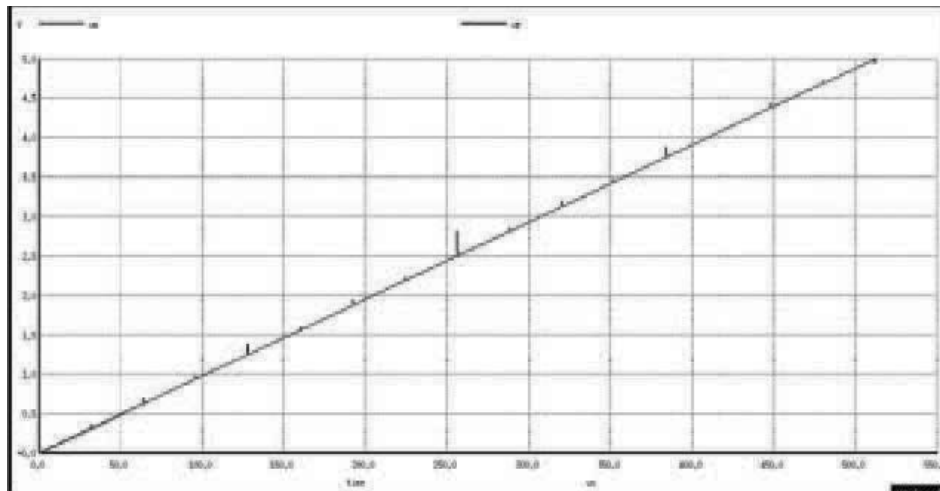


Fig. 13. Salida del DAC, v_m es el voltaje de salida del circuito, v_p es el voltaje que sale de la red R/2R y llega a la entrada no inversora del amplificador operacional.

VII. Conclusiones

En este artículo se presentó el diseño de un DAC de 10 bits utilizando Open Software en su proceso. Las simulaciones obtenidas demuestran el funcionamiento del circuito, mostrando que los valores obtenidos están adentro de lo que cabe esperar en un circuito como éste. Además todo el

proceso de diseño realizado servirá de punto de partida para futuros proyectos en el área de microelectrónica. Ya sea con herramientas abiertas o privativas, ya que el flujo de diseño es muy similar en ambos casos. Variando el nombre de las herramientas y su facilidad de utilización, así como sus posibles características y alcances. Las capacitancias parásitas generadas en los diversos elementos del circuito, como la red R/2R, suavizan la señal al aumentar la frecuencia de trabajo. Limitando con ello la frecuencia máxima de operación del circuito.

VIII. Recomendaciones de mejoras

- Para poder aumentar su velocidad de respuesta se pueden realizar varias mejoras:
- Disminuir las capacitancias del circuito reduciendo, por ejemplo, las dimensiones de las resistencias, cuidando de no afectar demasiado la salida de los buffers.
- Tratar de pasar la mayor cantidad de uniones de elementos usando metal2 y metal3, ya que al estar más lejos del sustrato, tienen menor capacitancia que el metal1.
- Utilizar otra tecnología con menor λ .

Referencias

- Baker, Jacob (2010). *CMOS, circuit design and Simulation*. John Wiley and Sons, Inc. USA.
Georgia State University, consultada en <http://hyperphysics.phy-astr.gsu.edu/hbaseees/electronic/dac.htmlc3>.
- Uyemura, John P. (1999). *CMOS logic circuit design*. John Wiley. USA.