



**" DISEÑO DE UN ADQUISIDOR DE DATOS  
DE UNA PC PARA LA IMPLEMENTACIÓN  
DE UN OSCILOSCOPIO"**

**TRABAJO DE GRADUACIÓN  
PREPARADO PARA LA FACULTAD  
DE ESTUDIOS TECNOLÓGICOS**

**PARA OPTAR AL GRADO DE:**



**TÉCNICO EN  
INGENIERIA ELECTRÓNICA**

**POR**

**GERBER OMAR PINEDA BARAHONA**

**WILLBER GERMAN MARTÍNEZ ABARCA**

**MARZO - 1998**

**SOYAPANGO - EL SALVADOR - CENTROAMERICA**

**UNIVERSIDAD DON BOSCO**

**RECTOR**

**ING. FEDERICO MIGUEL HUGUET RIVERA**

**SECRETARIO GENERAL**

**PBRO. PEDRO JOSE GARCIA CASTRO, S.D.B.**

**DECANO DE LA FACULTAD DE ESTUDIOS TECNOLOGICOS**

**ING. ROBERTO CARLOS ALVARENGA URIAS.**

**ASESOR DEL TRABAJO DE GRADUACION**

**ING. OSCAR REINALDO VILLALTA**

**JURADO EXAMINADOR**

**ING. NELSON QUINTANILLA**

**ING. HECTOR CARIAS**

**UNIVERSIDAD DON BOSCO**

**FACULTAD DE ESTUDIOS TECNOLOGICOS**

**JURADO EVALUADOR DEL TRABAJO DE GRADUACION**

**DISEÑO DE UN ADQUISIDOR DE DATOS  
PARA LA IMPLEMENTACION DE  
UN OSCILOSCOPIO**



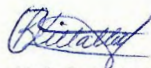
**ING. NELSON QUINTANILLA**

**JURADO**



**ING. HECTOR CARIAS**

**JURADO**



**ING. OSCAR VILLALTA**

**ASESOR**

## AGRADECIMIENTOS

*" Mas a **Dios** gracias, el cual nos lleva siempre en triunfo  
en **Cristo Jesús**, y por medio de nosotros manifiesta  
en todo lugar el olor de su conocimiento."*

2a. Corintios 2:14

A nuestros Padres, familiares y compañeros gracias por brindarnos su apoyo  
y motivación para alcanzar esta meta.



Willber Martinez



Gerber Pineda.

## INDICE

|                                                                         |    |
|-------------------------------------------------------------------------|----|
| INTRODUCCIÓN.....                                                       | i  |
| CAPÍTULO I.....                                                         | 1  |
| <u>1.1</u> <u>INTRODUCCIÓN</u> .....                                    | 1  |
| <u>1.2</u> <u>FUNCIONAMIENTO</u> .....                                  | 3  |
| 1.2.1  OSCILOSCOPIOS ANALÓGICOS.....                                    | 3  |
| 1.2.2  OSCILOSCOPIOS DIGITALES.....                                     | 5  |
| 1.2.2.1  MÉTODOS DE MUESTREO.....                                       | 7  |
| <u>1.3</u> <u>TERMINOLOGÍA</u> .....                                    | 9  |
| 1.3.1  TÉRMINOS UTILIZADOS AL MEDIR.....                                | 9  |
| 1.3.2  TIPOS DE ONDAS.....                                              | 10 |
| 1.3.3  MEDIDAS EN LAS FORMAS DE ONDA.....                               | 13 |
| 1.3.4  PARÁMETROS QUE INFLUYEN EN LA CALIDAD DE UN<br>OSCILOSCOPIO..... | 15 |
| <u>1.4</u> <u>PUESTA EN FUNCIONAMIENTO</u> .....                        | 18 |
| 1.4.1  SONDAS DE MEDIDA.....                                            | 22 |
| 1.4.2  SISTEMA DE VISUALIZACION.....                                    | 24 |
| 1.4.3  SISTEMA VERTICAL.....                                            | 25 |
| 1.4.4  SISTEMA HORIZONTAL.....                                          | 27 |
| CAPÍTULO 2.....                                                         | 29 |
| <u>2.1</u> <u>INTRODUCCIÓN</u> .....                                    | 29 |
| <u>2.2</u> <u>ARQUITECTURA DE COMPUTADORAS</u> .....                    | 29 |
| 2.2.1  LA TARJETA MADRE (MOTHERBOARD).....                              | 29 |
| 2.2.2  EL MICROPROCESADOR.....                                          | 30 |
| 2.2.3  EL PROCESADOR MATEMÁTICO.....                                    | 32 |
| 2.2.4  SISTEMA DE MEMORIA.....                                          | 32 |
| 2.2.5  EI MAPA DE MEMORIA DEL SISTEMA.....                              | 33 |
| 2.2.6  EL CONTROLADOR PROGRAMABLE DE INTERRUPCIONES.....                | 34 |
| 2.2.7  CONTROLADOR DMA.....                                             | 35 |

|                                     |                                                                        |           |
|-------------------------------------|------------------------------------------------------------------------|-----------|
| 2.2.8                               | EL GENERADOR DE RELOJ .....                                            | 35        |
| 2.2.9                               | EL CONTADOR DE INTERVALOS DE TIEMPO PROGRAMABLE .....                  | 36        |
| 2.2.10                              | CONTROLADORES DE VIDEO .....                                           | 36        |
| 2.2.11                              | CONTROLADORES DE E/S .....                                             | 36        |
| 2.2.12                              | SISTEMA DE BUSES .....                                                 | 37        |
| 2.2.13                              | EL BUS DE DIRECCIONES .....                                            | 37        |
| 2.2.14                              | EL BUS DE DATOS .....                                                  | 38        |
| 2.2.15                              | INTERCONEXIÓN DE LA INTERFAZ CON LA COMPUTADORA .....                  | 38        |
| <u>2.3</u>                          | <u>ORGANIZACION DE ENTRADA Y SALIDA</u> .....                          | <u>41</u> |
| 2.3.1                               | INTERFACES DE E/S .....                                                | 41        |
| 2.3.1.1                             | INTERFAZ EN PARALELO .....                                             | 42        |
| 2.3.1.2                             | INTERFAZ EN SERIE .....                                                | 42        |
| 2.3.1.3                             | LA INTERFAZ ANALÓGICA .....                                            | 43        |
| 2.3.1.4                             | LA INTERFAZ IEEE-488: .....                                            | 43        |
| 2.3.2                               | PIA (PERIPHERAL INTERFACE ADAPTER) .....                               | 44        |
| 2.3.3                               | UART (UNIVERSAL ASYNCHRONOUS TRANSMITTER) .....                        | 44        |
| 2.3.4                               | ACIA (ASYNCHRONOUS COMMUNICATIONS INTERFACE<br>ADAPTER) .....          | 44        |
| 2.3.5                               | PPI (PROGRAMMABLE PERIPHERAL INTERFACE) .....                          | 45        |
| CAPITULO 3 .....                    |                                                                        | 46        |
| DISEÑO DE HARDWARE Y SOFTWARE ..... |                                                                        | 46        |
| <u>3.1</u>                          | <u>INTRODUCCIÓN</u> .....                                              | <u>46</u> |
| <u>3.2</u>                          | <u>DESCRIPCIÓN DE LOS CANALES E/S DE EXPANSIÓN ISA DE 8 BITS</u> ..... | <u>47</u> |
| <u>3.3</u>                          | <u>LA PPI 8255 (Interface Programable de Perifericos)</u> .....        | <u>50</u> |
| 3.3.1                               | Modos de Operación del 8255 .....                                      | 50        |
| 3.3.2                               | Descripción de los Pines del 8255A .....                               | 54        |
| <u>3.4</u>                          | <u>DESCRIPCIÓN DEL CIRCUITO DE INTERFAZ</u> .....                      | <u>55</u> |
| <u>3.5</u>                          | <u>MÓDULO DE CONVERSIÓN A/D Y CONTROL</u> .....                        | <u>58</u> |
| 3.5.2                               | CIRCUITO DE CONVERSION ANALÓGO-DIGITAL Y<br>ALMACENAMIENTO. ....       | 60        |

|                                           |    |
|-------------------------------------------|----|
| 3.6 <u>DESCRIPCIÓN DEL PROGRAMA</u> ..... | 64 |
| BIBLIOGRAFÍA.....                         | 69 |
| ANEXOS.....                               | 70 |

## INDICE DE ILUSTRACIONES

|                                                        |    |
|--------------------------------------------------------|----|
| Ilustración 1. Controles de un Osciloscopio.....       | 2  |
| Ilustración 2. Diagrama de Bloques (Analógico).....    | 3  |
| Ilustración 3. Diagrama de Bloques (Digital).....      | 5  |
| Ilustración 4. Muestreo .....                          | 6  |
| Ilustración 5. Tipos de Interpolación.....             | 8  |
| Ilustración 6. Muestreo en tiempo equivalente.....     | 9  |
| Ilustración 7. Onda Senoidal.....                      | 11 |
| Ilustración 8. Onda Cuadrada y Rectangular.....        | 11 |
| Ilustración 9. Onda Triangular y Diente de Sierra..... | 12 |
| Ilustración 10. Pulsos y escalones.....                | 13 |
| Ilustración 11. Período y Frecuencia.....              | 14 |
| Ilustración 12. Fase.....                              | 14 |
| Ilustración 13. Desfase.....                           | 15 |
| Ilustración 14. Correa conductora.....                 | 19 |
| Ilustración 15. Encendido .....                        | 19 |
| Ilustración 16. Conector.....                          | 19 |
| Ilustración 17. Selección de canal o disparo .....     | 20 |
| Ilustración 18. Selector de escala.....                | 20 |
| Ilustración 19. Calibración.....                       | 21 |
| Ilustración 20. Conmutador .....                       | 21 |
| Ilustración 21. Modo de disparo .....                  | 21 |
| Ilustración 22. Intensidad y enfoque.....              | 21 |
| Ilustración 23. Sonda de medida.....                   | 22 |
| Ilustración 24. Ajustes .....                          | 24 |
| Ilustración 25. Descripción del Sistema.....           | 46 |
| Ilustración 26. Slot ISA de 8 bits.....                | 47 |
| Ilustración 27. Registro de Control.....               | 51 |
| Ilustración 28. Interfaz Paralela .....                | 57 |
| Ilustración 29. Selector de Escalas de Voltaje.....    | 59 |
| Ilustración 30. Conversión A/D y Almacenamiento.....   | 63 |

## INTRODUCCION

Debido al desarrollo tecnológico en el área de los microprocesadores, las computadoras personales son utilizadas para una diversidad de aplicaciones, entre las cuales se puede mencionar: correo electrónico, control industrial, comunicaciones de datos, simuladores analógicos y digitales, etc. Por lo cual se observa que es una herramienta que se puede utilizar en muchas áreas.

Uno de los campos en los cuales ha incursionado exitosamente la utilización de PC's es el de los Equipos de Medición Electrónicos. Esto ha permitido que se desarrollen diseños de distintos tipos de interfaces que realicen la adquisición de datos de las variables bajo medición.

En el presente documento se hace una descripción del proyecto denominado *"Diseño de un Adquisitor de Datos de una PC para la Implementación de un Osciloscopio"*.

Para lograr una mejor comprensión del tema desarrollado se realizará a continuación una descripción de los aspectos teóricos relacionados a los componentes y dispositivos utilizados en la implementación.

En el capítulo 1 se explica el funcionamiento de un Osciloscopio y de las partes que lo forman.

El capítulo 2 se refiere a la Arquitectura y funcionamiento de las Computadoras Personales más utilizadas en nuestro medio, de tal manera que se obtenga una idea clara de la operación de cada una de las partes que la componen.

Y finalmente el capítulo 3 trata específicamente el diseño del hardware y software que nos permite la implementación de un osciloscopio en una PC.

# CAPÍTULO I

## EL OSCILOSCOPIO

### 1.1 INTRODUCCIÓN

El osciloscopio es básicamente un dispositivo de visualización gráfica que muestra señales eléctricas variables en el tiempo. El eje vertical, a partir de ahora denominado Y, representa el voltaje; mientras que el eje horizontal, denominado X, representa el tiempo.

Con un osciloscopio básicamente se puede:

- Determinar directamente el período y el voltaje de una señal.
- Determinar indirectamente la frecuencia de una señal.
- Determinar qué parte de la señal es DC y cual AC.
- Localizar averías en un circuito.
- Medir la fase entre dos señales.
- Determinar qué parte de la señal es ruido y cómo varia éste en el tiempo.

Los osciloscopios son de los instrumentos más versátiles que existen y lo utilizan desde técnicos de reparación de televisores a médicos. Un osciloscopio puede medir un gran número de fenómenos, provisto del transductor adecuado (un elemento que convierte una magnitud física en señal eléctrica) será capaz de darnos el valor de una presión, ritmo cardíaco, potencia de sonido, nivel de vibraciones en un coche, etc.

Los equipos electrónicos que existen se dividen en dos tipos: **Analógicos** y **Digitales**.

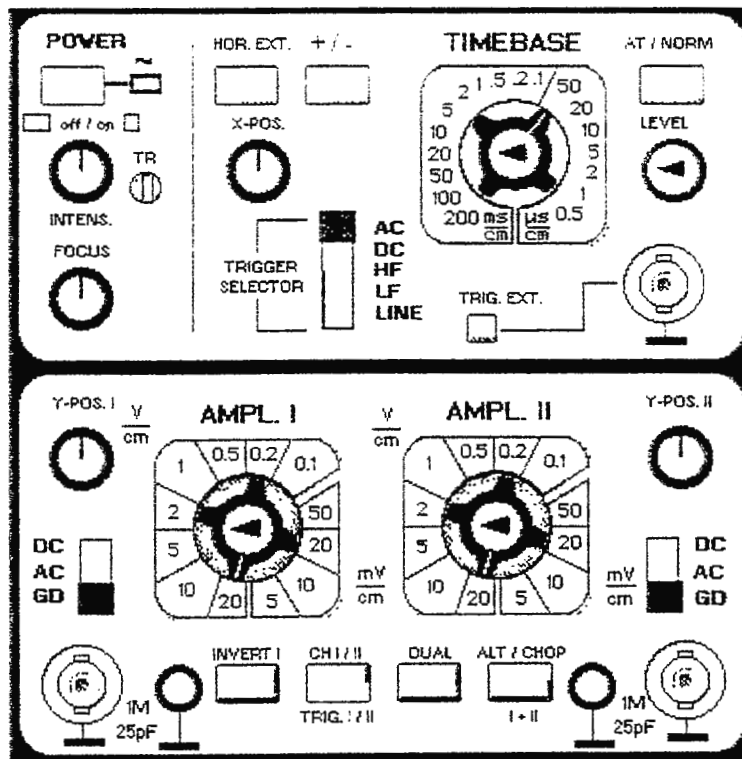
Los primeros trabajan con variables continuas mientras que los segundos lo hacen con variables discretas. Por ejemplo un tocadiscos es un equipo analógico y un Compact Disc es un equipo digital.

Los Osciloscopios también pueden ser *analógicos o digitales*. Los primeros trabajan directamente con la señal aplicada, ésta una vez amplificada desvía un haz de electrones en sentido vertical proporcionalmente a su valor. En contraste, los osciloscopios digitales, utilizan previamente un convertidor analógico-digital (A/D) para almacenar digitalmente la señal de entrada, reconstruyendo posteriormente esta información en la pantalla.

Ambos tipos tienen sus ventajas e inconvenientes. Los analógicos son preferibles cuando es prioritario visualizar variaciones rápidas de la señal de entrada en tiempo real. Los osciloscopios digitales se utilizan cuando se desea visualizar y estudiar eventos no repetitivos (picos de tensión que se producen aleatoriamente).

A primera vista un osciloscopio se parece a una pequeña televisión portátil, salvo una rejilla que ocupa la pantalla y el mayor número de controles que posee.

En la siguiente figura se representan estos controles distribuidos en cinco secciones:

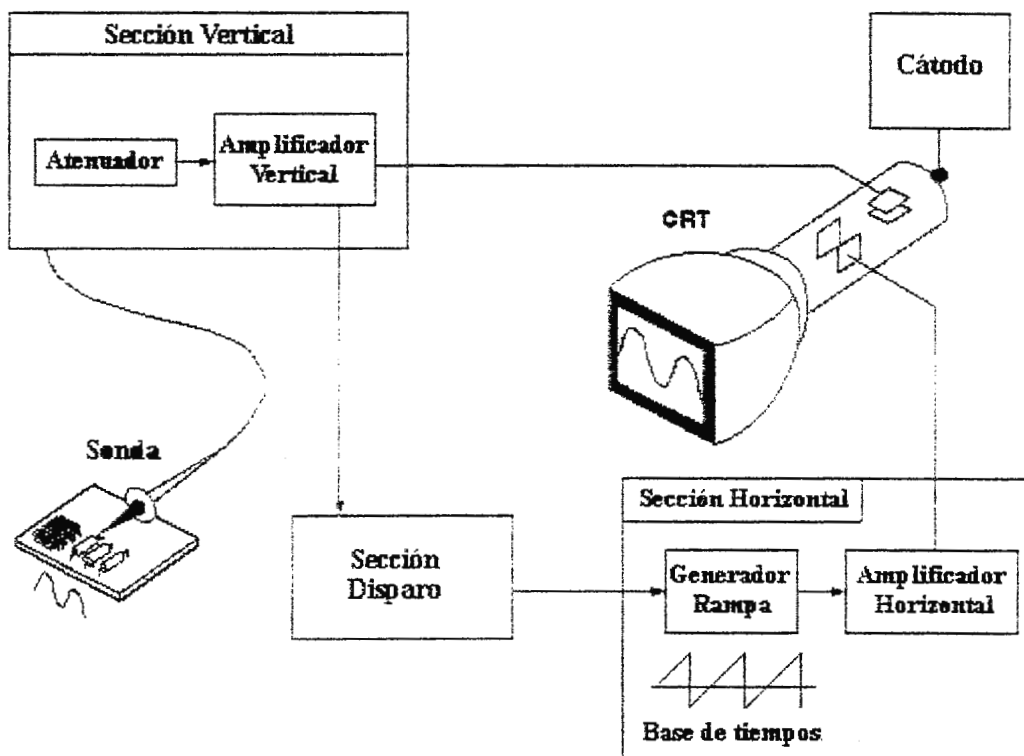


**Ilustración 1. Controles de un Osciloscopio**

## 1.2 FUNCIONAMIENTO

Para entender el funcionamiento de los controles que posee un osciloscopio es necesario detenerse un poco en los procesos internos llevados a cabo por este aparato. Se empezará por el tipo analógico ya que es el más sencillo.

### 1.2.1 OSILOSCOPIOS ANALÓGICOS



**Ilustración 2. Diagrama de Bloques (Analógico)**

Cuando se conecta la sonda a un circuito, la señal atraviesa esta última y se dirige a la sección vertical. Dependiendo de dónde se sitúe el mando del amplificador vertical, se atenuará la señal ó se amplificará.

En la salida de este bloque ya se dispone de la suficiente señal para atacar las placas de deflexión verticales (que naturalmente están en posición horizontal) y que son

las encargadas de desviar el haz de electrones, que surge del cátodo e impacta en la capa fluorescente del interior de la pantalla, en sentido vertical. Hacia arriba si la tensión es positiva con respecto al punto de referencia (GND) ó hacia abajo si es negativa.

La señal también atraviesa la sección de disparo para, de esta forma, iniciar el barrido horizontal (éste es el encargado de mover el haz de electrones desde la parte izquierda de la pantalla a la parte derecha en un determinado tiempo). El trazado (recorrido de izquierda a derecha) se consigue aplicando la parte ascendente de un diente de sierra a las placas de deflexión horizontal (las que están en posición vertical), y puede ser regulable en tiempo actuando sobre el mando TIME-BASE. El retrazado (recorrido de derecha a izquierda) se realiza de forma mucho más rápida con la parte descendente del mismo diente de sierra.

De esta forma la acción combinada del trazado horizontal y de la deflexión vertical traza la gráfica de la señal en la pantalla. La sección de disparo es necesaria para estabilizar las señales repetitivas (se asegura que el trazado comience en el mismo punto de la señal repetitiva).

Como conclusión, para utilizar de forma correcta un osciloscopio analógico se necesita realizar tres ajustes básicos:

- La atenuación ó amplificación que necesita la señal. Utilizar el mando AMPL. para ajustar la amplitud de la señal antes de que sea aplicada a las placas de deflexión vertical. Conviene que la señal ocupe una parte importante de la pantalla sin llegar a sobrepasar los límites.
- La base de tiempos. Utilizar el mando TIMEBASE para ajustar lo que representa en tiempo una división en horizontal de la pantalla. Para señales repetitivas es conveniente que en la pantalla se puedan observar aproximadamente un par de ciclos.

- Disparo de la señal. Utilizar los mandos TRIGGER LEVEL (nivel de disparo) y TRIGGER SELECTOR (tipo de disparo) para estabilizar lo mejor posible señales repetitivas.

Por supuesto, también deben ajustarse los controles que afectan a la visualización: FOCUS (enfoque), INTENS. (intensidad) nunca excesiva, Y-POS (posición vertical del haz) y X-POS (posición horizontal del haz).

## 1.2.2 OSCILOSCOPIOS DIGITALES

Los osciloscopios digitales poseen, además de las secciones explicadas anteriormente, un sistema adicional de proceso de datos que permite almacenar y visualizar la señal.

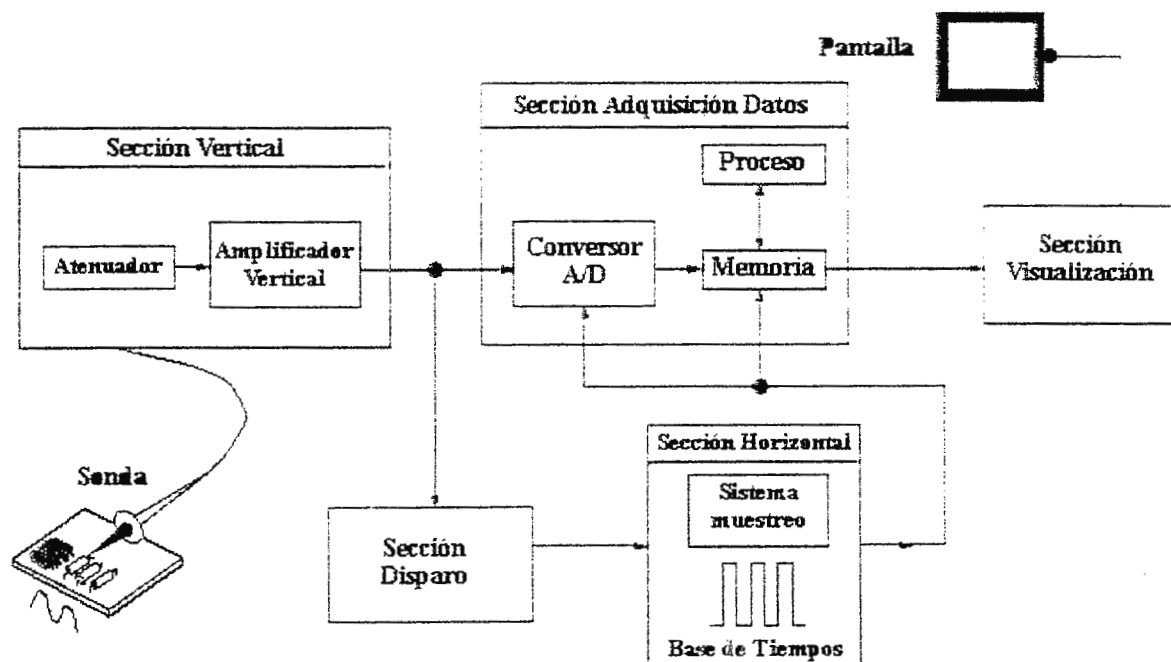


Ilustración 3. Diagrama de Bloques (Digital)

Cuando se conecta la sonda de un osciloscopio digital a un circuito, la sección vertical ajusta la amplitud de la señal de la misma forma que lo hacía el osciloscopio analógico.

El convertidor analógico-digital del sistema de adquisición de datos muestrea la señal a intervalos de tiempo determinados y convierte la señal de voltaje continua en una serie de valores digitales llamados *muestras*.

En la sección horizontal una señal de reloj determina cuándo el conversor A/D toma una *muestra*. La velocidad de reloj se denomina *velocidad de muestreo* y se mide en muestras por segundo.



**Ilustración 4. Muestreo**

Los valores digitales muestreados se almacenan en una memoria como puntos de señal. El número de los puntos de señal utilizados para reconstruir la señal en pantalla se denomina *registro*. La sección de disparo determina el comienzo y el final de los puntos de señal en el registro. La sección de visualización recibe estos puntos del registro, una vez almacenados en la memoria, para presentar en pantalla la señal.

Dependiendo de las capacidades del osciloscopio se pueden tener procesos adicionales sobre los puntos muestreados, incluso se puede disponer de un predisparo, para observar procesos que tengan lugar antes del disparo.

Fundamentalmente, un osciloscopio digital se maneja de una forma similar a uno analógico, para poder tomar las medidas se necesita ajustar el mando AMPL, el mando TIMEBASE así como los mandos que intervienen en el disparo.

### 1.2.2.1 MÉTODOS DE MUESTREO

Se trata de explicar cómo se las arreglan los osciloscopios digitales para reunir los puntos de muestreo.

Para señales de lenta variación, los osciloscopios digitales pueden perfectamente reunir más puntos de los necesarios para reconstruir posteriormente la señal en la pantalla. No obstante, para señales rápidas (como de rápidas dependerá de la máxima velocidad de muestreo del aparato) el osciloscopio no puede recoger muestras suficientes y debe recurrir a una de estas dos técnicas:

- *Interpolación*, es decir, estimar un punto intermedio de la señal basándose en los puntos anteriores y posteriores.
- *Muestreo en tiempo equivalente*. Si la señal es repetitiva es posible muestrear durante unos cuantos ciclos en diferentes partes de la señal para después reconstruir la señal completa.

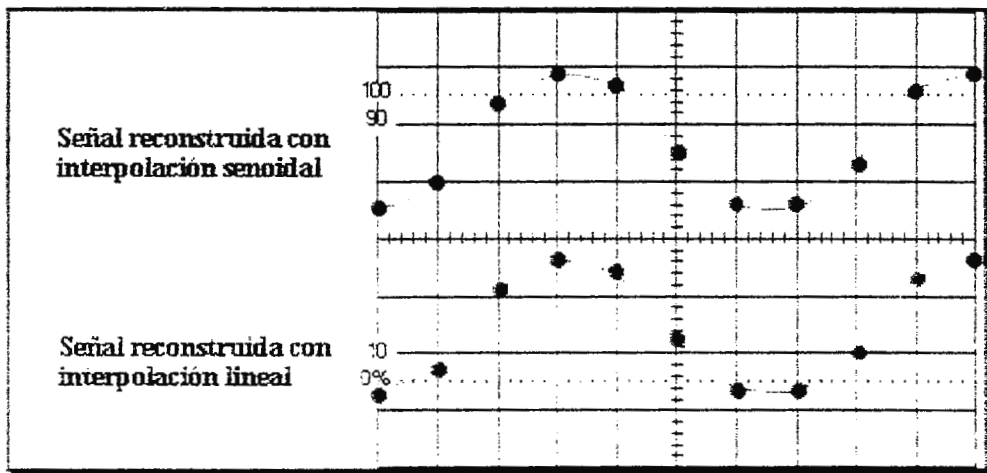
#### A. Muestreo en tiempo real con Interpolación

El método estándar de muestreo en los osciloscopios digitales es el muestreo en tiempo real: el osciloscopio reúne los suficientes puntos como para reconstruir la señal. Para señales no repetitivas o la parte transitoria de una señal es el único método válido de muestreo.

Los osciloscopios utilizan la interpolación para poder visualizar señales que se deforman cuando sobrepasan la frecuencia de muestreo.

Existen básicamente dos tipos de interpolación:

- **Lineal:** Simplemente conecta los puntos muestreados con líneas.
- **Senoidal:** Conecta los puntos muestreados con curvas según un proceso matemático, de esta forma los puntos intermedios se calculan para rellenar los espacios entre puntos reales de muestreo. Usando este proceso es posible visualizar señales con gran precisión disponiendo de relativamente pocos puntos de muestreo.

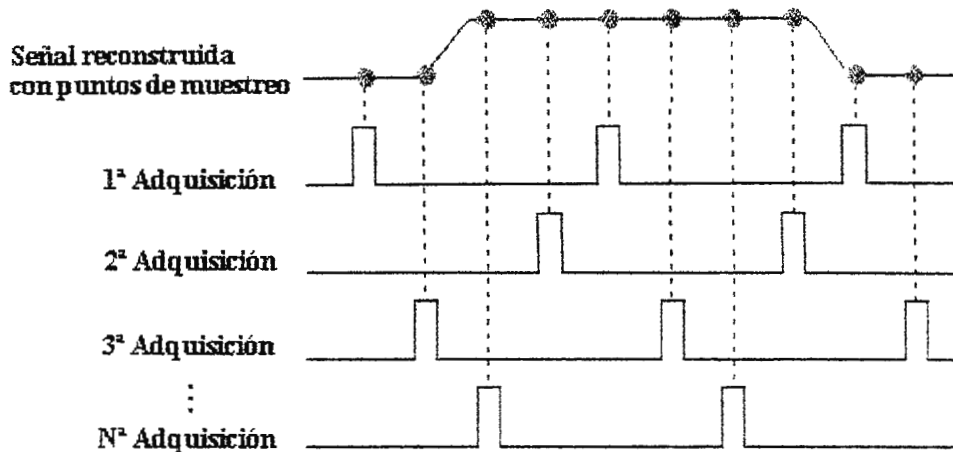


**Ilustración 5. Tipos de Interpolación**

### B. Muestreo en tiempo equivalente

Algunos osciloscopios digitales utilizan este tipo de muestreo. Se trata de reconstruir una señal repetitiva capturando una pequeña parte de la señal en cada ciclo. Existen dos tipos básicos:

- Muestreo secuencial- Los puntos aparecen de izquierda a derecha en secuencia para conformar la señal.
- Muestreo aleatorio- Los puntos aparecen aleatoriamente para formar la señal



**Ilustración 6. Muestreo en tiempo equivalente.**

### **1.3 TERMINOLOGÍA.**

Estudiar sobre un tema implica conocer nuevos términos técnicos. Este apartado se dedica a explicar los terminos más utilizados en relación al estudio de los osciloscopios.

#### **1.3.1 TÉRMINOS UTILIZADOS AL MEDIR**

Existe un término general para describir un patrón que se repite en el tiempo: *onda*.

Existen ondas de sonido, ondas oceánicas, ondas cerebrales y por supuesto, ondas de tensión. Un osciloscopio mide estas últimas.

Un *ciclo* es la mínima parte de la onda que se repite en el tiempo.

Una *forma de onda* es la representación gráfica de una onda.

Una forma de onda de tensión siempre se presentará con el tiempo en el eje horizontal (X) y la amplitud en el eje vertical (Y).

La forma de onda nos proporciona una valiosa información sobre la señal. En cualquier momento se puede visualizar la altura que alcanza y, por lo tanto, saber si el

voltaje ha cambiado en el tiempo (si observamos, por ejemplo, una línea horizontal podremos concluir que en ese intervalo de tiempo la señal es constante). Con la pendiente de las líneas diagonales, tanto en flanco de subida como en flanco de bajada, se puede conocer la velocidad en el paso de un nivel a otro, puede observarse también cambios repentinos de la señal (ángulos muy agudos) generalmente debidos a procesos transitorios.

### **1.3.2 TIPOS DE ONDAS**

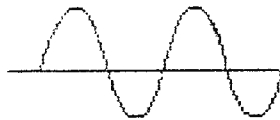
Se puede clasificar las ondas más comunes en los cuatro tipos siguientes:

- Ondas senoidales
- Ondas cuadradas y rectangulares
- Ondas triangulares y en diente de sierra.
- Pulsos y flancos ó escalones.

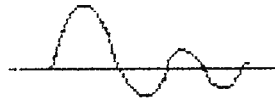
#### 1.3.2.1 ONDAS SENOIDALES

Son las ondas fundamentales y eso por varias razones: Poseen unas propiedades matemáticas muy interesantes (por ejemplo con combinaciones de señales senoidales y cosenoidales de diferente amplitud y frecuencia se puede reconstruir cualquier forma de onda), la señal que se obtiene de las tomas de corriente de cualquier casa tienen esta forma, las señales de prueba producidas por los circuitos osciladores de un generador de señal son también senoidales, la mayoría de las fuentes de potencia en AC (corriente alterna) producen señales senoidales.

La señal senoidal amortiguada es un caso especial de este tipo de ondas y se producen en fenómenos de oscilación, pero que no se mantienen en el tiempo.



**Onda senoidal**



**Onda senoidal  
amortiguada**

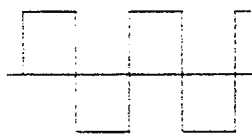
**Ilustración 7. Onda Senoidal**

### 1.3.2.2 ONDAS CUADRADAS Y RECTANGULARES

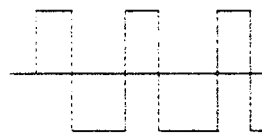
Las ondas cuadradas son básicamente ondas que pasan de un estado a otro de tensión, a intervalos regulares, en un tiempo muy reducido. Son utilizadas usualmente para probar amplificadores (esto es debido a que este tipo de señales contienen en si mismas todas las frecuencias).

La televisión, la radio y los ordenadores utilizan mucho este tipo de señales, fundamentalmente como relojes y temporizadores.

Las ondas rectangulares se diferencian de las cuadradas en no tener iguales los intervalos en los que la tensión permanece a nivel alto y bajo. Son particularmente importantes para analizar circuitos digitales.



**Onda cuadrada**



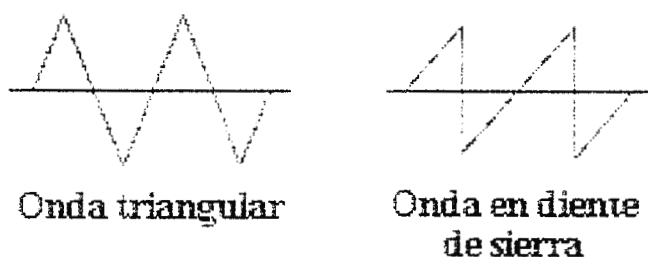
**Onda rectangular**

**Ilustración 8. Onda Cuadrada y Rectangular**

### 1.3.2.3 ONDAS TRIANGULARES Y EN DIENTE DE SIERRA

Se producen en circuitos diseñados para controlar voltajes linealmente, como pueden ser, por ejemplo, el barrido horizontal de un osciloscopio analógico ó el barrido tanto horizontal como vertical de una televisión. Las transiciones entre el nivel mínimo y máximo de la señal cambian a un ritmo constante. Estas transiciones se denominan rampas.

La onda en diente de sierra es un caso especial de señal triangular con una rampa descendente de mucha más pendiente que la rampa ascendente.



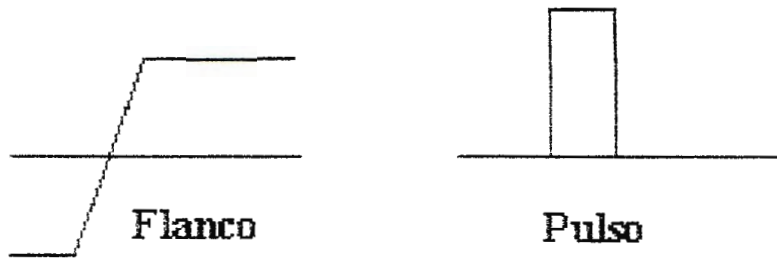
**Ilustración 9. Onda Triangular y Diente de Sierra.**

### 1.3.2.4 PULSOS Y FLANCOS Ó ESCALONES

Señales, como los flancos y los pulsos, que solo se presentan una soia vez, se denominan señales transitorias.

Un flanco o escalón indica un cambio repentino en el voltaje, por ejemplo cuando se conecta un interruptor de alimentación. El pulso indicaría, en este mismo ejemplo, que se ha conectado el interruptor y en un determinado tiempo se ha desconectado. Generalmente el pulso representa un bit de información atravesando un circuito de un ordenador digital o también un pequeño defecto en un circuito (por ejemplo un falso contacto momentáneo).

Es común encontrar señales de este tipo en ordenadores, equipos de rayos X y de comunicaciones.



**Ilustración 10. Pulsos y escalones**

### **1.3.3 MEDIDAS EN LAS FORMAS DE ONDA**

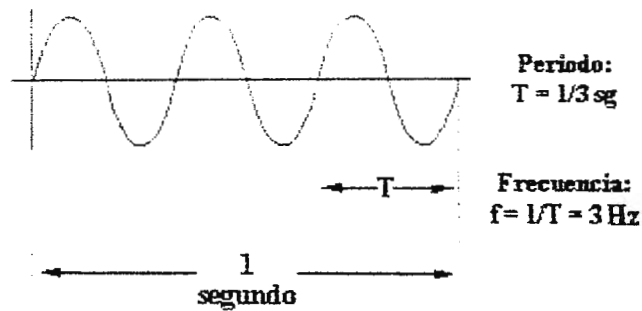
En esta sección se describen las medidas más corrientes para describir una forma de onda.

#### **1.3.3.1 Período y Frecuencia**

Si una señal se repite en el tiempo, posee una frecuencia ( $f$ ). La frecuencia se mide en Hertz (Hz) y es igual al número de veces que la señal se repite en un segundo, es decir, 1Hz equivale a 1 ciclo por segundo.

Una señal repetitiva también posee otro parámetro: el periodo, definiéndose como el tiempo que tarda la señal en completar un ciclo.

Periodo y frecuencia son recíprocos el uno del otro:



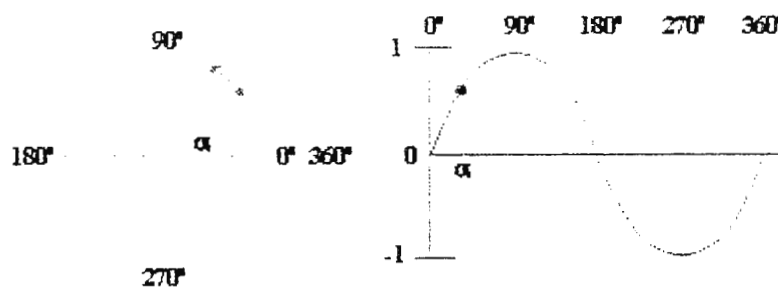
**Ilustración 11. Período y Frecuencia**

### 1.3.3.2 Voltaje

Voltaje es la diferencia de potencial eléctrico entre dos puntos de un circuito. Normalmente uno de esos puntos suele ser masa (GND, 0v), pero no siempre. por ejemplo se puede medir el voltaje pico a pico de una señal ( $V_{pp}$ ) como la diferencia entre el valor máximo y mínimo de esta. La palabra amplitud significa generalmente la diferencia entre el valor máximo de una señal y masa.

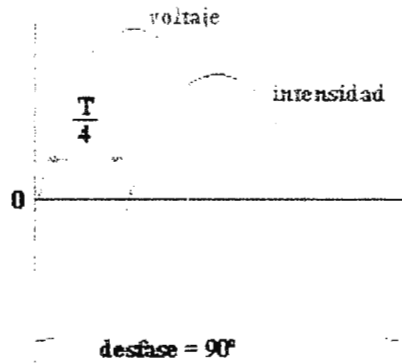
### 1.3.3.3 Fase

La fase se puede explicar mucho mejor si se considera la forma de onda senoidal. La onda senoidal se puede extraer de la circulación de un punto sobre un circulo de  $360^\circ$ . Un ciclo de la señal senoidal abarca los  $360^\circ$ .



**Ilustración 12. Fase**

Cuando se comparan dos señales senoidales de la misma frecuencia puede ocurrir que ambas no estén en fase, o sea, que no coincidan en el tiempo los pasos por puntos equivalentes de ambas señales. En este caso se dice que ambas señales están desfasadas, pudiéndose medir el desfase con una simple regla de tres.



**Ilustración 13. Desfase**

### **1.3.4 PARÁMETROS QUE INFLUYEN EN LA CALIDAD DE UN OSCILOSCOPIO.**

Los términos definidos en esta sección permitirán comparar diferentes modelos de osciloscopio disponibles en el mercado.

#### **a) Ancho de Banda**

Especifica el rango de frecuencias en las que el osciloscopio puede medir con precisión. Por convenio el ancho de banda se calcula desde 0Hz (continua) hasta la frecuencia a la cual una señal de tipo senoidal se visualiza a un 70.7% del valor aplicado a la entrada (lo que corresponde a una atenuación de 3dB).

**b) Tiempo de subida.**

Es otro de los parámetros que da, junto con el anterior, la máxima frecuencia de utilización del osciloscopio. Es un parámetro muy importante si se desea medir con fiabilidad pulsos y flancos (recordar que este tipo de señales poseen transiciones entre niveles de tensión muy rápidas). Un osciloscopio no puede visualizar pulsos con tiempos de subida más rápidos que el suyo propio.

**c) Sensibilidad vertical**

Indica la facilidad del osciloscopio para amplificar señales débiles. Se suele proporcionar en mV por división vertical, normalmente es del orden de 5 mV/div (llegando hasta 2 mV/div).

**d) Velocidad**

Para osciloscopios analógicos esta especificación indica la velocidad máxima del barrido horizontal, lo que permite observar sucesos más rápidos. Suele ser del orden de nanosegundos por división horizontal.

**e) Exactitud en la ganancia**

Indica la precisión con la cual el sistema vertical del osciloscopio amplifica o atenúa la señal. Se proporciona normalmente en porcentaje máximo de error.

**f) Exactitud de la base de tiempos**

Indica la precisión en la base de tiempos del sistema horizontal del osciloscopio para visualizar el tiempo. También se suele dar en porcentaje de error máximo.

**g) Velocidad de muestreo**

En los osciloscopios digitales indica cuantas muestras por segundo es capaz de tomar el sistema de adquisición de datos (específicamente el convertidor A/D). En los osciloscopios de calidad se llega a velocidades de muestreo de Megamuestras/sg.

Una velocidad de muestreo grande es importante para poder visualizar pequeños periodos de tiempo. En el otro extremo de la escala, también se necesita velocidades de muestreo bajas para poder observar señales de variación lenta. Generalmente la velocidad de muestreo cambia al actuar sobre el mando TIMEBASE para mantener constante el número de puntos que se almacenarán para representar la forma de onda.

#### **h) Resolución vertical**

Se mide en bits y es un parámetro que nos da la resolución del conversor A/D del osciloscopio digital. Indica con qué precisión se convierten las señales de entrada en valores digitales almacenados en la memoria.

Técnicas de cálculo pueden aumentar la resolución efectiva del osciloscopio.

#### **i) Longitud del registro**

Indica cuantos puntos se memorizan en un registro para la reconstrucción de la forma de onda. Algunos osciloscopios permiten variar, dentro de ciertos límites, este parámetro. La máxima longitud del registro depende del tamaño de la memoria de que disponga el osciloscopio. Una longitud del registro grande permite realizar zooms sobre detalles en la forma de onda de forma muy rápida (los datos ya han sido almacenados), sin embargo esta ventaja es a costa de consumir más tiempo en muestrear la señal completa.

## **1.4 PUESTA EN FUNCIONAMIENTO**

En esta sección se describen los primeros pasos para el correcto manejo del osciloscopio.

### **A. Poner a tierra**

Una buena conexión a tierra es muy importante para realizar medidas con un osciloscopio.

### **B. Colocar a tierra el Osciloscopio**

Por seguridad es obligatorio colocar a tierra el osciloscopio. Si se produce un contacto entre un alto voltaje y la carcasa de un osciloscopio no puesto a tierra, cualquier parte de la carcasa, incluidos los mandos, puede producir un peligroso choque eléctrico. Mientras que un osciloscopio bien colocado a tierra, la corriente se desvía a la conexión de tierra.

Para conectar a tierra un osciloscopio se necesita unir el chasis del osciloscopio con el punto de referencia neutro de tensión (comúnmente llamado tierra). Esto se consigue empleando cables de alimentación con tres conductores (dos para la alimentación y uno para la toma de tierra).

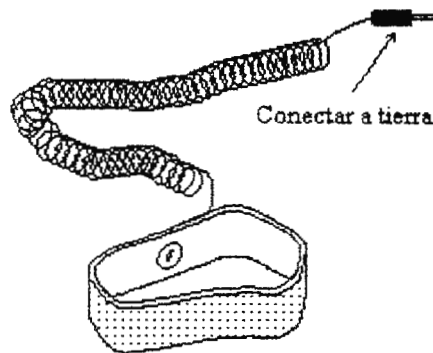
El osciloscopio necesita, por otra parte, compartir la misma masa con todos los circuitos bajo prueba a los que se conecta.

Algunos osciloscopios pueden funcionar a diferentes tensiones de red y es muy importante asegurarse que está ajustado a la misma de la que disponemos en las tomas de tensión.

### **C. Ponerse a tierra uno mismo**

Si se trabaja en circuitos integrados (ICs), especialmente del tipo CMOS, es necesario colocarse a tierra uno mismo. Esto es debido a que ciertas partes de estos circuitos integrados son susceptibles de estropearse con la tensión estática que almacena nuestro propio cuerpo. Para resolver este problema se puede emplear una correa

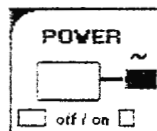
conductora que se conectará debidamente a tierra, descargando la electricidad estática que posee el cuerpo.



**Ilustración 14. Correa conductora.**

#### **D. Ajuste inicial de los controles**

Después de conectar el osciloscopio a la toma de red y de alimentarlo pulsando en el interruptor de encendido:

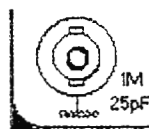


**Ilustración 15. Encendido**

Es necesario familiarizarse con el panel frontal del osciloscopio. Todos los osciloscopios disponen de tres secciones básicas que se llamarán: Vertical, Horizontal, y Disparo.

Dependiendo del tipo de osciloscopio empleado en particular, se puede disponer de otras secciones.

Existen unos conectores BNC, donde se colocan las sondas de medida.



**Ilustración 16. Conector**

La mayoría de los osciloscopios actuales disponen de dos canales etiquetados normalmente como I y II (ó A y B). El disponer de dos canales permite comparar señales de forma muy cómoda.

Algunos osciloscopios avanzados poseen un interruptor etiquetado como AUTOSET ó PRESET que ajustan los controles en un solo paso para ajustar perfectamente la señal a la pantalla. Si el osciloscopio no posee ésta característica, es importante ajustar los diferentes controles del aparato a su posición estándar antes de proceder a medir.

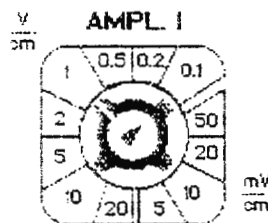
Estos son los pasos más recomendables:

- Ajustar el osciloscopio para visualizar el canal I. (al mismo tiempo se colocará como canal de disparo el I).



**Ilustración 17. Selección de canal o disparo**

- Ajustar a una posición intermedia la escala voltios/división del canal I (por ejemplo 1v/cm).



**Ilustración 18. Selector de escala**

- Colocar en posición calibrada el mando variable de voltios/división (potenciómetro central).



**Ilustración 19. Calibración**

- Desactivar cualquier tipo de multiplicadores verticales.
- Colocar el conmutador de entrada para el canal I en acoplamiento DC.



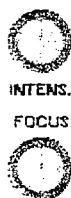
**Ilustración 20. Conmutador**

- Colocar el modo de disparo en automático.



**Ilustración 21. Modo de disparo**

- Desactivar el disparo retardado (al mínimo o desactivado).
- Situar el control de intensidad al mínimo que permita apreciar el trazo en la pantalla, y el trazo de focus ajustado para una visualización lo más nitida posible (generalmente los mandos quedaran con la señalización cercana a la posición vertical).



**Ilustración 22. Intensidad y enfoque.**

### 1.4.1 SONDAS DE MEDIDA

Con los pasos detallados anteriormente, se está en condiciones de conectar la sonda de medida al conector de entrada del canal I. Es muy importante utilizar las sondas diseñadas para trabajar específicamente con el osciloscopio.

Una sonda no es un cable con una pinza, sino que es un conector específicamente diseñado para evitar ruidos que puedan perturbar la medida.

Además, las sondas se construyen para que tengan un efecto mínimo sobre el circuito de medida. Esta facultad de las sondas recibe el nombre de efecto de carga, para minimizarla se utiliza un atenuador pasivo, generalmente de  $\times 10$ .

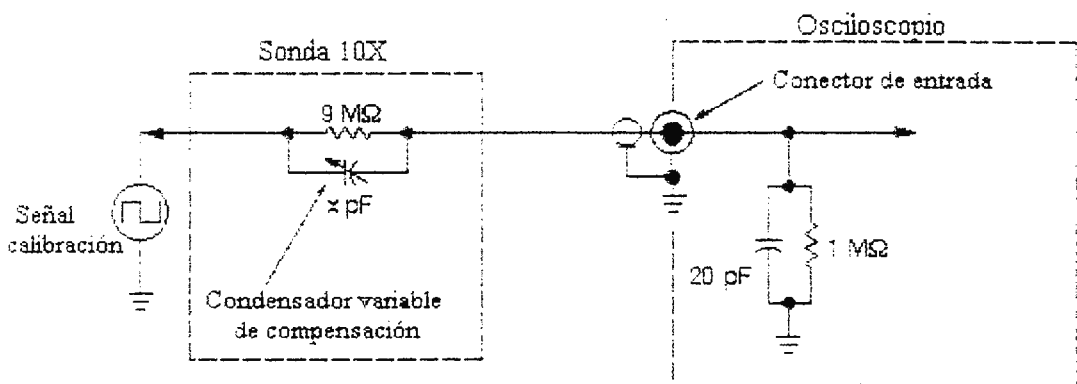


Ilustración 23. Sonda de medida

Este tipo de sonda se proporciona generalmente con el osciloscopio y es una excelente sonda de utilización general. Para otros tipos de medidas se utilizan sondas especiales, como pueden ser las sondas de corriente.

#### a) Sondas pasivas

La mayoría de las sondas pasivas están marcadas con un factor de atenuación, normalmente  $10X$  ó  $100X$ . Por convenio los factores de atenuación aparecen con el signo

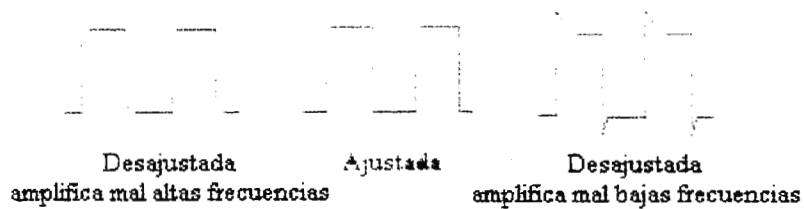
X detrás del factor de división. En contraste los factores de amplificación aparecen con el signo X delante (X10 ó X100).

La sonda más utilizada posiblemente sea la 10X, reduciendo la amplitud de la señal en un factor de 10. Su utilización se extiende a partir de frecuencias superiores a 5 kHz y con niveles de señal superiores a 10 mV. La sonda 1X es similar a la anterior pero introduce más carga en el circuito de prueba, pero puede medir señales con menor nivel. Por comodidad de uso se han introducido sondas especiales con un conmutador que permite una utilización 1X ó 10X. Cuando se utilicen este tipo de sondas hay que asegurarse de la posición de este conmutador antes de realizar una medida.

### **Compensación de la sonda.**

Antes de utilizar una sonda atenuadora 10X es necesario realizar un ajuste en frecuencia para el osciloscopio en particular sobre el que se vaya a trabajar. Este ajuste se denomina *compensación de la sonda* y consta de los siguientes pasos.

- Conectar la sonda a la entrada del canal I.
- Conectar la punta de la sonda al punto de señal de compensación (La mayoría de los osciloscopios disponen de una toma para ajustar las sondas, en caso contrario será necesario utilizar un generador de onda cuadrada).
- Conectar la pinza de cocodrilo de la sonda a masa.
- Observar la señal cuadrada de referencia en la pantalla.
- Con el destornillador de ajuste, actuar sobre el condensador de ajuste hasta observar una señal cuadrada perfecta.



**Ilustración 24. Ajustes**

**b) Sondas activas.**

Proporcionan una amplificación antes de aplicar la señal a la entrada del osciloscopio. Pueden ser necesarias en circuitos con una cargabilidad de salida muy baja. Este tipo de sondas necesitan para operar una fuente de alimentación.

**c) Sondas de corriente**

Posibilitan la medida directa de las corrientes en un circuito. Las hay para medida de corriente alterna y continua. Poseen una pinza que abarca el cable a través del cual se desea medir la corriente. Al no situarse en serie con el circuito causan muy poca interferencia en él.

**1.4.2 SISTEMA DE VISUALIZACIÓN**

**1.4.2.1 Intensidad**

Se trata de un potenciómetro que ajusta el brillo de la señal en la pantalla. Este mando actúa sobre la rejilla más cercana al cátodo del CRT , controlando el número de electrones emitidos por éste.

En un osciloscopio analógico si se aumenta la velocidad de barrido, es necesario aumentar el nivel de intensidad. Por otra parte, si se desconecta el barrido horizontal es necesario reducir la intensidad del haz al mínimo (para evitar que el bombardeo concentrado de electrones sobre la parte interior de la pantalla deteriore la capa fluorescente que la recubre).

#### **1.4.2.2 Enfoque**

Se trata de un potenciómetro que ajusta la nitidez del haz sobre la pantalla. Este mando actúa sobre las rejillas intermedias del CRT controlando la finura del haz de electrones. Se retoca dicho mando para una visualización lo más precisa posible. Los osciloscopios digitales no necesitan este control.

#### **1.4.2.3 Rotación del haz**

Resistencia ajustable actuando sobre una bobina y que nos permite alinear el haz con el eje horizontal de la pantalla. Campos magnéticos intensos cercanos al osciloscopio pueden afectar a la orientación del haz.

La posición del osciloscopio con respecto al campo magnético terrestre también puede afectar.

Los osciloscopios digitales no necesitan de este control. Se ajustará dicha resistencia, con el mando de acoplamiento de la señal de entrada en posición GND, hasta conseguir que el haz esté perfectamente horizontal.

### **1.4.3 SISTEMA VERTICAL**

#### **1.4.3.1 Posición**

Este control consta de un potenciómetro que permite mover verticalmente la forma de onda hasta el punto exacto que se desee. Cuando se está trabajando con una sola señal el punto normalmente elegido suele ser el centro de la pantalla.

#### **1.4.3.2 Conmutador**

Se trata de un conmutador con un gran número de posiciones, cada una de las cuales, representa el factor de escala empleado por el sistema vertical. Por ejemplo si el mando está en la posición 2 voltios/div significa que cada una de las divisiones verticales de la pantalla (aproximadamente de un 1 cm.) representan 2 voltios.

Las divisiones más pequeñas representaran una quinta parte de este valor, o sea, 0.4 voltios.

La máxima tensión que se puede visualizar con el osciloscopio presentado y con una sonda de 10X será entonces: 10 (factor de división de la sonda) x 20 voltios/div (máxima escala) x 8 divisiones verticales = 1600 voltios.

#### **1.4.3.3 Mando Variable**

Se trata de un potenciómetro situado de forma concéntrica al conmutador del amplificador vertical y podemos considerarlo como una especie de lupa del sistema vertical.

Para realizar medidas es necesario colocarlo en su posición calibrada.

#### **1.4.3.4 Acoplamiento de la entrada**

Se trata de un conmutador de tres posiciones que conecta eléctricamente a la entrada del osciloscopio la señal exterior.

El acoplamiento DC deja pasar la señal tal como viene del circuito exterior (es la señal real). El acoplamiento AC bloquea mediante un condensador la componente continua que posea la señal exterior. El acoplamiento GND desconecta la señal de entrada del sistema vertical y lo conecta a masa, permitiéndonos situar el punto de referencia en cualquier parte de la pantalla (generalmente el centro de la pantalla cuando se trabaja con una sola señal).

#### **1.4.3.5 Inversión**

Es un conmutador de dos posiciones en forma de botón que permite en una de sus posiciones invertir la señal de entrada en el canal I (existen otros osciloscopios que invierten el canal II).

#### **1.4.3.6 Modo alternado / chopeado**

Es un conmutador de dos posiciones, en forma de botón, que permite, cuando se encuentra en modo DUAL, seleccionar el modo de trazado de las señales en pantalla.

En el modo alternado se traza completamente la señal del canal I y después la del canal II y así sucesivamente.

Se utiliza para señales de media y alta frecuencia (generalmente cuando el mando TIMEBASE está situado en una escala de 0.5 msg. o inferior).

En el modo "chopeado" el osciloscopio traza una pequeña parte del canal I después otra pequeña parte del canal II, hasta completar un trazado completo y empezar de nuevo. Se utiliza para señales de baja frecuencia (con el mando TIMEBASE en posición de 1 msg. o superior).

#### **1.4.3.7 Modo simple / dual / suma**

Es un control formado por tres conmutadores de dos posiciones, en forma de botón, que permite seleccionar entre tres modos de funcionamiento: simple, dual y suma.

En el modo simple actuamos tan solo sobre el conmutador etiquetado como CH I/II. Si no está pulsado se visualiza la señal que entra por el canal I y si lo está la señal del canal II. El modo dual se selecciona con el conmutador etiquetado DUAL. Si no está pulsado se visualiza un solo canal (el cuál, dependerá del estado del conmutador CH I/II) y si lo está se visualiza simultáneamente ambos canales. El modo suma se selecciona pulsando el conmutador etiquetado I+II (si también lo está el etiquetado como DUAL) y permite visualizar la suma de ambas señales en pantalla.

### **1.4.4 SISTEMA HORIZONTAL**

#### **1.4.4.1 Posición**

Este control consta de un potenciómetro que permite mover horizontalmente la forma de onda hasta el punto exacto que se desee. Cuando se está trabajando con una sola señal el punto normalmente elegido suele ser el centro de la pantalla. (Para observar mejor el punto de disparo se suele mover la traza un poco hacia la derecha).

#### **1.4.4.2 Conmutador**

Se trata de un conmutador con un gran número de posiciones, cada una de las cuales, representa el factor de escala empleado por el sistema de barrido horizontal. Por ejemplo si el mando esta en la posición 1 msg/div significa que cada una de las divisiones horizontales de la pantalla (aproximadamente de un 1 cm.) representan 1 milisegundo. Las divisiones más pequeñas representarían una quinta parte de este valor, o sea, 200  $\mu$ sg.

#### **1.4.4.3 Mando variable**

Se trata de un potenciómetro situado de forma concéntrica al conmutador de la base de tiempos y se puede considerar como una especie de lupa del sistema horizontal.

Para realizar medidas es necesario colocarlo en su posición calibrada.

#### **1.4.4.4 Amplificación**

Este control consta de un pequeño conmutador en forma de botón que permite amplificar la señal en horizontal por un factor constante (normalmente  $\times 5$  ó  $\times 10$ ). Se utiliza para visualizar señales de muy alta frecuencia (cuando el conmutador TIMEBASE no permite hacerlo). Hay que tenerle en cuenta a la hora de realizar medidas cuantitativas (habrá que dividir la medida realizada en pantalla por el factor indicado).

#### **1.4.4.5 XY**

Este control consta de un pequeño conmutador en forma de botón que permite desconectar el sistema de barrido interno del osciloscopio, haciendo estas funciones uno de los canales verticales (generalmente el canal II).

Esto permite visualizar curvas de respuesta o las famosas figuras de Lissajous, útiles tanto para la medida de fase como de frecuencia.

## **CAPÍTULO 2**

### **ARQUITECTURA DE COMPUTADORAS**

#### **2.1 INTRODUCCIÓN**

Se presenta como base para diseño de Hardware, una descripción de los sistemas y subsistemas que compone una tarjeta madre (motherboard) y cómo se organizan las operaciones y dispositivos de Entrada/Salida (E/S).

#### **2.2 ARQUITECTURA DE COMPUTADORAS**

##### **2.2.1 LA TARJETA MADRE (MOTHERBOARD)**

Esta tarjeta representa el corazón de todo el sistema y está conformada por una tarjeta con un circuito impreso a doble lado, compuesto por varios circuitos integrados de tecnología de alta integración.

Los dispositivos más importantes de una motherboard son los siguientes:

- El microprocesador de la familia 80XXX
- El coprocesador matemático
- La memoria ROM (Read Only Memory)
- La memoria RAM (Random Access Memory)

Sistema de soporte para el microprocesador constituido por:

- El controlador programable de interrupciones
- El controlador DMA
- El generador de reloj
- El contador de intervalos de tiempo programable
- Controladores de vídeo
- Controladores de Entrada/Salida
- Conectores (SLOTS) para entradas y salidas I/O

### 2.2.2 EL MICROPROCESADOR

En todos los PC, el Microprocesador es el chip que ejecuta los programas. El microprocesador o unidad central de proceso, CPU (Central Process Unit) lleva a cabo una gran variedad de cálculos, comparaciones numéricas y transferencia de datos como respuesta a las peticiones de los programas almacenados en la memoria.

La CPU controla las operaciones básicas del ordenador enviando y recibiendo señales de control, direcciones de memoria y datos de un lugar a otro del ordenador a través de un grupo de sendas electrónicas llamadas BUS. Localizadas a lo largo del bus, están puertas de entrada y salida (E/S), las cuales conectan a la memoria y a los chips de apoyo al bus. Los datos pasan a través de estos puertos de E/S mientras viajan desde y hasta la CPU y otras partes del ordenador.

El CPU puede ser un microprocesador de la familia de la línea INTEL Corp. Por ejemplo, 8086, 80286, 80386 y 80486. A continuación se puntualizarán las semejanzas y diferencias entre los distintos microprocesadores.

El chip 8088 usado en una PC XT original, usa un bus de 8 bits internos como externos que hace más barato su construcción. Dentro del 8088, 14 registros proporcionan una área de trabajo de 26 bytes, son capaces de almacenar temporalmente datos, direcciones de memoria, instrucciones de punteros e indicadores de estado y control a través de estos registros, el 8088 puede acceder 1 MB de memoria.

El 8086 difiere del 8088 en que utiliza un bus de interno de 16 bits y un bus de datos 8bits externos. La PC XT (XT por tecnología extra) fue diseñada para que pudiera usar cualquiera de los dos chips (8088 o 8086).

La PC AT- INTEL 80286. Este nuevo chip ofrecía la ventaja de velocidades de reloj más grandes y la habilidad de manejar memoria adicional, hasta de 16 MB. La AT

viene con 1024K o 1 MB de memoria, el disco duro, tiene la capacidad de almacenar más de 20 MB de datos, que es mayor a la capacidad del disco duro de una XT. La AT posee un bus de datos internos como externos de 16 bits.

Máquinas 386. Este microprocesador puede procesar datos de 32 bits y realizar dos o más tareas a la vez, puede manejar directamente 4 GB de memoria comparada con el límite de 16 MB de las 286. La 386 posee un bus de datos interno de 32 bits y un bus de datos externo de 16 bits.

Máquinas 486. La mejora de este chip se encuentra en su velocidad de procesamiento al combinar las habilidades del CPU 80386, el coprocesador 80387, y muchas características importantes que requerirían de una gran cantidad de chips complejos.

La tabla siguiente es una tabla comparativa de los diferentes CPUs de la línea INTEL que permite comparar capacidades.

| Compañía | µp      | Tamaño de Palabra | Veloc. de Reloj (Mhz) |
|----------|---------|-------------------|-----------------------|
| Zilog    | Z-80A   | 8                 | 4                     |
| Mostee   | 6502    | 8                 | 4                     |
| Intel    | 8086    | 8                 | 8                     |
| Intel    | 8088    | 16                | 8                     |
| Intel    | 80286   | 16                | 8-16                  |
| Motorola | 68000   | 32                | 12.5                  |
| Motorola | 68020   | 32                | 12.5-32               |
| Motorola | 68040   | 32                | 32                    |
| Intel    | 80386   | 32                | 16-40                 |
| Intel    | 80486   | 32                | 33-100                |
| Intel    | Pentium | 64                | 100-200               |

Tabla 2.1. Tabla comparativa de las capacidades de los diferentes microprocesadores.

### **2.2.3 EL PROCESADOR MATEMÁTICO.**

El 8086, 80286 y 80486 pueden trabajar solo con enteros. Para ejecutar operaciones en punto flotante en un microprocesador de la familia 8086, se deben representar los valores en punto flotante en la memoria y manipularlos utilizando solo operaciones de enteros. Lo que ocasiona que el programa se ejecute muy lentamente.

La solución consiste en utilizar un procesador matemático para ejecutar los cálculos en punto flotante. Cada uno de los microprocesadores de la familia 8086 dispone de un coprocesador matemático que lo acompañan por ejemplo, el coprocesador 8087 se utiliza con el 8086 u 8088.

Fundamentalmente los coprocesadores matemáticos son lo mismo: todos ejecutan operaciones aritméticas con un alto grado de precisión y con mucha más velocidad que la alcanzada con la simulación por software mediante enteros. Resumiendo, los programas que utilicen coprocesadores matemáticos para realizar operaciones complejas, serán ejecutadas hasta 10 veces más rápido que si se utilizara emulación con enteros.

### **2.2.4 SISTEMA DE MEMORIA**

La memoria del computador se encuentra dividida en: memoria fija ROM (Read Only Memory) y en memoria volátil RAM (Random Access Memory). El número y la capacidad de almacenamiento de los chips que hay en el ordenador determinan la cantidad de memoria que podremos utilizar para los programas y los datos. Aunque esto varía de un ordenador a otro, todos vienen con un mínimo de 40 KB de ROM y entre 64 KB y 2MB de RAM; tanto la capacidad de la RAM como de la ROM puede aumentarse instalando chips adicionales, pero esta división es solo el punto de vista físico de la

memoria, un programa no ve la memoria como un conjunto de chips individuales, sino como conjunto de millones de celdas de almacenamiento.

Cada byte se relaciona con una dirección numérica de 20 bits; en el esquema de memorias del 8086, esto le da un espacio de direcciones en un rango de valores comprendiendo entre 00000H a FFFFFH, (0 a 1048576 en notación decimal).

De la misma forma, el esquema de direccionamiento de 24 bits del 80286 le permite utilizar valores de direcciones extendidas en el rango 000000H a FFFFFFFH, o 16 MB. El 80386 y el 80486 pueden utilizar direcciones extendidas de 32 bits, con lo que el valor de la dirección máxima es de 4294967296 bytes, o 4 gigabytes (GB) de memoria.

## **2.2.5 EL MAPA DE MEMORIA DEL SISTEMA**

En el PC original, el espacio de direcciones de 1 MB de memoria estaba dividido en varias áreas funcionales. Este mapa de memoria se ha repetido en los siguientes modelos de PC para mantener la compatibilidad.

Parte del diseño de las nuevas PC es consecuencia del diseño del microprocesador 8086. Por ejemplo, el 8086 siempre mantiene una lista de vectores de interrupción (direcciones de las rutinas de gestión de interrupciones) en los primeros 1024 bytes de RAM. De la misma forma, todos los ordenadores basados en el 8086 se encienden, ejecutando el programa que comienza en la dirección FFFF0H.

El resto del mapa de memoria sigue la división general entre la RAM, en la parte baja, y la ROM, en la parte alta. Puede haber un máximo de 640KB de RAM entre las direcciones 00000H y A0000H (este es el área de memoria descrito por el programa del DOS CHK DSK.) Los siguientes bloques de memoria se reservan para la RAM de vídeo (de A0000H a E0000H).

Parte del diseño del mapa de memoria del PC es consecuencia del diseño del microprocesador 8086.

|                                                                  |
|------------------------------------------------------------------|
| Memoria extendida del<br>PC/AT y PS/2                            |
| Reservado para la ROM BIOS                                       |
| Reservada para el ROM instalable                                 |
| Buffers de video                                                 |
| Parte transitoria del DOS                                        |
| Area de programas transitorios<br>(programa de usuarios y datos) |
| Parte residente del DOS                                          |
| Area de datos para la<br>ROM BIOS y BASIC                        |
| Area de datos para la ROM BIOS                                   |
| Vectores de interrupción                                         |

Tabla. 2.2 Esquema de la utilización de la memoria en los PC.

## 2.2.6 EL CONTROLADOR PROGRAMABLE DE INTERRUPCIONES.

En un PC, una de las tareas esenciales de la CPU consiste en responder a las interrupciones del hardware. Una interrupción del hardware es una señal generada por un componente del ordenador que indica que ese componente requiere la atención de la CPU. Por ejemplo, el reloj del sistema, el teclado y los controladores de disco generan interrupciones de actividad de hardware apropiada, como el procesado de una pulsación de tecla.

Cada PC tiene un circuito PIC (Programmable Interrupt Controller), controlador programable de interrupciones, que comprueba las interrupciones y las presenta una a una a la CPU.

La CPU responde a esas interrupciones ejecutando una rutina especial del software denominada rutina de tratamiento de la interrupción. Debido a que cada interrupción del hardware tiene su propia rutina de interrupción en la ROM BIOS o en el DOS, la CPU puede reconocer y responder específicamente al hardware que genera interrupción.

### **2.2.7 CONTROLADOR DMA.**

Algunas partes del ordenador puede transferir datos hacia y desde la memoria sin tener que pasar a través de la CPU. Esta operación es llamada acceso directo a memoria, DMA. El propósito principal del controlador DMA es el de permitir a las unidades de disco leer o escribir datos prescindiendo del microprocesador. el DMA acelera un poco las prestaciones globales del ordenador.

### **2.2.8 EL GENERADOR DE RELOJ**

El generador de reloj suministra las señales multifase de reloj que coordinan el microprocesador y los periféricos. El generador de reloj produce una señal oscilante de alta frecuencia. Otros chips que también necesitan una señal de tiempo regular la obtienen del generador de reloj del sistema, dividiendo la frecuencia base por una constante para obtener la frecuencia que necesitan para realizar sus actividades.

### **2.2.9 EL CONTADOR DE INTERVALOS DE TIEMPO PROGRAMABLE**

Este genera señales de tiempo a intervalos de tiempo regulares controlados por software. El chip puede generar señales en 3 ó 4 canales diferentes a la vez, dependiendo del modelo de PC que se trate.

Las señales del contador se utilizan para varias tareas del sistema. Una función esencial del contador es la de generar una señal de reloj que mantenga actualizada la hora del día. Otra señal puede ser utilizada para controlar la frecuencia de los tonos producidos por el altavoz del ordenador.

### **2.2.10 CONTROLADORES DE VIDEO**

La mayoría de subsistencia de video disponibles presenta una gran variedad de interfaz de control al hardware de video programable. Por ejemplo, todos los subsistemas de video tienen un circuito de rayos catódicos (CRT), para coordinar la señal de tiempo que controla la pantalla de vídeo.

### **2.2.11 CONTROLADORES DE E/S**

La PC tiene varios subsistemas de E/S con circuitos de control especializado que proporcionan una interfaz entre el CPU y el hardware es E/S. Raramente debe preocuparse por la programación directa de estos controladores de hardware, ya que la ROM BIOS y el DOS proporcionan servicios que tienen en cuenta estas funciones de bajo nivel.

### **2.2.12 SISTEMA DE BUSES**

El bus es, simplemente un camino a través de la placa al cual están conectados todos los elementos de control del ordenador. Cada microprocesador, chip de control, y cada byte de memoria de la PC están conectados directa o indirectamente al bus. Cuando se conectan al bus, se convierten entonces en otro más de los componentes del sistema.

Cualquier información que entre o salga de un ordenador se almacena temporalmente. Los datos se sitúan, normalmente, en la memoria principal, la cual consta en la familia PC de miles o millones de celdas de 8 bits. Pero algunos datos pueden terminar en puerto o en un registro durante un breve tiempo a la espera de que la CPU los envíe a su destino.

Cuando un puerto E/S se utiliza, en lugar de almacenar los datos, su ubicación se determina por una dirección que únicamente lo identifica a él. Cuando los datos están listos para ser transferidos, su dirección de destino se transmite en primer lugar a través del bus de direcciones; los datos se transmiten después a través del bus de datos. Así pues, en el bus se transporta información de control, por ejemplo, las señales de tiempo y señales de interrupción, así como las direcciones de las localidades de memoria y de los diversos dispositivos conectados al CPU.

Para poder desarrollar estas cuatro funciones diferentes el bus esta dividido en cuatro partes: las líneas de alimentación, el bus de control, de direcciones y el bus de datos.

### **2.2.13 EL BUS DE DIRECCIONES**

El bus de direcciones de la mayoría de las PC's compatibles, utilizan 20 líneas o más para transmitir las direcciones de memoria y de los dispositivos conectados al bus.

## **2.2.14 EL BUS DE DATOS**

Este trabaja con el bus de direcciones para transportar los datos a través del ordenador. El sistema PC basado en el 8088 utiliza un bus de datos que tienen 8 líneas de señales, cada uno de los cuales transporta un dígito binario simple; los datos se transmiten a través de este bus de 8 líneas en unidades de 8 bits (un bytes). El 80286 utilizan un bus de datos de 16 bits, y por tanto, transporta datos en unidades de 16 bits (una palabra). El bus de datos de 16 bits del 80286 le permite manejar los datos de 32 bits.

## **2.2.15 INTERCONEXIÓN DE LA INTERFAZ CON LA COMPUTADORA.**

La conexiones de la interfaz con la computadora se hace por medio de los canales E/S de expansión (SLOT), que poseen las computadoras PC o compatibles.

### **2.2.15.1 Direcciones de Puertos de Entrada y Salida**

Los puertos de entrada y salida son direcciones que usa el procesador para comunicarse en forma directa con los componentes. Estas direcciones son como las direcciones de memoria, pero no son para almacenamiento: hay 1024 puerto de entrada y salida en el diseño de IBM de sistema tanto para TX como para AT. Como los puertos se deben asignar en forma única a sólo una tarjeta o dispositivo, para evitar conflictos, En general se tienen disponibles muchos puertos de entrada y salida 000H a 0FFH se reserva para la tarjeta del sistema. Los puertos 100H a 3FFH están disponibles en el canal de entrada y salida.

La tabla es una lista de algunas de las direcciones por omisión de puertos para cualquier sistema tipo AT. Nótese que las direcciones de E/S 000H a 0FFH se reservan para la tarjeta de sistema (tarjeta madre). Los puertos 100H a 3FFH están disponibles en el canal de E/S.

## Direcciones de puertos de entrada y salida

| Rango en<br>Hexadecimal | Dispositivos                                                     |
|-------------------------|------------------------------------------------------------------|
| 000-91F                 | Controlador 1 de acceso directo a memoria, 8237-5                |
| 020-03F                 | Controlador 1 de interrupción, maestro, 8259                     |
| 060                     | 8042 (Teclado)                                                   |
| 061                     | Puestos de entrada y salida de tarjeta de sistema                |
| 064                     | 8042 (Teclado)                                                   |
| 070-07F                 | Reloj de tiempo real; mascarilla de interrupción no enmascarable |
| 080                     | (NMI)                                                            |
| 081-09F                 | Códigos POST del fabricante                                      |
| 0A0-0BF                 | Registros de páginas de acceso directo a memoria, 74LS612        |
| 0F8-0FF                 | Controlador 2 de interrupciones, 8237-5                          |
| 1F0-1F8                 | Coprocador matemático                                            |
| 21F                     | Controlador de disco duro                                        |
| 278-27F                 | Adaptador de comunicación de voz                                 |
| 2E2-2E3                 | Puerto 2 de impresora paralela                                   |
| 2F8-2FF                 | Adquisición de datos (adaptador 0)                               |
| 300-31F                 | Puerto serial 2                                                  |
| 360-363                 | Adaptador de prototipos                                          |
| 368-36B                 | Red PC (dirección baja)                                          |
| 378-37F                 | Red PC (dirección alta)                                          |
| 3B0-3BF                 | Puerto paralelo 1 impresora                                      |
| 3C0-3CF                 | Adaptador de impresora monocromo y impresora                     |
| 3D0-3DF                 | Adaptador gráfico mejorado (EGA)                                 |
| 3E0-3F7                 | Adaptador gráfico de color (CGA)                                 |

|                |                                         |
|----------------|-----------------------------------------|
| <b>3F8-3FF</b> | Controlador de unidad de disco flexible |
| <b>6E2-6E3</b> | Puerto serial 1                         |
| <b>AE2-AE3</b> | Adquisición de datos (adaptador 1)      |
| <b>EE2-EE3</b> | Adquisición de datos (adaptador 2)      |

### 2.2.15.2 Puertos de comunicaciones

Los puertos series y paralelos son los puertos comunicaciones básicos en cualquier sistema de computadora personal. Los puertos series se usan en principio para dispositivos que deben comunicarse con el sistema en forma bidireccional; estos dispositivos incluyen modems, ratones, lectores ópticos, digitalizadores o cualquier otro dispositivo que reciba información de la computadora personal.

#### Puerto Paralelo

Los puertos paralelos se utilizan principalmente para la impresora y operaciones normalmente con puertos de una sola vía, aunque en ocasiones se puede utilizar en forma bidireccional.

#### Puerto serie

La interfaz serie *asíncrona* es el principal dispositivo de comunicación de sistema a sistema. *Asíncrono* significa que no hay presente una señal de sincronización o de reloj.

Cada carácter está enmarcado entre señales de inicio y alto. Un solo bit 0, denominado bit de inicio, precede a cada carácter para indicar al sistema que los siguientes 8 bits constituyen un byte de datos. Uno o dos señales de alto siguen al carácter para señalar que dicho carácter ha sido enviado.

## **2.3 ORGANIZACION DE ENTRADA Y SALIDA**

Las computadoras procesan gran cantidad de información y realizan miles de decisiones por segundo. Por lo que se requiere que los periféricos utilicen estas velocidades para realizar sus operaciones simples o complejas. La mayoría de periféricos son tan lentos que disminuyen el rendimiento de la computadora. El problema básico de conectar el mundo exterior con el CPU radica en que las señales que circulan entre estos son incompatibles, los niveles de señales que utilizan los distintos tipos de periféricos son diferentes o tienen distinto formato de datos. Este problema puede resolverse conectando una interfaz de ENTRADA/ SALIDA entre la computadora y el periférico para hacer compatible la comunicación.

### **2.3.1 INTERFACES DE E/S**

La palabra "INTERFAZ" se refiere a la frontera entre dos dispositivos o circuitos. Un estándar para esta interfaz abarca un conjunto de especificaciones de las características funcionales

La función de una interfaz de E/S es coordinar la transferencia de datos entre la CPU y algún dispositivo externo:

1. Reconocer la dirección del dispositivo.
2. Proporcionar señales de temporización para manejar la transferencia de datos

La interfaz de E/S consiste en la circuitería necesaria para transferir datos entre el bus de E/S de una computadora y algún dispositivo de E/S. Por lo tanto en un lado de la interfaz se tienen las señales de bus; direcciones, datos y control. En el otro lado se tiene la ruta de datos, con sus controles asociados, la cual permite la transferencia entre la interfaz y el dispositivo de E/S. Es obvio que este lado depende del dispositivo. Sin embargo, puede establecerse la clasificación general de interfaces, la cual surgió de la necesidad de evitarse un problema muy grande al fabricar dispositivos de E/S con un

interfaz particular, esto llevó a los constructores de dispositivos de E/S a construirlos mediante la utilización de una interfaz normalizada de la que existen cuatro tipos de E/S.

- En paralelo
- En serie
- IEEE – 488
- Analógicas.

### **2.3.1.1 INTERFAZ EN PARALELO**

Esta se utiliza para transferir los bits de una palabra de datos en forma paralela a la vez. Para transferir una palabra del bus de datos a un periférico, los datos se introducen en paralelo a la interfaz y son emitidos de esta en paralelo por el periférico.

### **2.3.1.2 INTERFAZ EN SERIE**

Esta se utiliza para transferir datos a un periférico un bits a la vez. Los datos entran a la interfaz en formato paralelo y salen de la interfaz hacia el periférico como una corriente de bits.

En este formato debe tenerse en cuenta la existencia de las dos normas para la transferencia de datos, esta norma son la RS232 y el circuito de corriente de 20mA. Las dos normas utilizan niveles lógicos diferentes a los niveles utilizados por TTL. Se utiliza lógica negativa para los unos y ceros de un carácter en serie asincrónico RS- 232C. El uno lógico es un voltaje entre  $-3V_{cd}$  y  $-25V_{cd}$ . El cero lógico es un voltaje entre  $+3V_{cd}$  y  $+25V_{cd}$ .

Las normas RS – 232C y de circuito de corriente de 20mA no limitan el tipo de caracteres en serie asincrónica que pueden transferirse. Se puede utilizar cualquier longitud de carácter, número de bits de datos o secuencia de bit.

### **2.3.1.3 LA INTERFAZ ANALÓGICA**

Se utiliza para convertir datos señales analógicas en AC o DC en datos digitales equivalentes o en forma inversa, es decir datos digitales en señales analógicas equivalentes.

### **2.3.1.4 LA INTERFAZ IEEE–488:**

Utilizada para transferir datos en operaciones de control. es una interfaz que define un conjunto de señales de interfaz específicas. Permite que los instrumentos programables conforme a la norma IEEE–488 se conecten entre sí.

Existen muchos circuitos de interfaz utilizados para conectar la computadora con un periférico. Dicho circuito son fabricados frecuentemente para un sistema específico, pero sin embargo pueden ser utilizados por otros sistemas, lo cual los hace universales, por ejemplo en la familia 80XXX puede ser usada tanto una PPI de Intel como una PLA de la motorola, este tipo de interfaces son conocidos como de propósitos generales debido a que son fabricados con tecnología LSI , permiten una gran flexibilidad en sus diseños, dando la posibilidad de poder ser programados y dedicarlos también a funciones específicas. A continuación se describen algunos de los dispositivos mas usados de cada una de las familias.

### **2.3.2 PIA (PERIPHERAL INTERFACE ADAPTER)**

Este es un dispositivo que provee un significado simple para las interfaces de equipos periféricos de forma paralela al sistema 6800. Posee 3 registros internos por cada puerto, 3 para puerto A y 3 para puerto B; cada puerto es de 8 líneas con lo cual este dispositivo provee de 16 líneas de E/S, además de cuatro líneas de control del lado periférico para conectar unidades externas. La PIA (el 6820) posee salidas que son compatibles con TTL o CMOS.

### **2.3.3 UART (UNIVERSAL ASYNCHRONOUS TRASMITTER)**

Debido a que las computadoras son sistemas paralelos, se necesita convertir el byte de datos a datos serie y de serie a paralelo. Las dos maneras de realizar esta conversión es por medio de software o por medio de la unidad.

La UART es un diseño estándar con tecnología SLI. Su función principal es de tomar los datos en paralelo y convertirlos en una corriente de bits con bits, paridad, inicio y parada y tomar una corriente de bit en serie y convertirla a paralela. La UART requiere ambos puertos, uno de entrada y uno de salida para realizar la interfaz con el sistema, así la UART subsecuentes fueron diseñadas para ser compatibles con el bus del microprocesador.

### **2.3.4 ACIA (ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER)**

Este dispositivo está diseñado para aceptar datos paralelos provenientes del sistema de bus del microprocesador y convertirlos en datos serie para transmitirlo a un dispositivo que trabaje en forma serie asíncrona. Los registros de control de la ACIA son programados a través del bus del microprocesador durante la inicialización. Esto

determina los bit del tamaño de la palabra, paridad, parada y el control de interrupción de las funciones de transmisión y recepción

### **2.3.5 PPI (PROGRAMMABLE PERIPHERAL INTERFACE)**

Un dispositivo que contiene 3 puertos. Cada puerto puede se configurado como E/S, dicha configuración se realiza por media del registro de control del dicho dispositivo. Este posee un bus de datos el cual es conectado al bus de datos de la PC para permitir la comunicación paralela para cualquiera de los 3 puertos de E/S.

## CAPITULO 3

### DISEÑO DE HARDWARE Y SOFTWARE

#### 3.1 INTRODUCCIÓN

Este capítulo tiene como objetivo el describir cada una de las etapas del diseño del Adquisidor de Datos.

A continuación se presenta un diagrama de los bloques principales del sistema a implementar en el desarrollo del proyecto:

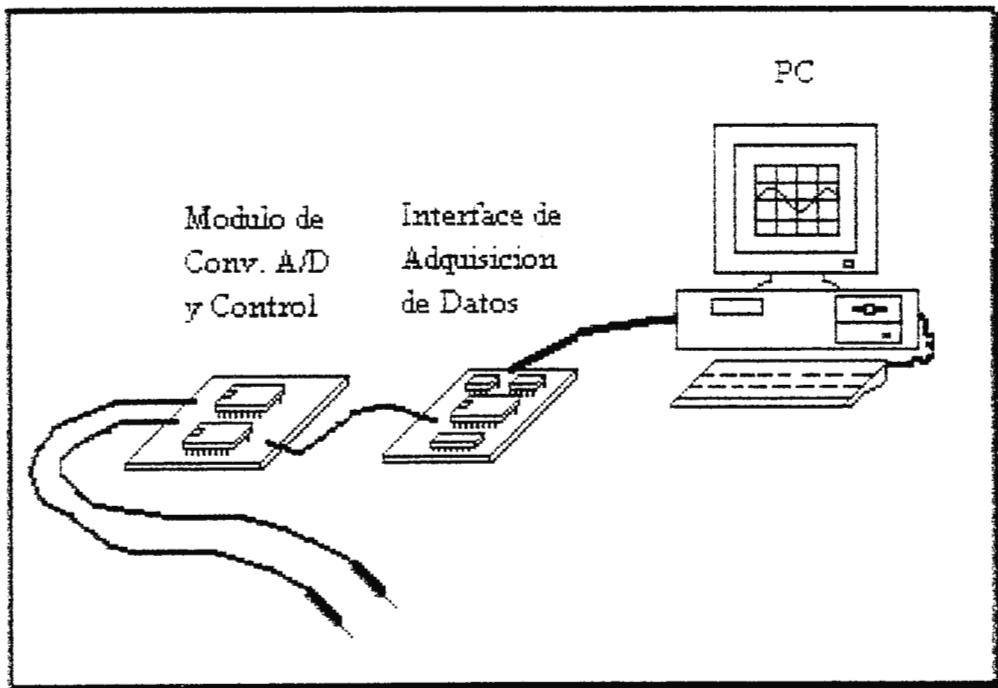


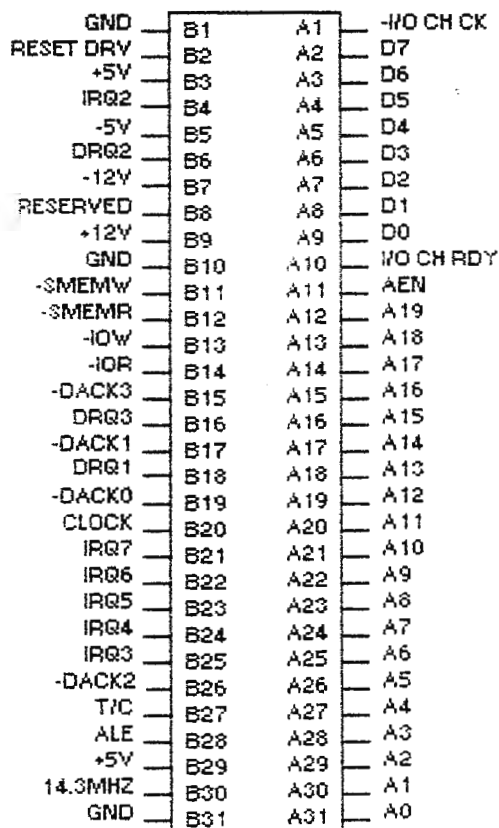
Ilustración 25. Descripción del Sistema

En las siguientes secciones se hará una descripción de cada uno de los circuitos implementados para la adquisición de los datos y de los componentes principales de estas etapas.

También se describe el funcionamiento general del Programa a través de flujogramas.

### 3.2 DESCRIPCIÓN DE LOS CANALES E/S DE EXPANSIÓN ISA DE 8 BITS

En la siguiente figura se muestra la posición de las ranuras de expansión y su correspondiente descripción:



**Ilustración 26. Slot ISA de 8 bits.**

## DESCRIPCIÓN

- **A<sub>0</sub>-A<sub>19</sub>** (salida): Representa el bus de direcciones de la computadora y son usadas para direccionar memoria y dispositivos de E/S dentro del sistema. Son 20 líneas de direccionamiento que permiten acceder hasta 1 MB de memoria.
- **CLK** (salida): Es la señal de reloj que depende del sistema con que se trabaje, éste puede ser de 4 Mhz, 8 Mhz, 10 Mhz, etc.; solo para efectos de sincronización.
- **RESET DRV** (salida): Inicializa la lógica del sistema al encender la maquina o durante un bajo voltaje.
- **D<sub>0</sub>-D<sub>7</sub>** (E/S): Son los 8 bits del bus de datos del sistema.
- **ALE** (salida): Abreviatura de address latch enable. Esta señal proviene del controlador del bus de la computadora y es utilizado para enclavar direcciones válidas del microprocesador. Se utiliza para indicar direcciones válidas del DMA o el CPU.
- **-I/O CH CK** (entrada): Esta señal proporciona al sistema información de error de paridad en memoria o dispositivos en el canal de E/S. Es activo en bajo.
- **-I/O CH RDY** (entrada): Cuando está en bajo esta señal, indica que el dispositivo periférico no esta listo, permitiendo prolongar los ciclos de E/S. Es utilizado para dispositivos lentos.
- **IRQ3-IRQ7** (entrada): Son señales de solicitud de interrupción, IRQ3 es la de mayor prioridad y IRQ7 la de menor.
- **-IOR** (salida): Esta señal indica a un periférico que maneje sus datos a través del bus de datos. La señal es controlada por el microprocesador o el controlador DMA o similares, presentes en el canal E/S. Es activo en bajo.

- **-IOW** (salida): Esta señal le indica a un periférico que lea los datos presentes en el bus de datos. Es controlado en igual forma que **-IOR**. Es activo en bajo.
- **-SMEMR** (salida): Esta señal indica a dispositivos de memoria a manejar datos a través del bus de datos. Es controlado por el CPU o el controlador del DMA. Es activa sólo para rangos menores de 1 MB de memoria.
- **-SMEMW** (salida): Esta señal indica a los dispositivos de memoria a almacenar los datos presentes en el bus de datos. Controlado por el CPU o el controlador del DMA. Es activado sólo para rangos menores de 1 MB de memoria.
- **DRQ1, DRQ2, DRQ3** (entrada): Son señales de solicitud de transferencia por canales DMA. DRQ1 es la de mayor prioridad y DRQ3 la de menor prioridad. Se mantiene en alto hasta que el correspondiente DACK se activa.
- **-DACK1, DACK2, DACK3** (salida): Se utiliza para acceder solicitud de DMA. Son activos en bajo.
- **AEN** (salida): Cuando ésta señal se activa (alto), el CPU cede el control sobre el bus de direcciones y el bus de datos al control DMA, permitiendo transferencia DMA.
- **-REFRESH** (E/S): Esta señal indica un ciclo de refrescamiento. Es activada en bajo y puede controlarla un microprocesador en el canal de E/S.
- **T/C** (salida): Proporciona un pulso alto cuando es alcanzada la cuenta final por cualquier canal DMA.
- **OSC** (salida): Señal de reloj de 14.31818 Mhz, sincronizado.

### **3.3 LA PPI 8255 (Interface Programable de Perifericos)**

El 8255 es un periférico programable de E/S paralelo de propósito general y es la parte central del circuito interfaz de comunicación. Es de la familia INTEL de circuitos de soporte para  $\mu$ P, capaz de proporcionar 24 pines programables de entrada y salida, divididos en tres puerto paralelos: puerto A, puerto B y puerto C; los cuales pueden ser configurados de manera especial como se describirá más adelante. La configuración se hace mediante software y no requiere circuitos lógicos externos para ello.

#### **3.3.1 Modos de Operación del 8255.**

El 8255 posee tres modos de operación conocidos como modo 0, modo 1 y modo 2. En el modo 0 los 8 pines de los tres puerto son utilizados como E/S. Los modos 1 y 2 utilizan las señales del puerto C como entradas de solicitud de interrupción al CPU, estas interrupciones pueden ser "enmascaradas" o no mediante el formato bit Set/Reset.

EL 8255 presenta 3 modos básicos de operación:

- Modo 0: Entrada/Salida Elemental.
- Modo 1: Entrada/Salida con Protocolo.
- Modo 2: Bus bidireccional con Protocolo.

Además el 8255 está conformado por dos grupos de buses. El grupo A que es el puerto A más los 4 bits más significativos del puerto C y el grupo B formado por el puerto B más 4 bits menos significativos del puerto C.

Cuando se inicializa la 8255 (al encender la computadora), sus tres puertos quedan configurados como puertos de entrada. Los puertos A, B y C pueden ser configurados en modos de operación diferentes según sea necesario, escribiendo la palabra de control en el registro de control.

La palabra de control consta de 8 bits y es la que determina en qué modos pueden trabajar los tres puerto: el registro de control es la dirección a la que responderá la palabra de control.

Las direcciones a que responden la interfaz son las siguientes: tres de estas direcciones corresponden a los puertos A, B, y C y el cuarto es un registro de *solo escritura*. Estas direcciones han sido tomadas de la sección de la memoria utilizada para dispositivos de entrada y salida.

| A <sub>9</sub> | A <sub>8</sub> | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | Dirección |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------|
| 1              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 0              | 3ECH      |
| 1              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 1              | 3EEH      |
| 1              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 1              | 0              | 3EDH      |
| 1              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 1              | 1              | 3EFH      |

Tabla 3.1: Direcciones de la tarjeta de interfaz.

### MODO 0: Entrada/Salida Elemental

Este modo configura a los 3 puertos solamente como entrada o salida. Este modo de operación presenta las siguientes características:

- Los puertos A y B de 8bits y el puerto C dividido en 2 grupos independientes de 4bits.
- Cualquier puerto puede ser E/S.
- Los datos de salidas son enganchados.
- Los datos de entrada no son enganchados.
- 16 formas diferentes de configuración de este modo.

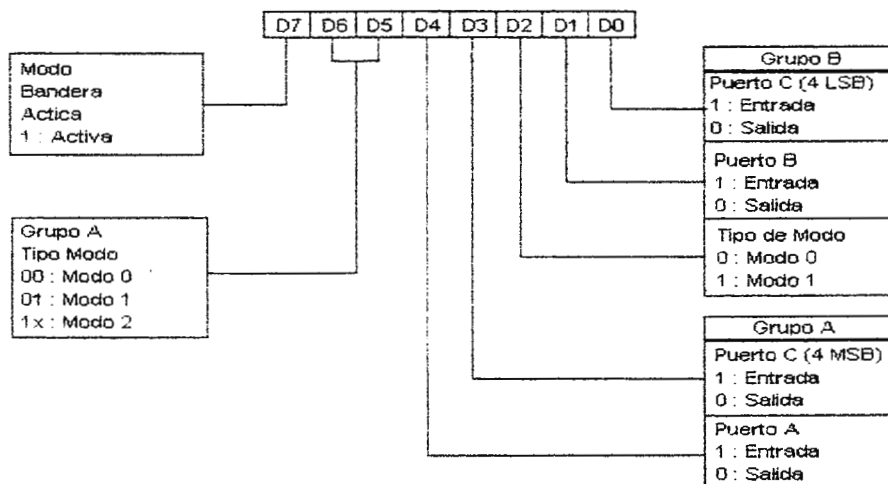


Ilustración 27. Registro de Control

Para los propósitos de control de comunicación entre la memoria de la computadora y la interfaz de conversión, la elección del modo 0 es el más idónea y por esta razón se ha desarrollado con mayor profundidad, dejando los otros como información general.

### **MODO 1: Entrada/Salida con Protocolo.**

Este modo permite comunicarse con la computadora con el bus de señales de protocolo. Las características principales de esta son:

- Presenta dos grupos (A y B) de líneas de comunicación.
- Cada grupo esta formado por un puerto de 8 bits para datos y un puerto de 4 bits para control.
- El puerto de 8 bits puede ser de entrada o de salida. Las entradas y salidas son enganchadas.
- El puerto de 4 bits es usado para controlar el estado del puerto de 8 bits.

En este modo de operación hay dos posibilidades para cada bloque, entrada con protocolo y salida con protocolo.

### **MODO 2: Puerto Bidireccional con protocolo.**

Este modo opera con un solo puerto para enviar y recibir datos utilizando señales de protocolos. Sus características principales son:

- Usado en grupo A únicamente.
- Un puerto de 8 bits bidireccional y un puerto de control de 5 bits.
- Entrada y Salida enganchadas.

Existen muchas maneras de combinar los modos de operación en el 8255. El puerto A puede operar de 3 modos diferentes, el puerto B de 2 modos diferentes. La forma de configurar los puertos depende del tipo de aplicación que se desee.

Los modos de operación del 8255 se resumen de la siguiente manera:

| Puerto          | Modo 0  |        | Modo 1  |        | Modo 2       |
|-----------------|---------|--------|---------|--------|--------------|
|                 | Entrada | Salida | Entrada | Salida | Solo Grupo A |
| PA <sub>0</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>1</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>2</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>3</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>4</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>5</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>6</sub> | E       | S      | E       | S      | E/S          |
| PA <sub>7</sub> | E       | S      | E       | S      | E/S          |
| PB <sub>0</sub> | E       | S      | E       | S      | -            |
| PB <sub>1</sub> | E       | S      | E       | S      | -            |
| PB <sub>2</sub> | E       | S      | E       | S      | -            |
| PB <sub>3</sub> | E       | S      | E       | S      | -            |
| PB <sub>4</sub> | E       | S      | E       | S      | -            |
| PB <sub>5</sub> | E       | S      | E       | S      | -            |
| PB <sub>6</sub> | E       | S      | E       | S      | -            |
| PB <sub>7</sub> | E       | S      | E       | S      | -            |
| PC <sub>0</sub> | E       | S      | INTRB   | INTRB  | E/S          |
| PC <sub>1</sub> | E       | S      | IBFB    | -OBFB  | E/S          |
| PC <sub>2</sub> | E       | S      | -STBB   | -ACKB  | E/S          |
| PC <sub>3</sub> | E       | S      | INTRA   | INTRA  | INTRA        |
| PC <sub>4</sub> | E       | S      | -STBA   | E/S    | -STBA        |
| PC <sub>5</sub> | E       | S      | IBFA    | E/S    | INFA         |
| PC <sub>6</sub> | E       | S      | E/S     | -ACKA  | -ACKA        |
| PC <sub>7</sub> | E       | S      | E/S     | OBFA   | -OBFA        |

Tabla 3.2 Resumen de los modos de operación del 8255.

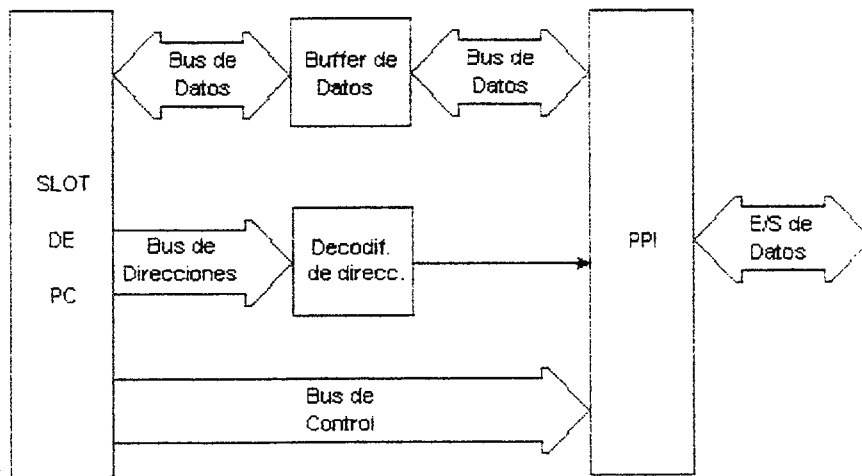
### 3.3.2 Descripción de los Pines del 8255A

- Los pines del 1-4 representan a  $PA_3$ ,  $PA_2$ ,  $PA_1$  y  $PA_0$  respectivamente, es decir, los 4 bits menos significativos del puerto A.
- El pin 5 es el RD, señal que debe ser en bajo cuando se realizara una operación de lectura en algún puerto.
- El pin 6 es el CS, señal que habilita el funcionamiento del 8255A cuando está en bajo.
- El pin 7 es GND, la tierra del sistema acoplada con la de la computadora.
- Los pines 8 y 9 son  $A_1$  y  $A_0$  respectivamente. Estas líneas de direccionamiento accesan los puertos de la siguiente manera:  $A_1A_0 = 00$  accesan el puerto A;  $A_1A_0 = 01$  accesan el puerto B;  $A_1A_0 = 10$  accesan el puerto C;  $A_1A_0 = 11$  accesan el registro de control.
- Los pines 10-13 son  $PC_7$ ,  $PC_6$ ,  $PC_5$  y  $PC_4$  respectivamente, es decir, los 4 bits más significativos del puerto C.
- Los pines 14-17 son  $PC_3$ ,  $PC_2$ ,  $PC_1$  y  $PC_0$  respectivamente, es decir, 4 bits menos significativos de puerto C.
- Los pines 18-25 son  $PB_0$ - $PB_7$  respectivamente, el puerto B.
- El pin 6 es  $V_{CC}$ , +5 V de alimentación para la 8255.
- Los pines 27-34 son D0-D7, el bus de datos que se conecta a la computadora mediante el 74LS245.

- El pin 35 es el RESET, un alto inicializa el 8255 colocando todos sus puertos como puertos de entrada. Esta condición puede ser cambiada por software.
- Los pines 37-34 son PA<sub>7</sub>, PA<sub>6</sub>, PA<sub>5</sub> y PA<sub>4</sub> respectivamente, es decir, 4 bits más significativos del puerto A.

### 3.4 DESCRIPCIÓN DEL CIRCUITO DE INTERFAZ

El circuito encargado de enlazar el módulo de conversión con la computadora es el *Circuito de Interfaz*, el cual se coloca como se observa en la siguiente figura, de tal forma que el programa pueda tomar los datos necesarios de las señales bajo medición a través del slot de la PC.



Los canales que se utilizan en el presente diseño son: de la A<sub>2</sub>-A<sub>9</sub> las cuales forman el bus de direcciones, D<sub>0</sub>-D<sub>7</sub> las cuales forman el bus de datos E/S de 8 bits, Con

el bit más significativo  $D_7$  y el menos significativo  $D_0$ , estas líneas serán manejadas por el 74LS245.

La dirección del flujo de datos, será conectada por la línea de  $\text{-IOR}$  la cual se conectará al pin 1 del 74LS245. Esto es necesario cuando ya existen más de 10 cargas en el bus de datos del  $\mu\text{P}$ .

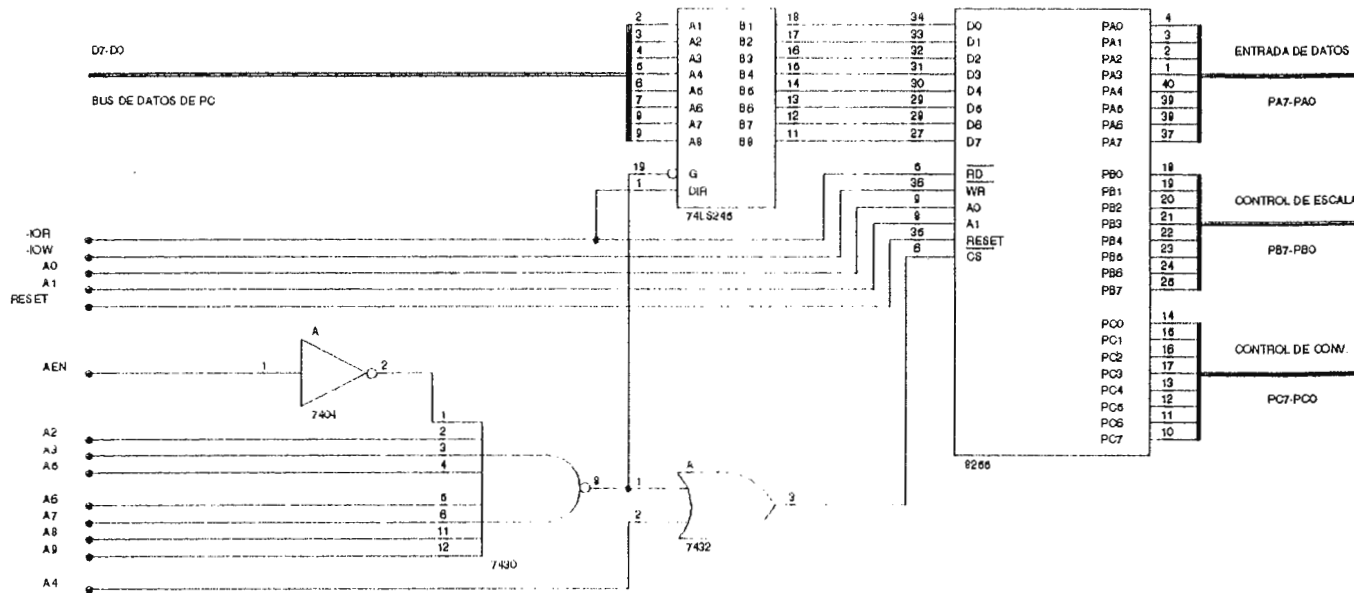
La habilitación del 74LS245 (pin 19) será manejada por la salida del decodificador de direcciones; esta deberá ser baja para que el 74LS245 permita el paso de datos.

El decodificador de direcciones no es más que una compuerta NAND de 8 entradas (7430), cuyas entradas se conectan a los canales de las líneas de direcciones  $A_9$ - $A_2$ , además se conecta la línea de AEN a la entrada del 7430 para evitar que la interfaz sea habilitada accidentalmente durante la transferencia del DMA.

La salida del 7430 controla la habilitación del 74LS245 y además, junto con la línea  $A_4$  controlan a través de una OR el CS del 8255. Las líneas de dirección  $A_1$ - $A_0$ , direccionan los puertos del 8255.  $A_1$ - $A_0 = 00$ , seleccionan el puerto A de la 8255;  $A_1$ - $A_0 = 01$ , seleccionan el puerto B del 8255;  $A_1$ - $A_0 = 10$ , seleccionan el puerto C del 8255;  $A_1$ - $A_0 = 11$ , seleccionan el registro de control del 8255.

Así la interfaz responderá a cuatro direcciones:

- 3ECH : Puerto A
- 3EDH : Puerto B
- 3EEH : Puerto C
- 3EFH : Registro de Control



Hustración 28. Interfaz Paralela.

### **3.5 MÓDULO DE CONVERSIÓN A/D Y CONTROL**

Este módulo está encargado de establecer la conversión A/D de las señales de las diferentes entradas bajo medición, de seleccionar el nivel de atenuación y generar la señales de control para el inicio de la adquisición y representación de datos en la PC.

#### **3.5.1 CIRCUITO DE SELECCIÓN DE ESCALAS DE VOLTAJE**

Este circuito tiene como finalidad modificar la señal de los canales para adecuarlas a los niveles de voltaje de entrada máximos del convertidor A/D.

Esta etapa está compuesta a la entrada por un OP-AMP seguidor de voltaje (como se muestra en la figura 29), el cual se encarga de ofrecer una alta impedancia a las señales bajo medición, con el objetivo de no modificarles ningún parámetro por efectos de carga.

El IC 4016 es el encargado de seleccionar el acoplamiento para señales de AC o DC, el cual es manejado por un nivel lógico proveniente del puerto B de la PPI.

Un amplificador OP-AMP (IC5 o IC8) y un multiplexor/demultiplexor analógico 4051(IC4 o IC7), son los encargados de realizar la selección de la ganancia de acuerdo a la escala elegida en la interfaz gráfica. La interfaz envía a través de un puerto un código binario que se introduce a las entradas de selección del 4051, esto permite cambiar el valor de la resistencia de realimentación que actúa para definir la ganancia o atenuación del circuito.

Debido al proceso de inversión de la señal, se necesita otro amplificador operacional (IC6 o IC9) para invertir nuevamente la señal modificada en la etapa anterior. Además es necesario agregarle un nivel de DC, el cual se le suma a la señal para eliminar valores negativos de voltaje en la entrada del convertidor A/D.



| ESCALA<br>(V/DIV) | V <sub>MAX</sub> DE<br>ENTRADA<br>(V <sub>PP</sub> ) | V <sub>MAX</sub> EN<br>CONV. A/D<br>(V <sub>PP</sub> ) | GANANCIA | R <sub>F</sub><br>(R <sub>F</sub> =10kΩ) | PB <sub>2</sub> | PB <sub>1</sub> | PB <sub>0</sub> |
|-------------------|------------------------------------------------------|--------------------------------------------------------|----------|------------------------------------------|-----------------|-----------------|-----------------|
| 5                 | 50                                                   | 5                                                      | 0.1      | 1K                                       | 0               | 0               | 0               |
| 2                 | 20                                                   | 5                                                      | 0.25     | 2.5K                                     | 0               | 0               | 1               |
| 1                 | 10                                                   | 5                                                      | 0.5      | 5K                                       | 0               | 1               | 0               |
| 0.5               | 5                                                    | 5                                                      | 1        | 10K                                      | 0               | 1               | 1               |
| 0.2               | 2                                                    | 5                                                      | 2.5      | 25K                                      | 1               | 0               | 0               |
| 0.1               | 1                                                    | 5                                                      | 5        | 50K                                      | 1               | 0               | 1               |

Tabla 3.3 Selección de escalas.

Para el calculo de los diferentes valores de las resistencias de retroalimentacion (R<sub>F</sub>) se utilizan las siguientes expresiones:

$$\text{Ganancia} = \text{Voltaje máximo de entrada} \cdot \text{Voltaje maximo en conv. A/D} = A_v$$

$$A_v = R_f/R_i$$

También se puede observar en la tabla anterior los codigos de selección asignados para cada escala de voltaje.

### 3.5.2 CIRCUITO DE CONVERSION ANALÓGO-DIGITAL Y ALMACENAMIENTO.

El circuito de Conversión y Almacenamiento tiene como finalidad convertir las señales analógicas de entrada, provenientes de la etapa de selección de escalas, en códigos digitales para que puedan ser interpretados por la computadora y efectuar el proceso de presentación gráfica.

En la figura 30 se muestra el circuito que realiza la conversión A/D para su posterior almacenamiento en memoria. Cada muestra efectuada por el convertidor es almacenada en una localidad de memoria direccionada en forma secuencial a través de una base de tiempo.

La razón de utilizar dispositivos de almacenamiento temporal (memorias RAM) se debe a que se necesita obtener la información, de la señal bajo medición, en un tiempo real y que no dependa de la base de tiempo de una computadora. Debido que no todas las PC's poseen la misma frecuencia de trabajo es difícil obtener una frecuencia de muestreo constante para la representación exacta de las señales en el dominio del tiempo.

La *frecuencia de muestreo* del circuito de conversión análogo digital está determinada por una señal de reloj base que se genera en el IC 18 de la figura 30. Este integrado es un oscilador controlado por voltaje ( 74LS124 ) cuya frecuencia es fijada por el valor de capacitancia externa que se le coloca. La relación que existe entre esta frecuencia base y la frecuencia de muestreo es la siguiente:

$$F_{\text{clk}} = 3 F_m$$

donde:  $F_{\text{clk}}$  : frecuencia de reloj base.

$F_m$  : frecuencia de muestreo.

Esta frecuencia base de reloj es aplicada al IC 15 (74164) que es un Registro de Desplazamiento Serie, el cual produce junto con las compuertas XNOR (74266) y AND (7408) las señales de Control para la Escritura (EWR) y Lectura (ERD) de las memorias y el convertidor A/D, como también la temporización para los cambios de dirección generados por los contadores binarios IC 16 y 17 ( 74393).

La secuencia para poder realizar la conversión y almacenamiento de datos es la siguiente:

- Se habilita el convertidor A/D y la memorias RAM por medio de la PC.
- Se inicializan los FF D (IC 14) que controlan el inicio y final de las conversiones.

- Se espera un pulso de disparo que determina el momento para iniciar la conversión, proveniente de la señal de entrada.
- El convertidor A/D recibe un pulso que le indica el inicio de la conversión (EWR), luego un tiempo después recibe un pulso de lectura (ERD) en el pin RD, lo que provoca que los datos sean colocados a la salida del bus de datos del convertidor.
- Al mismo tiempo que ERD es recibido por el convertidor, también se le aplica a las memorias una señal de escritura, la cual le indica que debe almacenar el datos disponible en el bus en una localidad de memoria específica.
- Este proceso se repetirá para cada muestra de señal de entrada hasta almacenar  $2^{10}$  localidades de memoria (1Kb).
- Al finalizar esta secuencia el circuito está listo para que la computadora pueda leer la información contenida en cada una de las localidades de memoria.

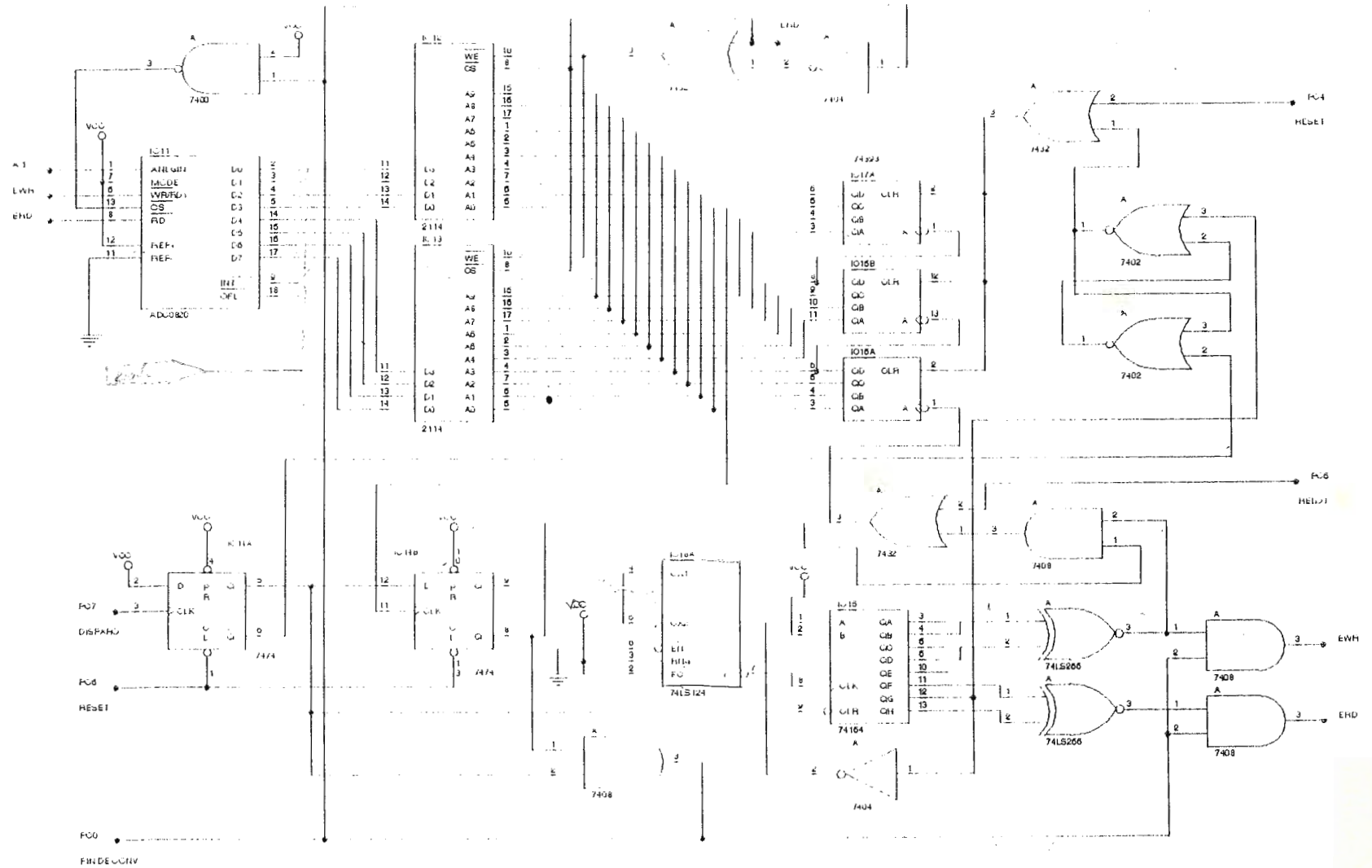


Ilustración 30. Conversión A/D y Almacenamiento.

### **3.6 DESCRIPCIÓN DEL PROGRAMA.**

El programa para la implementación del osciloscopio a través de la utilización de una computadora personal, ha sido desarrollado con el uso del Lenguaje de Programación C++ .

Las características generales de este programa son:

- Está diseñado para trabajar bajo ambiente DOS.
- Posee una Interfaz de Usuario para facilitar su utilización.
- Controla dispositivos de entrada y salida de datos.

En los siguientes flujogramas se muestra la estructura del Programa Principal y de las correspondientes Subrutinas.

La descripción breve de cada una de las figuras presentadas es la siguiente:

#### **FLUJOGRAMA PRINCIPAL.**

Aquí es donde el programa comienza a realizar las configuraciones de los periféricos a utilizar y se encarga de manejar la presentación de la interfaz de usuario. Esto permitirá que se puedan controlar las diferentes funciones u operaciones del osciloscopio virtual.

#### **Graficación y Selección de Escala.**

Este es el que se encarga de seleccionar el canal de entrada a utilizar para la presentación de la señal deseada o para abandonar el programa.

### **Subrutina de canales de entrada.**

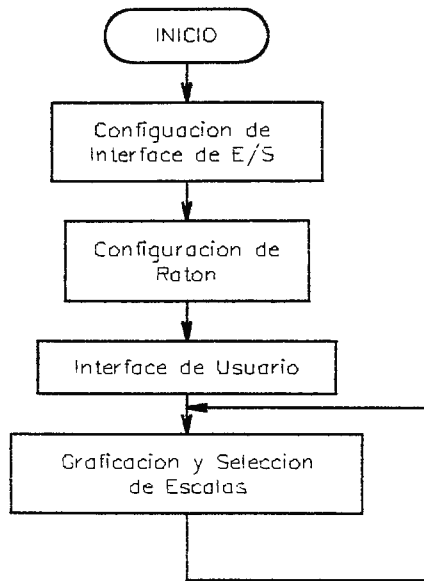
Una vez que se ha seleccionado el canal de entrada se puede elegir cualquiera de las siguientes operaciones:

- Selección de otro canal.
- Selección de escala de voltaje y tiempo.
- Selección de forma de graficar (memoria, escaneo continuo)
- Salida.

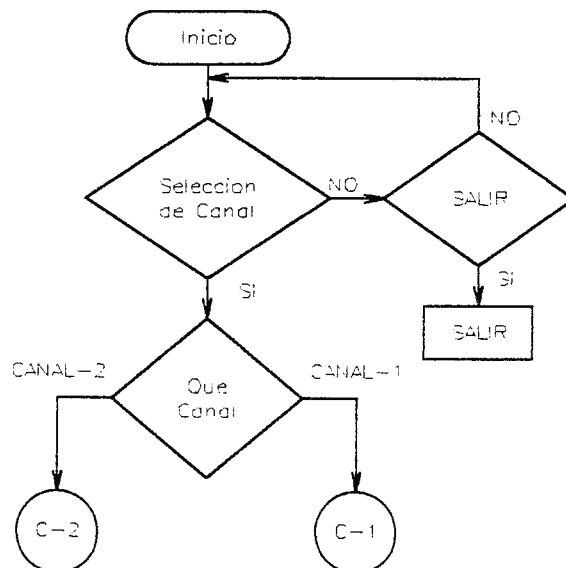
### **Subrutina de Selección de Forma de Graficación.**

Esta subrutina es la encargada de permitir la elección de la forma en que la señal se va a mostrar en la pantalla. Es decir si la gráfica representa único ciclo de muestreo o si estara mostrando continuamente varios ciclos de muestreo en relación a una señal de disparo.

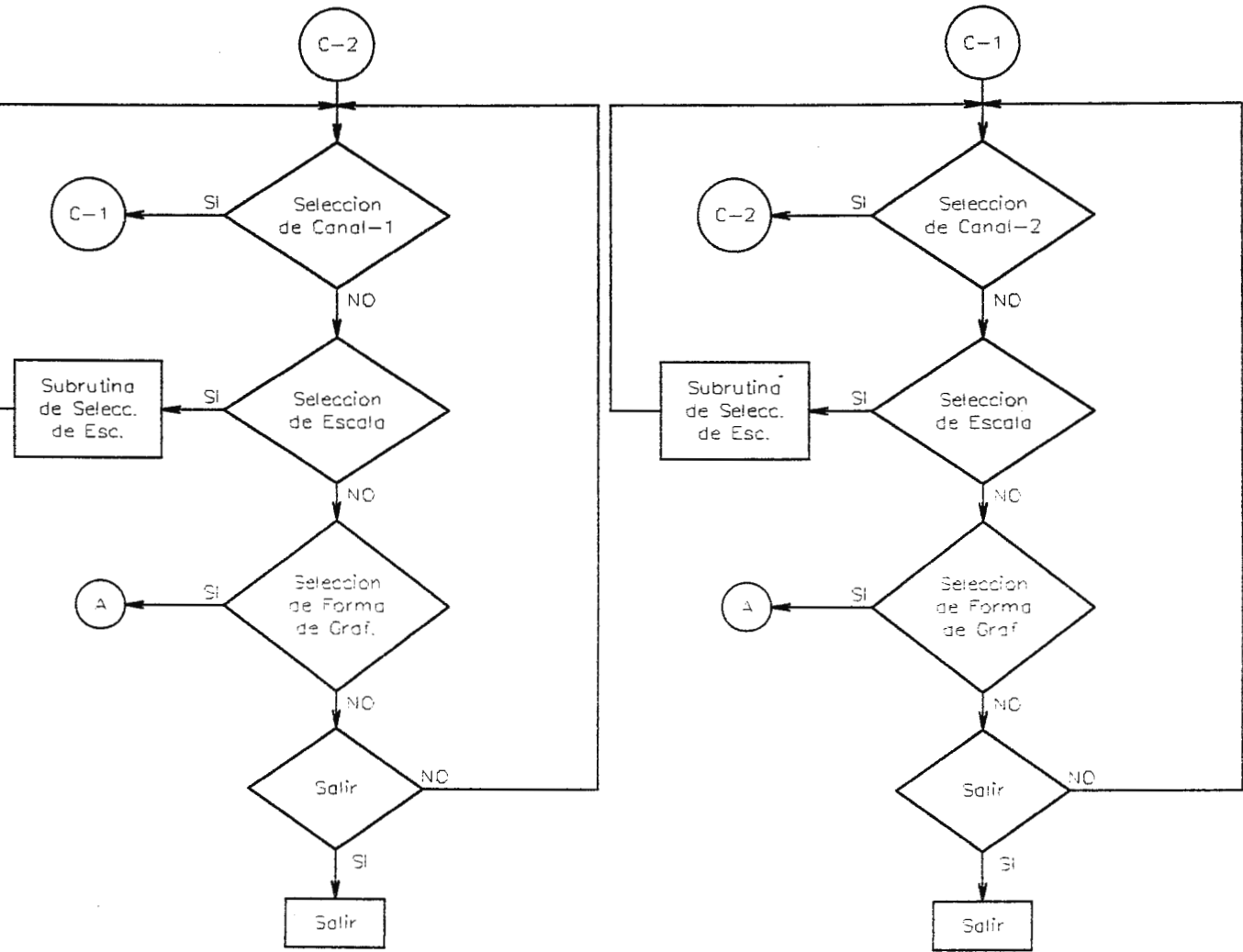
# Flujograma General



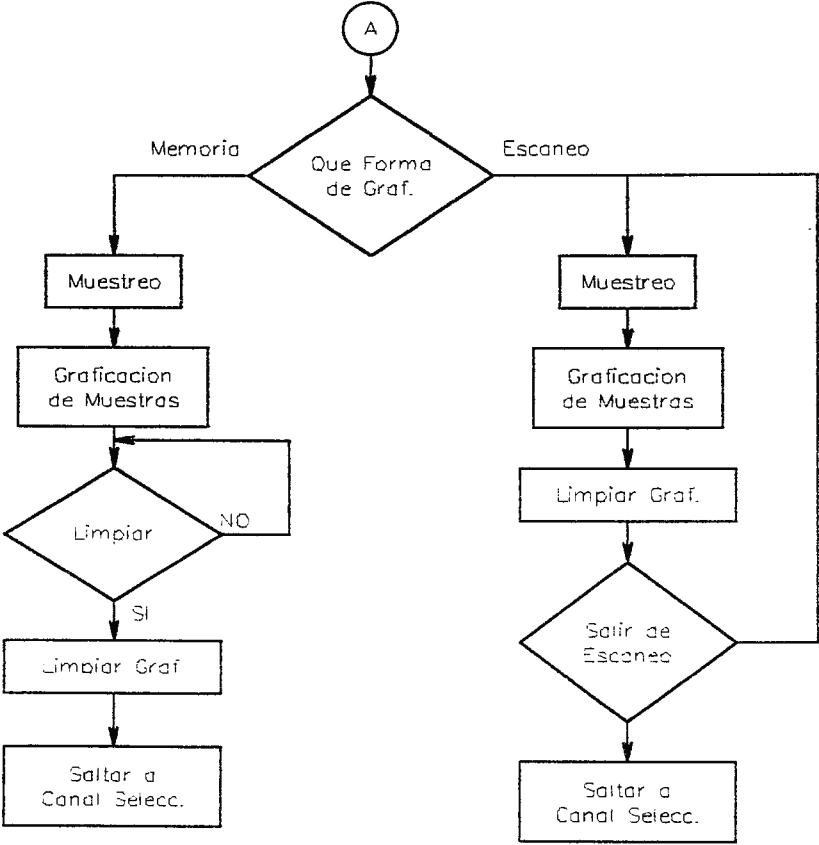
## Graficacion y Seleccion de Escala



# Subrutina de Canales de Entrada



# Subrutina de Selección de forma de Graficación



## BIBLIOGRAFÍA.

- ENRIQUE MANDADO. SISTEMAS ELECTRÓNICOS DIGITALES.  
7ª EDICIÓN  
EDITORIAL ALFAOMEGA-MARCOMBO  
MÉXICO 1992.

- M. MORRIS MANO. DISEÑO DIGITAL.  
1ª EDICIÓN  
EDITORIAL PRENTICE HALL  
MÉXICO 1987.

- JOHN F. WAKERLY. DISEÑO DIGITAL, PRINCIPIOS Y PRÁCTICAS.  
EDITORIAL PRENTICE HALL  
MÉXICO 1992.

- LOUIS NASHELSY. FUNDAMENTOS DE TECNOLOGÍA DIGITAL.  
1ª EDICIÓN  
NORIEGA EDITORES, LIMUSA  
MÉXICO 1989.

- RONALD J. TOCCI. SISTEMAS DIGITALES PRINCIPIOS Y APLICACIONES.  
3ª EDICIÓN  
EDITORIAL PRENTICE HALL

# ANEXOS

# Osciloscopio

## 1. Introducción

### 1.1. Propósito.

Este documento tiene como objetivo orientar en la instalación y uso del programa.

### 1.2. Descripción.

OSC es un programa que le permite a su computadora personal ejecutar las funciones básicas un osciloscopio.

## 2. Instalación.

### 2.1. Requerimientos del sistema.

Este programa se ejecuta en cualquier PC con  $\mu$ P 80286 ó superiores, bajo ambiente de DOS, versión 60 y 640Kb de memoria convencional.

### 2.2. Instrucciones de Instalación.

- Introduzca el disco de instalación en la unidad "A".
- Ejecutar el archivo INSTALAR y presionar la tecla ENTER.
- El programa OSC se encuentra instalado en su computadora en el subdirectorio OSC.

## 3. Operación

3.1. Cambie al subdirectorio denominado OSC.

C:\CD OSC

3.2. Ejecute el programa escribiendo en el prompt del DOS:

C:\OSC\OSC ↵

3.3. En este instante aparecerá (la interfaz gráfica) en la pantalla de la PC la cuadrícula del osciloscopio y los iconos necesarios para el control de sus funciones.

4. Para comenzar el funcionamiento del osciloscopio siga los siguientes pasos:

- Seleccione el icono del canal del osciloscopio a utilizar. Por defecto aparecerán seleccionados la escala máxima de VOLT/DIV y la mínima de TIEMPO/DIV.
- Solamente se podrá modificar la escala de VOLT/DIV del canal seleccionado anteriormente no así la escala de TIEMPO/DIV que se puede modificar antes y después de efectuar la selección de un determinada canal.
- Luego seleccione la forma de presentación de la señal de las siguientes 2 opciones.  
**MEMORIA:** presenta la forma de onda de la señal almacenada en memoria en un tiempo correspondiente a el valor de la escala de TIEMPO/DIV multiplicada por 10 divisiones.  
**ESCANEADO:** Presenta la forma de onda de la señal para un tiempo indefinido.
- Efectúe las mediciones de los distintos parámetros de la señal. Si es necesario modifique la selección de escalas de VOLT/DIV ó TIEMPO/DIV para observarlo mejor.
- Para abandonar la forma de presentación:  
**MEMORIA:** Presione el icono denominado LIMPIAR.  
**ESCANEADO:** Presione el botón derecho del ratón hasta que aparezca en la pantalla el cursor.
- Para salir del programa presione el icono denominado SALIDA.







```

line(105,361,105,373);
line(85,373,105,373);

setcolor(YELLOW);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,"CA");
    outtextxy(114,362,por);

setcolor(WHITE);
    line(110,361,110,373);
    line(110,361,130,361);
setcolor(BLACK);
    line(130,361,130,373);
    line(110,373,130,373);
/*<<<<<<<<< TIEMPO >>>>>>>>>>>>*/
setcolor(RED);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,"TIEMPO");
    outtextxy(512,155,por);

setcolor(WHITE);
    line(500,150,500,245);
    line(500,150,562,150);
setcolor(BLACK);
    line(562,150,562,245);
    line(500,245,562,245);

setcolor(BLUE);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,"TIM/DIV");
    outtextxy(510,165,por);

setcolor(RED);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,"5");
    outtextxy(524,176,por);

setcolor(WHITE);
    circle(544,182,2);
    setfillstyle(SOLID_FILL,BLACK);
    floodfill(544,182,WHITE);

setcolor(RED);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,"2");
    outtextxy(524,186,por);

setcolor(WHITE);
    circle(544,192,2);
    setfillstyle(SOLID_FILL,BLACK);
    floodfill(544,192,WHITE);

setcolor(RED);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,"1");
    outtextxy(524,196,por);

setcolor(WHITE);
    circle(544,202,2);
    setfillstyle(SOLID_FILL,BLACK);
    floodfill(544,202,WHITE);

setcolor(RED);

```

```

    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,".5");
    outtextxy(522,206,por);

setcolor(WHITE);
    circle(544,212,2);
    setfillstyle(SOLID_FILL,BLACK);
    floodfill(544,212,WHITE);
setcolor(RED);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,".2");
    outtextxy(522,216,por);

setcolor(WHITE);
    circle(544,222,2);
    setfillstyle(SOLID_FILL,BLACK);
    floodfill(544,222,WHITE);

setcolor(RED);
    settextstyle(SMALL_FONT, HORIZ_DIR,4);
    sprintf(por,".1");
    outtextxy(522,226,por);

setcolor(WHITE);
    circle(544,232,2);
    setfillstyle(SOLID_FILL,BLACK);
    floodfill(544,232,WHITE);

setcolor(BLACK);
    circle(120,182,2);
    setfillstyle(SOLID_FILL,WHITE);
    floodfill(120,182,BLACK);

setcolor(BLACK);
    circle(120,302,2);
    setfillstyle(SOLID_FILL,WHITE);
    floodfill(120,302,BLACK);

goto H;

/* <<<<<<<< GRAFICADOR >>>>>>>>>>>> */
B:
pb=sc |isc2|cd ||cd2;
outp(0x3ed,pb);

x1=x=y1=y=0;
for (i=0;i<=28;i=i+(0,1))
    |
outp(0x3ee,0x00);
for (m=0;m<=45;m=m+1)
    |
outp(0x3ee,0x10);
/* re:
r=inp(0x3ee);
r=r&0x01;
if (r!=0x01) goto re; */
y=inp(0x3ee);
i=i*1;
b[i]=-y*1.1;
}

setcolor(LIGHTRED);
setlinestyle(SOLID_LINE, 1, 2);

```



```

    settextstyle(SMALL_FONT, HORIZ_DIR, 4);
    sprintf(por, "CH-1");
    outtextxy(515, 272, por);
setcolor(WHITE);
line(498, 270, 498, 285);
line(498, 270, 562, 270);
setcolor(BLACK);
line(562, 270, 562, 285);
line(498, 285, 562, 285);

regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    }}}

/*<<<<<<<<<< SALIR >>>>>>>>>>>>>>>> */
if (x<=562) if (y>=365){
if (x>=498)
if (y<=380) { if (z==1) ;

regs.x.ax = 0x2;
int86(0x33, &regs, &regs);
setcolor(BLACK);
line(498, 365, 498, 380);
line(498, 365, 562, 365);
setcolor(WHITE);
line(562, 365, 562, 380);
line(498, 380, 562, 380);
delay(100);
setcolor(WHITE);
line(498, 365, 498, 380);
line(498, 365, 562, 365);
setcolor(BLACK);
line(562, 365, 562, 380);
line(498, 380, 562, 380);

goto fin: !!!

* <<<<<<<<<<< CANAL-1 >>>>>>>>>>>>>>>> */
if (chl==0x01) ;

* <<<<<<<<<<< INICIO >>>>>>>>>>>>>>>> */
if (x<=138) if (y>=103);
if (x>=76)
if (y<=118) ; if (z==1) ;
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);

setcolor(BLACK);
line(76, 103, 76, 118);
line(76, 103, 138, 103);
setcolor(WHITE);
line(138, 103, 138, 118);
line(76, 118, 138, 118);

setcolor(RED);
settextstyle(SMALL_FONT, HORIZ_DIR, 4);
sprintf(por, "LIMPIAR");
outtextxy(86, 125, por);

```

```

setcolor(WHITE);
line(76, 123, 76, 138);
line(76, 123, 138, 123);
setcolor(BLACK);
line(138, 123, 138, 138);
line(76, 138, 138, 138);

regs.x.ax = 0x1;
int86(0x33, &regs, &regs);

goto B: }}}

if (x<=124) if (y>=178){
if (x>=116)
if (y<=186) { if (z==1) ;

regs.x.ax = 0x2;
int86(0x33, &regs, &regs);

sc1=0x01;
setcolor(BLACK);
circle(120, 182, 2);
setfillstyle(SOLID_FILL, WHITE);
floodfill(120, 182, BLACK);

setcolor(WHITE);
circle(120, 192, 2);
setfillstyle(SOLID_FILL, BLACK);
floodfill(120, 192, WHITE);

setcolor(WHITE);
circle(120, 202, 2);
setfillstyle(SOLID_FILL, BLACK);
floodfill(120, 202, WHITE);

setcolor(WHITE);
circle(120, 212, 2);
setfillstyle(SOLID_FILL, BLACK);
floodfill(120, 212, WHITE);

setcolor(WHITE);
circle(120, 222, 2);
setfillstyle(SOLID_FILL, BLACK);
floodfill(120, 222, WHITE);

setcolor(WHITE);
circle(120, 232, 2);
setfillstyle(SOLID_FILL, BLACK);
floodfill(120, 232, WHITE);
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    }}}

if (x<=124) if (y>=188){
if (x>=116)
if (y<=196) { if (z==1) ;
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);

```

```

sc l=0x02;
setcolor(WHITE);
circle(120,182.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,182,WHITE);

```

```

setcolor(BLACK);
circle(120,192.2);
setfillstyle(SOLID_FILL,WHITE);
floodfill(120,192,BLACK);

```

```

setcolor(WHITE);
circle(120,202.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,202,WHITE);

```

```

setcolor(WHITE);
circle(120,212.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,212,WHITE);

```

```

setcolor(WHITE);
circle(120,222.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,222,WHITE);

```

```

setcolor(WHITE);
circle(120,232.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,232,WHITE);
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
}

```

```

if (x<=124) if (y>=198){
if (x>=116)
if (y<=206) { if (z==1) {

```

```

regs.x.ax = 0x2;
int86(0x33, &regs, &regs);

```

```

sc l=0x03;
setcolor(WHITE);
circle(120,182.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,182,WHITE);

```

```

setcolor(WHITE);
circle(120,192.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,192,WHITE);

```

```

setcolor(BLACK);
circle(120,202.2);
setfillstyle(SOLID_FILL,WHITE);
floodfill(120,202,BLACK);

```

```

setcolor(WHITE);
circle(120,212.2);

```

```

setfillstyle(SOLID_FILL,BLACK);
floodfill(120,212,WHITE);

```

```

setcolor(WHITE);
circle(120,222.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,222,WHITE);

```

```

setcolor(WHITE);
circle(120,232.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,232,WHITE);
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
}

```

```

if (x<=124) if (y>=208){
if (x>=116)
if (y<=216) { if (z==1) {

```

```

sc l=0x04;
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);

```

```

setcolor(WHITE);
circle(120,182.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,182,WHITE);

```

```

setcolor(WHITE);
circle(120,192.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,192,WHITE);

```

```

setcolor(WHITE);
circle(120,202.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,202,WHITE);

```

```

setcolor(BLACK);
circle(120,212.2);
setfillstyle(SOLID_FILL,WHITE);
floodfill(120,212,BLACK);

```

```

setcolor(WHITE);
circle(120,222.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,222,WHITE);

```

```

setcolor(WHITE);
circle(120,232.2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,232,WHITE);
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
}

```

```

if (x<=124) if (y>=218){
if (x>=116)
if (y<=226) { if (z==1) {

```

```
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);
```

```
sc1=0x05;
setcolor(WHITE);
circle(120,182,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,182,WHITE);
```

```
setcolor(WHITE);
circle(120,192,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,192,WHITE);
```

```
setcolor(WHITE);
circle(120,202,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,202,WHITE);
```

```
setcolor(WHITE);
circle(120,212,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,212,WHITE);
```

```
setcolor(BLACK);
circle(120,222,2);
setfillstyle(SOLID_FILL,WHITE);
floodfill(120,222,BLACK);
```

```
setcolor(WHITE);
circle(120,232,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,232,WHITE);
```

```
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    }
```

```
if(x<=124) if(y>=228);
if(x>=116);
if(y<=236) { if(z==1) {
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);
```

```
sc1=0x06;
setcolor(WHITE);
circle(120,182,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,182,WHITE);
```

```
setcolor(WHITE);
circle(120,192,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,192,WHITE);
```

```
setcolor(WHITE);
circle(120,202,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,202,WHITE);
```

```
setcolor(WHITE);
```

```
circle(120,212,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,212,WHITE);
```

```
setcolor(WHITE);
circle(120,222,2);
setfillstyle(SOLID_FILL,BLACK);
floodfill(120,222,WHITE);
```

```
setcolor(BLACK);
circle(120,232,2);
setfillstyle(SOLID_FILL,WHITE);
floodfill(120,232,BLACK);
```

```
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    }
```

```
if(x<=105) if(y>=241){
if(x>=85)
if(y<=253) { if(z==1) {
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);
```

```
cd1=0x00;
setcolor(WHITE);
settextstyle(SMALL_FONT, HORIZ_DIR,4);
sprintf(por,"CD");
outtextxy(90,242,por);
```

```
setcolor(BLACK);
line(85,241,85,253);
line(85,241,105,241);
setcolor(WHITE);
line(105,241,105,253);
line(85,253,105,253);
```

```
setcolor(YELLOW);
settextstyle(SMALL_FONT, HORIZ_DIR,4);
sprintf(por,"CA");
outtextxy(114,242,por);
```

```
setcolor(WHITE);
line(110,241,110,253);
line(110,241,130,241);
setcolor(BLACK);
line(130,241,130,253);
line(110,253,130,253);
```

```
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    }
```

```
if(x<=130) if(y>=241){
if(x>=110)
if(y<=253) { if(z==1) {
regs.x.ax = 0x2;
int86(0x33, &regs, &regs);
```

```
cd1=0x40;
setcolor(YELLOW);
settextstyle(SMALL_FONT, HORIZ_DIR,4);
```

```

        sprintf(por."CD");
        outtextxy(90,242,por);
setcolor(WHITE);
line(85,241,85,253);
line(85,241,105,241);
setcolor(BLACK);
line(105,241,105,253);
line(85,253,105,253);

setcolor(WHITE);
        settxtstyle(SMALL_FONT, HORIZ_DIR,4);
        sprintf(por."CA");
        outtextxy(114,242,por);

setcolor(BLACK);
line(110,241,110,253);
line(110,241,130,241);
setcolor(WHITE);
line(130,241,130,253);
line(110,253,130,253);

regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    };

* <<<<<<< ESCANEO >>>>>>>>>>>>>>>>>>> */

if (x<=562) if (y>=103) {
if (x>=498)
if (y<=118) { if (z==1) {

regs.x.ax = 0x2;
int86(0x33, &regs, &regs);

setcolor(WHITE);
        settxtstyle(SMALL_FONT, HORIZ_DIR,4);
        sprintf(por."ESCANEO");
        outtextxy(510,105,por);
setlinestyle(SOLID_LINE,10,2);
setcolor(BLACK);
line(498,103,498,118);
line(498,103,562,103);
setcolor(WHITE);
line(562,103,562,118);
line(498,118,562,118);
z=0;
sca:
regs.x.ax = 0x3;
int86(0x33, &regs, &regs);
z = _BX;
x = _CX;
y = _DX;

x1=x=y1=y=0;
for (I=0;I<=28;I=I+0.1)
{
outp(0x3ee,0x10);
outp(0x3ee,0x0);
y=inp(0x3ec);

```

```

i=i0*I;
b[i]=-y*1.1;

}
setcolor(LIGHTRED);
setlinestyle(SOLID_LINE, 1, 2);
x1=x=y1=y=0;

for (I=0;I<=279;I=I+1)
{
x=I;
y=b[I];
line(x1+180,y1+380,x+180,y+380);
x1=x;
y1=y;
}
delay(200);
x1=x=y1=y=K=0;
setcolor(LIGHTCYAN);

for (K=0;K<=279;K=K+1)
{
x=K;
y=b[K];
line(x1+180,y1-380,x-180,y+380);
x1=x;
y1=y;

setcolor(BLACK);
for (i=100;i<=380;i=i+28)
line(180,i,460,i);
for (k=180;k<=460;k=k+28)
line(k,100,k,380);

for (i=100;I<=380;I=I+5.6)
line(319,I,321,I);

for (K=180;K<=460;K=K+5.6)
line(K,239,K,241);

if (z==2) goto sca;
goto sca;
sca:
setcolor(RED);
        settxtstyle(SMALL_FONT, HORIZ_DIR,4);
        sprintf(por."ESCANEO");
        outtextxy(510,105,por);
setlinestyle(SOLID_LINE,10,2);
setcolor(WHITE);
line(498,103,498,118);
line(498,103,562,103);
setcolor(BLACK);
line(562,103,562,118);
line(498,118,562,118);
regs.x.ax = 0x1;
int86(0x33, &regs, &regs);
    }
}

```

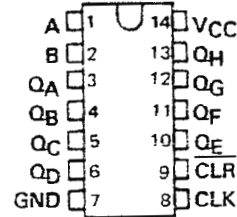


# SN54164, SN54LS164, SN74164, SN74LS164 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

MARCH 1974 — REVISED MARCH 1988

- Gated Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

SN54164, SN54LS164 . . . J OR W PACKAGE  
SN74164 . . . N PACKAGE  
SN74LS164 . . . D OR N PACKAGE  
(TOP VIEW)



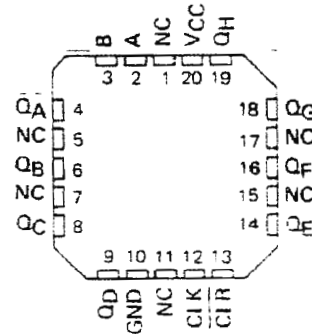
| TYPE   | TYPICAL<br>MAXIMUM<br>CLOCK FREQUENCY | TYPICAL<br>POWER DISSIPATION |
|--------|---------------------------------------|------------------------------|
| '164   | 36 MHz                                | 21 mW per bit                |
| 'LS164 | 36 MHz                                | 10 mW per bit                |

## description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either input inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup-time requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

The SN54164 and SN54LS164 are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN74164 and SN74LS164 are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

SN54LS164 . . . FK PACKAGE  
(TOP VIEW)



NC — No internal connection

FUNCTION TABLE

| INPUTS |       |   |   | OUTPUTS         |                      |                 |
|--------|-------|---|---|-----------------|----------------------|-----------------|
| CLEAR  | CLOCK | A | B | Q <sub>A</sub>  | Q <sub>B</sub> . . . | Q <sub>H</sub>  |
| L      | X     | X | X | L               | L                    | L               |
| H      | L     | X | X | Q <sub>A0</sub> | Q <sub>B0</sub>      | Q <sub>H0</sub> |
| H      | ↑     | H | H | H               | Q <sub>An</sub>      | Q <sub>Gn</sub> |
| H      | ↑     | L | X | L               | Q <sub>An</sub>      | Q <sub>Gn</sub> |
| H      | ↑     | X | L | L               | Q <sub>An</sub>      | Q <sub>Gn</sub> |

H = high level (steady state), L = low level (steady state)

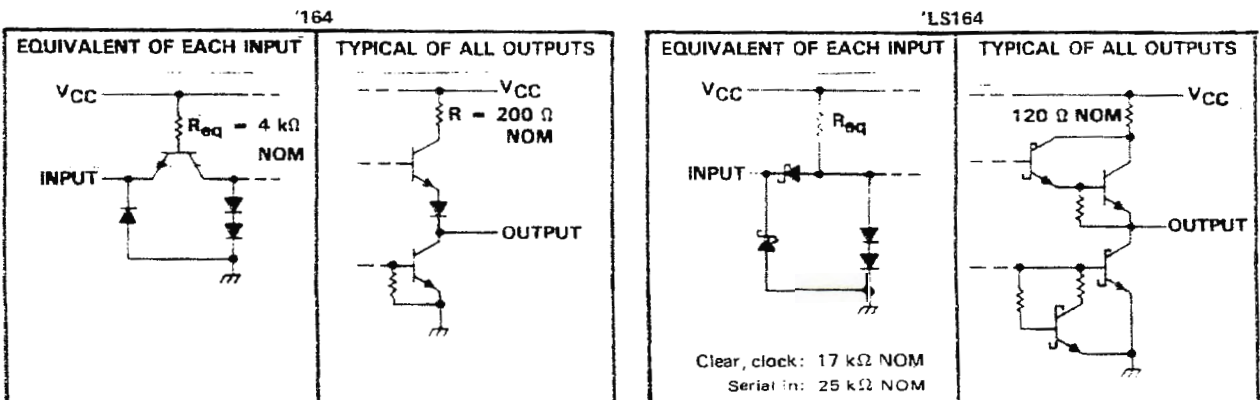
X = irrelevant (any input, including transitions)

↑ = transition from low to high level.

Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>H0</sub> = the level of Q<sub>A</sub>, Q<sub>B</sub>, or Q<sub>H</sub>, respectively, before the indicated steady-state input conditions were established.

Q<sub>An</sub>, Q<sub>Gn</sub> = the level of Q<sub>A</sub> or Q<sub>G</sub> before the most-recent ↑ transition of the clock; indicates a one-bit shift.

## schematics of inputs and outputs

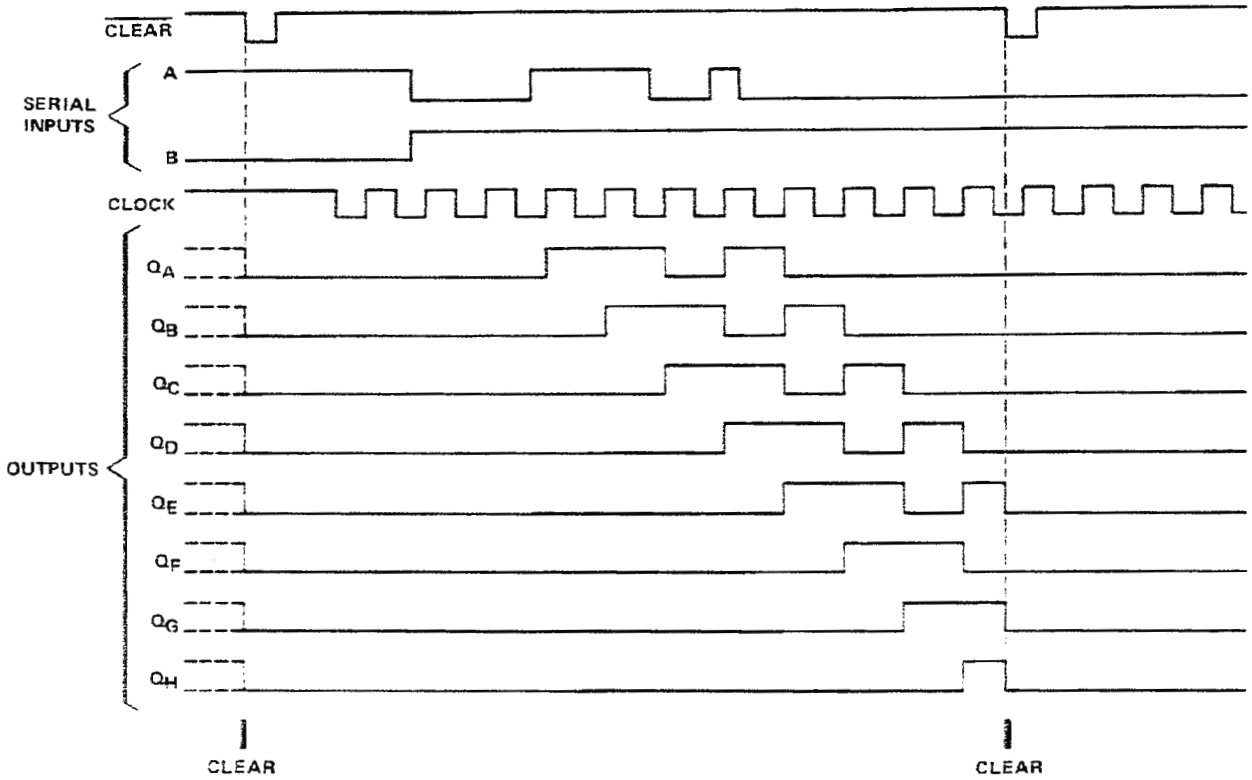


TEXAS  
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

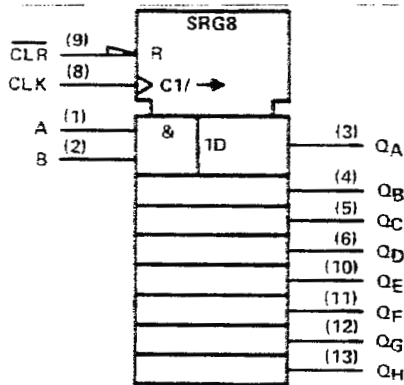
**SN54164, SN54LS164, SN74164, SN74LS164**  
**8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS**

typical clear, shift, and clear sequences



2  
TTL Devices

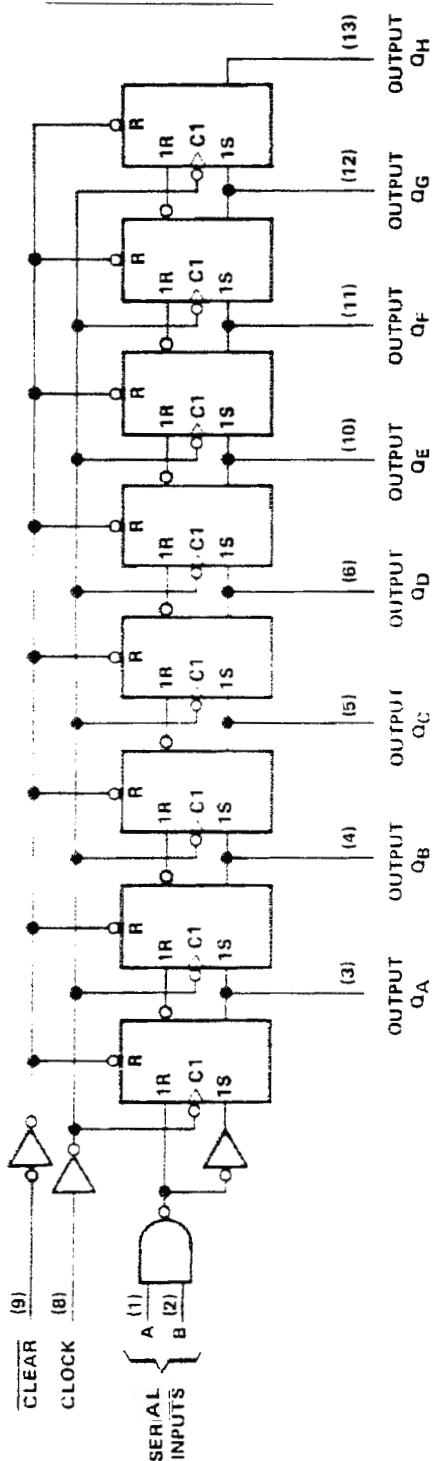
logic symbol†



†This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

# SN54164, SN54LS164, SN74164, SN74LS164 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTER

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.

# SN54164, SN74164

## 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

|                                                     |                |
|-----------------------------------------------------|----------------|
| Supply voltage, $V_{CC}$ (see Note 1) .....         | 7 V            |
| Input voltage .....                                 | 5.5 V          |
| Operating free-air temperature range: SN54164 ..... | -55°C to 125°C |
| SN74164 .....                                       | 0°C to 70°C    |
| Storage temperature range .....                     | -65°C to 150°C |

NOTE 1: Voltage values are with respect to network ground terminal.

### recommended operating conditions

|                                                           | SN54164 |     |      | SN74164 |     |      | UNIT    |
|-----------------------------------------------------------|---------|-----|------|---------|-----|------|---------|
|                                                           | MIN     | NOM | MAX  | MIN     | NOM | MAX  |         |
| Supply voltage, $V_{CC}$                                  | 4.5     | 5   | 5.5  | 4.75    | 5   | 5.25 | V       |
| High-level output current, $I_{OH}$                       |         |     | -400 |         |     | -400 | $\mu$ A |
| Low-level output current, $I_{OL}$                        |         |     | 8    |         |     | 8    | mA      |
| Clock frequency, $f_{clock}$                              | 0       |     | 25   | 0       |     | 25   | MHz     |
| Width of clock or clear input pulse, $t_w$                | 20      |     |      | 20      |     |      | ns      |
| Data setup time, $t_{SU}$ (see Figure 1)                  | 15      |     |      | 15      |     |      | ns      |
| Data setup time, $t_{SU}$ (Clear Inactive) (see Figure 1) | 20      |     |      | 20      |     |      | ns      |
| Data hold time, $t_H$ (see Figure 1)                      | 5       |     |      | 5       |     |      | ns      |
| Operating free-air temperature, $T_A$                     | -55     |     | 125  | 0       |     | 70   | °C      |

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER                                    | TEST CONDITIONS†                                                                                            | SN54164 |      |       | SN74164 |      |       | UNIT    |
|----------------------------------------------|-------------------------------------------------------------------------------------------------------------|---------|------|-------|---------|------|-------|---------|
|                                              |                                                                                                             | MIN     | TYP‡ | MAX   | MIN     | TYP‡ | MAX   |         |
| $V_{IH}$ High-level input voltage            |                                                                                                             | 2       |      |       | 2       |      |       | V       |
| $V_{IL}$ Low-level input voltage             |                                                                                                             |         |      | 0.8   |         |      | 0.8   | V       |
| $V_{IK}$ Input clamp voltage                 | $V_{CC} = \text{MIN.}$ , $I_I = -12 \text{ mA}$                                                             |         |      | -1.5  |         |      | -1.5  | V       |
| $V_{OH}$ High-level output voltage           | $V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V.}$<br>$V_{IL} = 0.8 \text{ V.}$ , $I_{OH} = -400 \mu\text{A}$ | 2.4     | 3.2  |       | 2.4     | 3.2  |       | V       |
| $V_{OL}$ Low-level output voltage            | $V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V.}$<br>$V_{IL} = 0.8 \text{ V.}$ , $I_{OL} = 8 \text{ mA}$     |         | 0.2  | 0.4   |         | 0.2  | 0.4   | V       |
| $I_I$ Input current at maximum input voltage | $V_{CC} = \text{MAX.}$ , $V_I = 5.5 \text{ V.}$                                                             |         |      | 1     |         |      | 1     | mA      |
| $I_{IH}$ High-level input current            | $V_{CC} = \text{MAX.}$ , $V_I = 2.4 \text{ V}$                                                              |         |      | 40    |         |      | 40    | $\mu$ A |
| $I_{IL}$ Low-level input current             | $V_{CC} = \text{MAX.}$ , $V_I = 0.4 \text{ V}$                                                              |         |      | -1.6  |         |      | -1.6  | mA      |
| $I_{OS}$ Short-circuit output current‡       | $V_{CC} = \text{MAX.}$                                                                                      | -10     |      | -27.5 | -9      |      | -27.5 | mA      |
| $I_{CC}$ Supply current                      | $V_{CC} = \text{MAX.}$ , $V_I(\text{clock}) = 0.4 \text{ V}$                                                |         | 30   |       |         | 30   |       | mA      |
|                                              | See Note 2, $V_I(\text{clock}) = 2.4 \text{ V}$                                                             |         | 37   | 54    |         | 37   | 54    |         |

† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

§ Not more than two outputs should be shorted at a time.

NOTE 2:  $I_{CC}$  is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5 V, applied to clear.

### switching characteristics, $V_{CC} = 5 \text{ V}$ , $T_A = 25^\circ\text{C}$

| PARAMETER                                                                             | TEST CONDITIONS                      | MIN                   | TYP | MAX | UNIT |    |
|---------------------------------------------------------------------------------------|--------------------------------------|-----------------------|-----|-----|------|----|
|                                                                                       |                                      |                       |     |     |      |    |
| $f_{max}$ Maximum clock frequency                                                     |                                      | 25                    | 36  |     | MHz  |    |
| $t_{PHL}$ Propagation delay time, high-to-low-level<br>Q outputs from clear input     | $R_L = 800 \Omega$ ,<br>See Figure 1 | $C_L = 15 \text{ pF}$ |     | 24  | 36   | ns |
|                                                                                       |                                      | $C_L = 50 \text{ pF}$ |     | 28  | 42   |    |
| $t_{PLH}$ Propagation delay time, low-to-high-level<br>Q outputs from clock input     | $R_L = 800 \Omega$ ,<br>See Figure 1 | $C_L = 15 \text{ pF}$ | 8   | 17  | 27   | ns |
|                                                                                       |                                      | $C_L = 50 \text{ pF}$ | 10  | 20  | 30   |    |
| $t_{PHL}$ Propagation delay time, high-to-low-level<br>Q outputs from the clock input | $R_L = 800 \Omega$ ,<br>See Figure 1 | $C_L = 15 \text{ pF}$ | 10  | 21  | 32   | ns |
|                                                                                       |                                      | $C_L = 50 \text{ pF}$ | 10  | 25  | 37   |    |



POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

# SN54LS164, SN74LS164

## 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

### absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

|                                                 |                |
|-------------------------------------------------|----------------|
| Supply voltage, $V_{CC}$ (see Note 1)           | 7 V            |
| Input voltage                                   | 7 V            |
| Operating free-air temperature range: SN54LS164 | -55°C to 125°C |
| SN74LS164                                       | 0°C to 70°C    |
| Storage temperature range                       | -65°C to 150°C |

NOTE 1: Voltage values are with respect to network ground terminal.

### recommended operating conditions

|             |                                          | SN54LS164 |     |      | SN74LS164 |     |      | UNIT |
|-------------|------------------------------------------|-----------|-----|------|-----------|-----|------|------|
|             |                                          | MIN       | NOM | MAX  | MIN       | NOM | MAX  |      |
| $V_{CC}$    | Supply voltage                           | 4.5       | 5   | 5.5  | 4.75      | 5   | 5.25 | V    |
| $V_{IH}$    | High-level input voltage                 | 2         |     |      | 2         |     |      | V    |
| $V_{iL}$    | Low-level input voltage                  |           |     | 0.7  |           |     | 0.8  | V    |
| $I_{OH}$    | High-level output current                |           |     | -0.4 |           |     | -0.4 | mA   |
| $I_{OL}$    | Low-level output current                 |           |     | 4    |           |     | 8    | mA   |
| $f_{clock}$ | Clock frequency                          | 0         |     | 25   | 0         |     | 25   | MHz  |
| $t_w$       | Width of clock or clear input pulse      | 20        |     |      | 20        |     |      | ns   |
| $t_{su}$    | Data setup time (See Figure 1)           | 15        |     |      | 15        |     |      | ns   |
| $t_{su}$    | Clear inactive setup time (See Figure 1) | 20        |     |      | 20        |     |      | ns   |
| $t_h$       | Data hold time (See Figure 1)            | 5         |     |      | 5         |     |      | ns   |
| $T_A$       | Operating free-air temperature           | -55       |     | 125  | 0         |     | 70   | °C   |

### electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | TEST CONDITIONS†                                                                                       | SN54LS164 |      |      | SN74LS164 |      |      | UNIT |   |
|-----------|--------------------------------------------------------------------------------------------------------|-----------|------|------|-----------|------|------|------|---|
|           |                                                                                                        | MIN       | TYP‡ | MAX  | MIN       | TYP‡ | MAX  |      |   |
| $V_{IK}$  | $V_{CC} = \text{MIN}$ , $I_I = -18 \text{ mA}$                                                         |           |      | -1.5 |           |      | -1.5 | V    |   |
| $V_{OH}$  | $V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ , $V_{iL} = \text{MAX}$ ,<br>$I_{OH} = -0.4 \text{ mA}$ | 2.5       | 3.5  |      | 2.7       | 3.5  |      | V    |   |
| $V_{OL}$  | $V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ ,<br>$V_{iL} = \text{MAX}$                              |           |      | 0.25 | 0.4       |      | 0.25 | 0.4  | V |
|           | $I_{OL} = 4 \text{ mA}$<br>$I_{OL} = 8 \text{ mA}$                                                     |           |      |      |           | 0.35 | 0.5  |      |   |
| $I_I$     | $V_{CC} = \text{MAX}$ , $V_I = 7 \text{ V}$                                                            |           |      | 0.1  |           |      | 0.1  | mA   |   |
| $I_{IH}$  | $V_{CC} = \text{MAX}$ , $V_I = 2.7 \text{ V}$                                                          |           | 20   |      |           | 20   |      | μA   |   |
| $I_{iL}$  | $V_{CC} = \text{MAX}$ , $V_I = 0.4 \text{ V}$                                                          |           |      | -0.4 |           |      | -0.4 | mA   |   |
| $I_{OS}$  | $V_{CC} = \text{MAX}$                                                                                  | -20       |      | -100 | -20       |      | -100 | mA   |   |
| $I_{CC}$  | $V_{CC} = \text{MAX}$ , See Note 3                                                                     |           | 16   | 27   |           | 16   | 27   | mA   |   |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

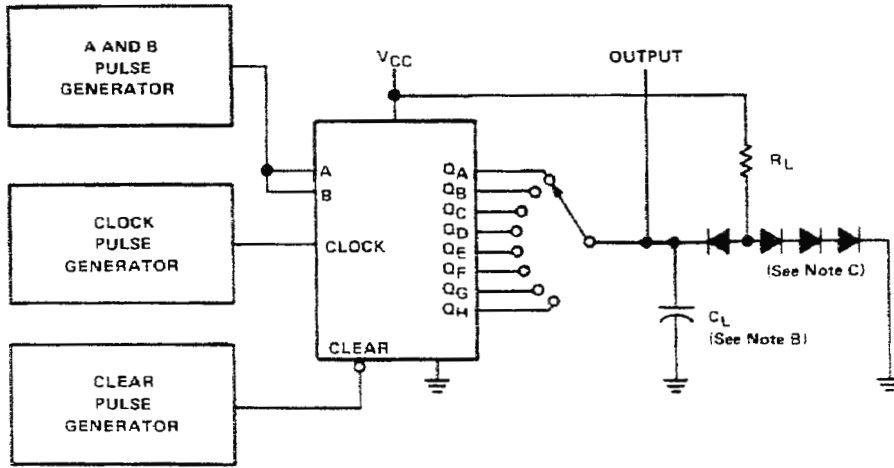
NOTE 3:  $I_{CC}$  is measured with outputs open, serial inputs grounded, the clock input at 2.4 V, and a momentary ground, then 4.5 V applied to clear.

### switching characteristics, $V_{CC} = 5 \text{ V}$ , $T_A = 25^\circ\text{C}$

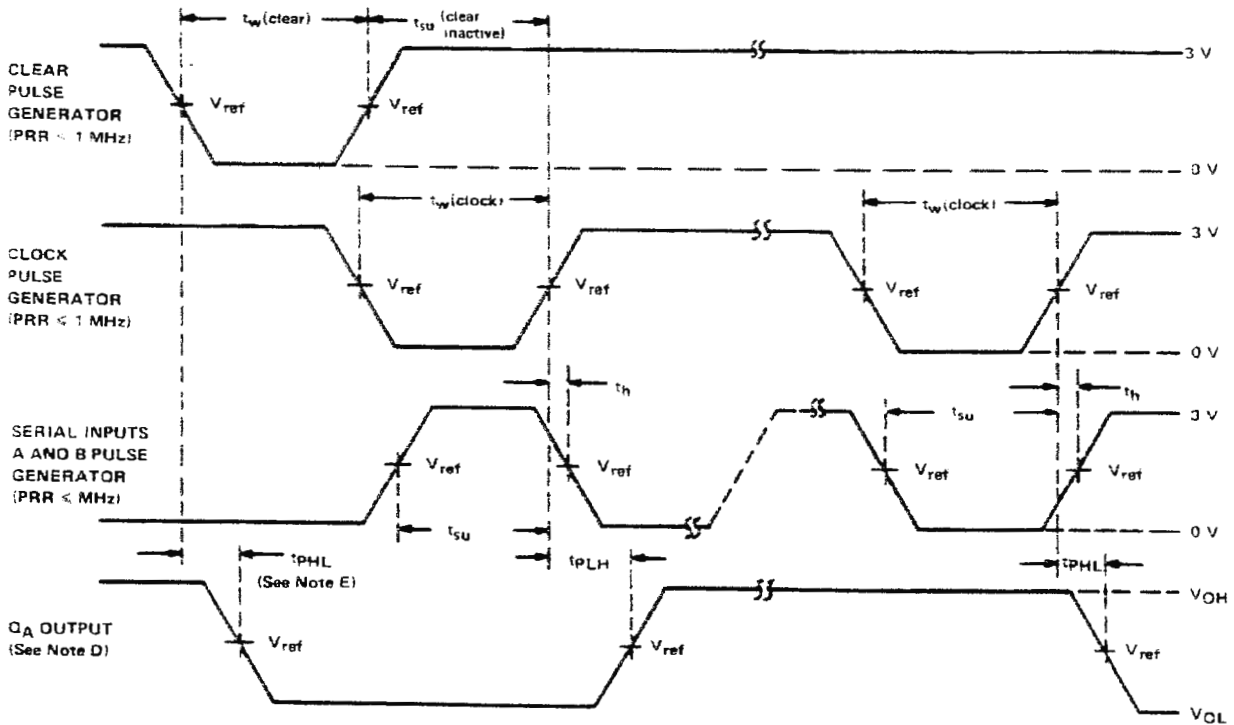
| PARAMETER                                                                      | TEST CONDITIONS                                     | MIN | TYP | MAX | UNIT |
|--------------------------------------------------------------------------------|-----------------------------------------------------|-----|-----|-----|------|
| $f_{max}$ Maximum clock frequency                                              |                                                     | 25  | 36  |     | MHz  |
| $t_{PHL}$ Propagation delay time, high-to-low-level Q outputs from clear input | $R_L = 2 \text{ k}\Omega$ , $C_L = 15 \text{ pF}$ , |     | 24  | 36  | ns   |
| $t_{PLH}$ Propagation delay time, low-to-high-level Q outputs from clock input | See Figure 1                                        |     | 17  | 27  | ns   |
| $t_{PHL}$ Propagation delay time, high-to-low-level Q outputs from clock input |                                                     |     | 21  | 32  | ns   |

**SN54164, SN54LS164, SN74164, SN74LS164**  
**8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS**

**PARAMETER MEASUREMENT INFORMATION**



**TEST CIRCUIT**



**VOLTAGE WAVEFORMS**

- NOTES: A. The pulse generators have the following characteristics: duty cycle  $\leq 50\%$ ,  $Z_{out} \approx 50 \Omega$ ; for '164,  $t_r \leq 10$  ns,  $t_f \leq 10$  ns; and for 'LS164,  $t_r \leq 15$  ns,  $t_f \leq 6$  ns.  
 B.  $C_L$  includes probe and jig capacitance.  
 C. All diodes are 1N3064 or equivalent.  
 D.  $Q_A$  output is illustrated. Relationship of serial input A and B data to other Q outputs is illustrated in the typical shift sequence.  
 E. Outputs are set to the high level prior to the measurement of  $t_{PHL}$  from the clear input.  
 F. For '164,  $V_{ref} = 1.5$  V; for 'LS164,  $V_{ref} = 1.3$  V.

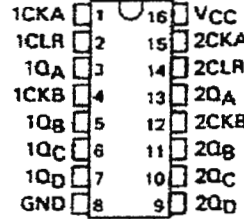
**FIGURE 1—SWITCHING TIMES**

2  
TTL Devices

- Dual Versions of the Popular '90A, 'LS90 and '93A, 'LS93
- '390, 'LS390 . . . Individual Clocks for A and B Flip-Flops Provide Dual ÷ 2 and ÷ 5 Counters
- '393, 'LS393 . . . Dual 4-Bit Binary Counter with Individual Clocks
- All Have Direct Clear for Each 4-Bit Counter
- Dual 4-Bit Versions Can Significantly Improve System Densities by Reducing Counter Package Count by 50%
- Typical Maximum Count Frequency . . . 35 MHz
- Buffered Outputs Reduce Possibility of Collector Commutation

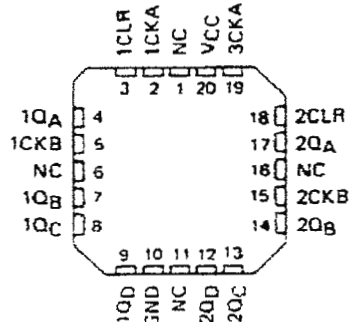
SN54390, SN54LS390 . . . J OR W PACKAGE  
SN74390 . . . N PACKAGE  
SN74LS390 . . . D OR N PACKAGE

(TOP VIEW)



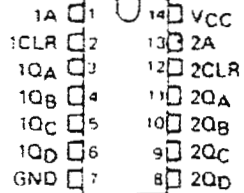
SN54LS390 . . . FK PACKAGE

(TOP VIEW)



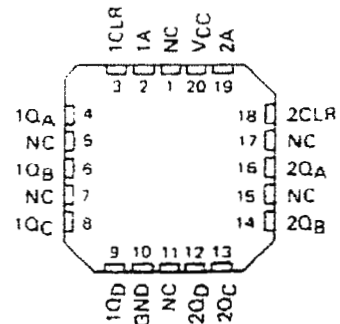
SN54393, SN54LS393 . . . J OR W PACKAGE  
SN74393 . . . N PACKAGE  
SN74LS393 . . . D OR N PACKAGE

(TOP VIEW)



SN54LS393 . . . FK PACKAGE

(TOP VIEW)



NC No internal connection

description

Each of these monolithic circuits contains eight master-slave flip-flops and additional gating to implement two individual four-bit counters in a single package. The '390 and 'LS390 incorporate dual divide-by-two and divide-by-five counters, which can be used to implement cycle lengths equal to any whole and/or cumulative multiples of 2 and/or 5 up to divide-by-100. When connected as a bi-quinary counter, the separate divide-by-two circuit can be used to provide symmetry (a square wave) at the final output stage. The '393 and 'LS393 each comprise two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The '390, 'LS390, '393, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

Series 54 and Series 54LS circuits are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74 and Series 74LS circuits are characterized for operation from 0°C to 70°C.

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS  
INSTRUMENTS

SN74390, SN74LS390, SN74393, SN74LS393  
**DUAL 4-BIT DECADE AND BINARY COUNTERS**

'390, 'LS390  
**BCD COUNT SEQUENCE  
 (EACH COUNTER)**  
 (See Note A)

| COUNT | OUTPUT         |                |                |                |
|-------|----------------|----------------|----------------|----------------|
|       | Q <sub>D</sub> | Q <sub>C</sub> | Q <sub>B</sub> | Q <sub>A</sub> |
| 0     | L              | L              | L              | L              |
| 1     | L              | L              | L              | H              |
| 2     | L              | L              | H              | L              |
| 3     | L              | L              | H              | H              |
| 4     | L              | H              | L              | L              |
| 5     | L              | H              | L              | H              |
| 6     | L              | H              | H              | L              |
| 7     | L              | H              | H              | H              |
| 8     | H              | L              | L              | L              |
| 9     | H              | L              | L              | H              |

**FUNCTION TABLES**  
 '390, 'LS390  
**BI-QUINARY (5-2)  
 (EACH COUNTER)**  
 (See Note B)

| COUNT | OUTPUT         |                |                |                |
|-------|----------------|----------------|----------------|----------------|
|       | Q <sub>A</sub> | Q <sub>D</sub> | Q <sub>C</sub> | Q <sub>B</sub> |
| 0     | L              | L              | L              | L              |
| 1     | L              | L              | L              | H              |
| 2     | L              | L              | H              | L              |
| 3     | L              | L              | H              | H              |
| 4     | L              | H              | L              | L              |
| 5     | H              | L              | L              | L              |
| 6     | H              | L              | L              | H              |
| 7     | H              | L              | H              | L              |
| 8     | H              | L              | H              | H              |
| 9     | H              | H              | L              | L              |

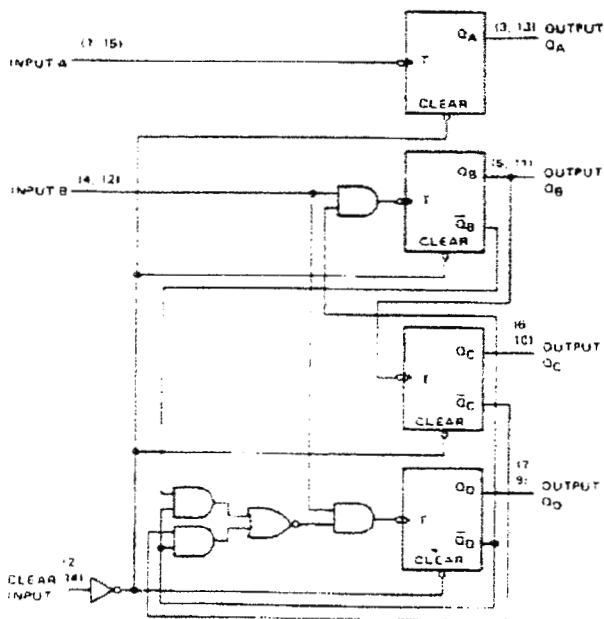
'393, 'LS393  
**COUNT SEQUENCE  
 (EACH COUNTER)**

| COUNT | OUTPUT         |                |                |                |
|-------|----------------|----------------|----------------|----------------|
|       | Q <sub>D</sub> | Q <sub>C</sub> | Q <sub>B</sub> | Q <sub>A</sub> |
| 0     | L              | L              | L              | L              |
| 1     | L              | L              | L              | H              |
| 2     | L              | L              | H              | L              |
| 3     | L              | L              | H              | H              |
| 4     | L              | H              | L              | L              |
| 5     | L              | H              | L              | H              |
| 6     | L              | H              | H              | L              |
| 7     | L              | H              | H              | H              |
| 8     | H              | L              | L              | L              |
| 9     | H              | L              | L              | H              |
| 10    | H              | L              | H              | L              |
| 11    | H              | L              | H              | H              |
| 12    | H              | H              | L              | L              |
| 13    | H              | H              | L              | H              |
| 14    | H              | H              | H              | L              |
| 15    | H              | H              | H              | H              |

NOTES: A. Output Q<sub>A</sub> is connected to input B for BCD count.  
 B. Output Q<sub>D</sub> is connected to input A for bi-quinary count.  
 C. H = high level, L = low level.

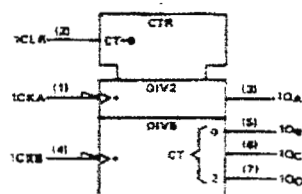
**logic diagrams (positive logic)**

'390, 'LS390

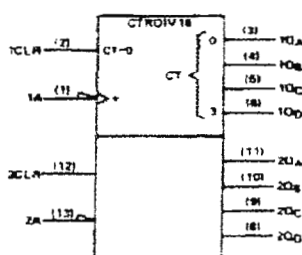


**logic symbols †**

'390, 'LS390



'393, 'LS393



† These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.

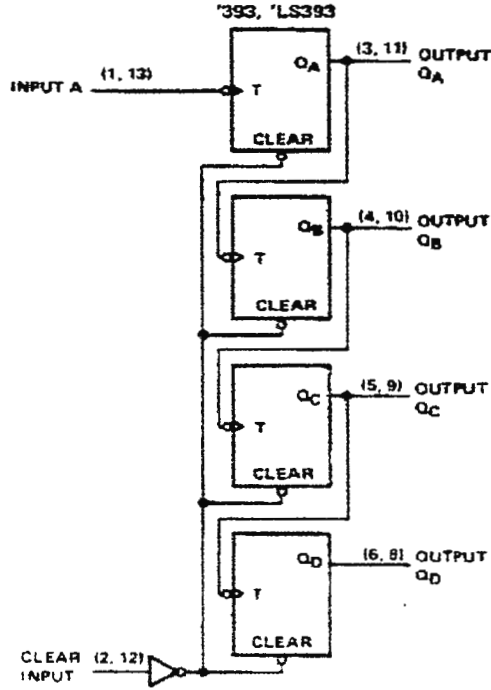
Pin numbers shown are for D, J, N, and W packages.

**TEXAS  
 INSTRUMENTS**

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

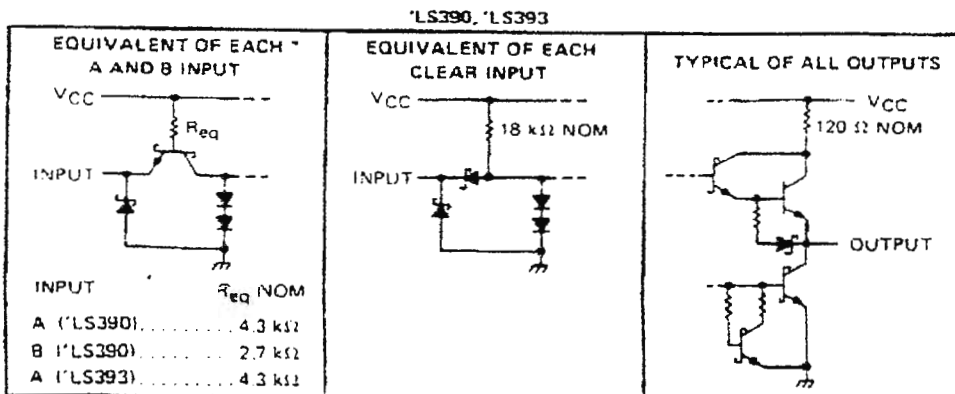
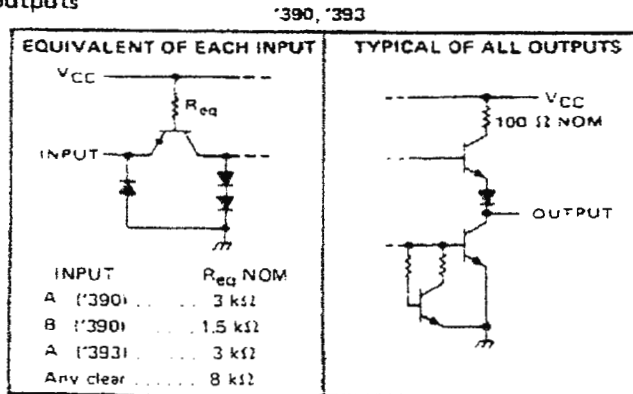
**SN54390, SN54LS390, SN54393, SN54LS393,  
SN74390, SN74LS390, SN74393, SN74LS393  
DUAL 4-BIT DECADE AND BINARY COUNTERS**

logic diagrams (continued)



Pin numbers shown are for D, J, N and W packages.

schematics of inputs and outputs



**SN54LS390, SN54LS393, SN74LS390, SN74LS393**  
**DUAL 4-BIT DECADE AND BINARY COUNTERS**

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$

| PARAMETER | FROM<br>(INPUT) | TO<br>(OUTPUT)  | TEST CONDITIONS                                                                 | 'LS390 |     |     | 'LS393 |     |     | UNIT |
|-----------|-----------------|-----------------|---------------------------------------------------------------------------------|--------|-----|-----|--------|-----|-----|------|
|           |                 |                 |                                                                                 | MIN    | TYP | MAX | MIN    | TYP | MAX |      |
| $f_{max}$ | A               | $Q_A$           | $C_L = 15\text{ pF}$ ,<br>$R_L = 2\text{ k}\Omega$ ,<br>See Note 4 and Figure 2 | 25     | 35  |     | 25     | 35  |     | MHz  |
|           | B               | $Q_B$           |                                                                                 | 12.5   | 20  |     |        |     |     |      |
| $t_{PLH}$ | A               | $Q_A$           |                                                                                 |        | 12  | 20  |        | 12  | 20  | ns   |
| $t_{PHL}$ |                 |                 |                                                                                 |        | 13  | 20  |        | 13  | 20  |      |
| $t_{PLH}$ | A               | $Q_C$ of 'LS390 |                                                                                 |        | 37  | 60  |        | 40  | 60  | ns   |
| $t_{PHL}$ |                 | $Q_D$ of 'LS393 |                                                                                 |        | 39  | 60  |        | 40  | 60  |      |
| $t_{PLH}$ | B               | $Q_B$           |                                                                                 |        | 13  | 21  |        |     |     | ns   |
| $t_{PHL}$ |                 |                 |                                                                                 |        | 14  | 21  |        |     |     |      |
| $t_{PLH}$ | B               | $Q_C$           |                                                                                 |        | 24  | 39  |        |     |     | ns   |
| $t_{PHL}$ |                 |                 |                                                                                 |        | 26  | 39  |        |     |     |      |
| $t_{PLH}$ | B               | $Q_D$           |                                                                                 |        | 13  | 21  |        |     |     | ns   |
| $t_{PHL}$ |                 |                 |                                                                                 |        | 14  | 21  |        |     |     |      |
| $t_{PHL}$ | Clear           | Any             |                                                                                 |        | 24  | 39  |        | 24  | 39  | ns   |

NOTE 4: Load circuits and voltage waveforms are shown in Section 1.

TEXAS  
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

# SN54LS390, SN54LS393, SN74LS390, SN74LS393

## DUAL 4-BIT DECADE AND BINARY COUNTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

|                                                            |                |
|------------------------------------------------------------|----------------|
| Supply voltage, $V_{CC}$ (see Note 1)                      | 7 V            |
| Clear input voltage                                        | 7 V            |
| Any A or B clock input voltage                             | 5.5 V          |
| Operating free-air temperature range: SN54LS390, SN54LS393 | -55°C to 125°C |
| SN74LS390, SN74LS393                                       | 0°C to 70°C    |
| Storage temperature range                                  | -65°C to 150°C |

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

|                                           | SN54LS390<br>SN54LS393 |     |      | SN74LS390<br>SN74LS393 |     |      | UNIT    |     |
|-------------------------------------------|------------------------|-----|------|------------------------|-----|------|---------|-----|
|                                           | MIN                    | NOM | MAX  | MIN                    | NOM | MAX  |         |     |
| Supply voltage, $V_{CC}$                  | 4.5                    | 5   | 5.5  | 4.75                   | 5   | 5.25 | V       |     |
| High-level output current, $I_{OH}$       |                        |     | -400 |                        |     | -400 | $\mu$ A |     |
| Low-level output current, $I_{OL}$        |                        |     | 4    |                        |     | 8    | mA      |     |
| Count frequency, $f_{count}$              | A input                |     | 0    | 25                     | 0   |      | 25      | MHz |
|                                           | B input                |     | 0    | 12.5                   | 0   |      | 12.5    |     |
| Pulse width, $t_w$                        | A input high or low    |     | 20   |                        | 20  |      | ns      |     |
|                                           | B input high or low    |     | 40   |                        | 40  |      |         |     |
|                                           | Clear high             |     | 20   |                        | 20  |      |         |     |
| Clear inactive-state setup time, $t_{SU}$ |                        |     | 25   |                        |     | 25   | ns      |     |
| Operating free-air temperature, $T_A$     |                        |     | -55  | 125                    |     | 0    | 70      | °C  |

† The arrow indicates that the falling edge of the clock pulse is used for reference.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER                                          | TEST CONDITIONS <sup>†</sup>                                                                                    | SN54LS*                      |                      | SN74LS* |                      | UNIT |    |
|----------------------------------------------------|-----------------------------------------------------------------------------------------------------------------|------------------------------|----------------------|---------|----------------------|------|----|
|                                                    |                                                                                                                 | MIN                          | TYP <sup>‡</sup> MAX | MIN     | TYP <sup>‡</sup> MAX |      |    |
| $V_{IH}$ High-level input voltage                  |                                                                                                                 | 2                            |                      | 2       |                      | V    |    |
| $V_{IL}$ Low-level input voltage                   |                                                                                                                 |                              | 0.7                  |         | 0.8                  | V    |    |
| $V_{IK}$ Input clamp voltage                       | $V_{CC} = \text{MIN}$ , $I_I = -18 \text{ mA}$                                                                  |                              | -1.5                 |         | -1.5                 | V    |    |
| $V_{OH}$ High-level output voltage                 | $V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ ,<br>$V_{IL} = V_{IL \text{ max}}$ , $I_{OH} = -400 \mu\text{A}$ | 2.5                          | 3.4                  | 2.7     | 3.4                  | V    |    |
| $V_{OL}$ Low-level output voltage                  | $V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ ,<br>$V_{IL} = 0.8 \text{ V}$                                    | $I_{OL} = 4 \text{ mA}^{\S}$ | 0.25                 | 0.4     | 0.25                 | 0.4  | V  |
|                                                    |                                                                                                                 | $I_{OL} = 8 \text{ mA}^{\S}$ |                      |         | 0.35                 | 0.5  |    |
| $I_I$ Input current at maximum input voltage       | Clear<br>Input A<br>Input B<br>$V_{CC} = \text{MAX}$                                                            | $V_I = 7 \text{ V}$          |                      | 0.1     |                      | 0.1  | mA |
|                                                    |                                                                                                                 | $V_I = 5.5 \text{ V}$        |                      | 0.2     |                      | 0.2  |    |
|                                                    |                                                                                                                 |                              |                      | 0.4     |                      | 0.4  |    |
| $I_{IH}$ High-level input current                  | Clear<br>Input A<br>Input B<br>$V_{CC} = \text{MAX}$ , $V_I = 2.7 \text{ V}$                                    |                              |                      | 0.02    |                      | 0.02 | mA |
|                                                    |                                                                                                                 |                              |                      | 0.1     |                      | 0.1  |    |
|                                                    |                                                                                                                 |                              |                      | 0.2     |                      | 0.2  |    |
| $I_{IL}$ Low-level input current                   | Clear<br>Input A<br>Input B<br>$V_{CC} = \text{MAX}$ , $V_I = 0.4 \text{ V}$                                    |                              |                      | -0.4    |                      | -0.4 | mA |
|                                                    |                                                                                                                 |                              |                      | 1.6     |                      | -1.6 |    |
|                                                    |                                                                                                                 |                              |                      | -2.4    |                      | -2.4 |    |
| $I_{OS}$ Short-circuit output current <sup>§</sup> | $V_{CC} = \text{MAX}$                                                                                           | -20                          | -100                 | -20     | -100                 | mA   |    |
| $I_{CC}$ Supply current                            | $V_{CC} = \text{MAX}$ ,<br>See Note 2                                                                           | LS390                        | 15                   | 26      | 15                   | 26   | mA |
|                                                    |                                                                                                                 | LS393                        | 15                   | 26      | 15                   | 26   |    |

<sup>†</sup> For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

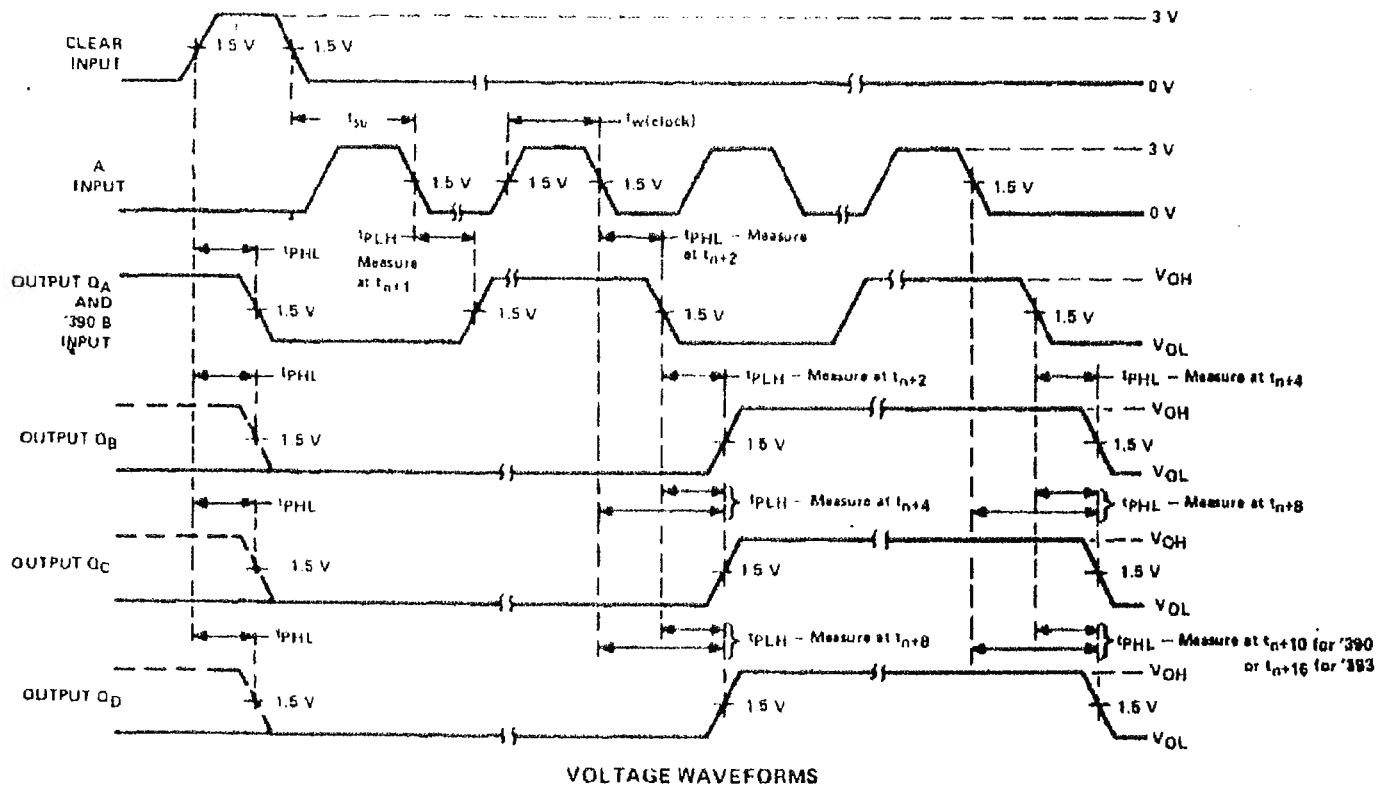
<sup>‡</sup> All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

<sup>§</sup> Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

<sup>¶</sup> The  $Q_A$  outputs of the LS390 are tested at  $I_{OL} = \text{MAX}$  plus the limit value for  $I_{IL}$  for the clock B input. This permits driving the clock B input while maintaining full fan-out capability.

NOTE 2:  $I_{CC}$  is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

PARAMETER MEASUREMENT INFORMATION



NOTE A Input pulses are supplied by a generator having the following characteristics:  $t_r \leq 5$  ns,  $t_f \leq 5$  ns, PRR = 1 MHz, duty cycle = 50%,  $Z_{out} \approx 80$  ohms.

FIGURE 1

**SN54390, SN54393, SN74390, SN74393**  
**DUAL 4-BIT DECADE AND BINARY COUNTERS**

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{ C}$

| PARAMETER | FROM<br>(INPUT) | TO<br>(OUTPUT) | TEST CONDITIONS                                                                  | '390 |     |     | '393 |     |     | UNIT |
|-----------|-----------------|----------------|----------------------------------------------------------------------------------|------|-----|-----|------|-----|-----|------|
|           |                 |                |                                                                                  | MIN  | TYP | MAX | MIN  | TYP | MAX |      |
| $f_{max}$ | A               | $Q_A$          | $C_L = 15\text{ pF}$ ,<br>$R_L = 400\ \Omega$ ,<br>See Note 3<br>and<br>Figure 1 | 25   | 35  |     | 25   | 35  |     | MHz  |
|           | B               | $Q_B$          |                                                                                  | 20   | 30  |     |      |     |     |      |
| $t_{PLH}$ | A               | $Q_A$          |                                                                                  |      | 12  | 20  |      | 12  | 20  | ns   |
| $t_{PHL}$ |                 |                |                                                                                  |      | 13  | 20  |      | 13  | 20  |      |
| $t_{PLH}$ | A               | $Q_C$ of '390  |                                                                                  |      | 37  | 60  |      | 40  | 60  | ns   |
| $t_{PHL}$ |                 | $Q_D$ of '393  |                                                                                  |      | 39  | 60  |      | 40  | 60  |      |
| $t_{PLH}$ | B               | $Q_B$          |                                                                                  |      | 13  | 21  |      |     |     | ns   |
| $t_{PHL}$ |                 |                |                                                                                  |      | 14  | 21  |      |     |     |      |
| $t_{PLH}$ | B               | $Q_C$          |                                                                                  |      | 24  | 39  |      |     |     | ns   |
| $t_{PHL}$ |                 |                |                                                                                  |      | 26  | 39  |      |     |     |      |
| $t_{PLH}$ | B               | $Q_D$          |                                                                                  |      | 13  | 21  |      |     |     | ns   |
| $t_{PHL}$ |                 |                |                                                                                  |      | 14  | 21  |      |     |     |      |
| $t_{PHL}$ | Clear           | Any            |                                                                                  | 24   | 39  |     | 24   | 39  | ns  |      |

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

# SN54390, SN54393, SN74390, SN74393 DUAL 4-BIT DECADE AND BINARY COUNTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

|                                                        |                |
|--------------------------------------------------------|----------------|
| Supply voltage, $V_{CC}$ (see Note 1)                  | 7 V            |
| Input voltage                                          | 5.5 V          |
| Operating free-air temperature range: SN54390, SN54393 | -55°C to 125°C |
| SN74390, SN74393                                       | 0°C to 70°C    |
| Storage temperature range                              | -65°C to 150°C |

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

|                                           |                     | SN54390<br>SN54393 |     |      | SN74390<br>SN74393 |     |      | UNIT    |
|-------------------------------------------|---------------------|--------------------|-----|------|--------------------|-----|------|---------|
|                                           |                     | MIN                | NOM | MAX  | MIN                | NOM | MAX  |         |
| Supply voltage, $V_{CC}$                  |                     | 4.5                | 5   | 5.5  | 4.75               | 5   | 5.25 | V       |
| High-level output current, $I_{OH}$       |                     |                    |     | -800 |                    |     | -800 | $\mu$ A |
| Low-level output current, $I_{OL}$        |                     |                    |     | 16   |                    |     | 16   | mA      |
| Count frequency, $f_{count}$              | A input             | 0                  |     | 25   | 0                  |     | 25   | MHz     |
|                                           | B input             | 0                  |     | 20   | 0                  |     | 20   |         |
| Pulse width, $t_w$                        | A input high or low | 20                 |     |      | 20                 |     |      | ns      |
|                                           | B input high or low | 25                 |     |      | 25                 |     |      |         |
|                                           | Clear high          | 20                 |     |      | 20                 |     |      |         |
| Clear inactive-state setup time, $t_{SU}$ |                     | 25 $\downarrow$    |     |      | 25 $\downarrow$    |     |      | ns      |
| Operating free-air temperature, $T_A$     |                     | -55                |     | 125  | 0                  |     | 70   | °C      |

$\downarrow$  The arrow indicates that the falling edge of the clock pulse is used for reference.

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER                                    | TEST CONDITIONS†                                                                                              | '390                                         |      |      | '393 |      |      | UNIT    |
|----------------------------------------------|---------------------------------------------------------------------------------------------------------------|----------------------------------------------|------|------|------|------|------|---------|
|                                              |                                                                                                               | MIN                                          | TYP‡ | MAX  | MIN  | TYP‡ | MAX  |         |
| $V_{IH}$ High-level input voltage            |                                                                                                               | 2                                            |      |      | 2    |      |      | V       |
| $V_{IL}$ Low-level input voltage             |                                                                                                               |                                              |      | 0.8  |      |      | 0.8  | V       |
| $V_{IK}$ Input clamp voltage                 | $V_{CC} = \text{MIN.}$ $I_I = -12 \text{ mA}$                                                                 |                                              |      | -1.5 |      |      | -1.5 | V       |
| $V_{OH}$ High-level output voltage           | $V_{CC} = \text{MIN.}$ $V_{IH} = 2 \text{ V.}$<br>$V_{IL} = 0.8 \text{ V.}$ $I_{OH} = -800 \mu\text{A}$       | 2.4                                          | 3.4  |      | 2.4  | 3.4  |      | V       |
| $V_{OL}$ Low-level output voltage            | $V_{CC} = \text{MIN.}$ $V_{IH} = 2 \text{ V.}$<br>$V_{IL} = 0.8 \text{ V.}$ $I_{OL} = 16 \text{ mA} \ddagger$ |                                              | 0.2  | 0.4  |      | 0.2  | 0.4  | V       |
| $I_I$ Input current at maximum input voltage | $V_{CC} = \text{MAX.}$ $V_I = 5.5 \text{ V}$                                                                  |                                              |      | 1    |      |      | 1    | mA      |
| $I_{IH}$ High-level input current            | Clear                                                                                                         |                                              |      | 40   |      |      | 40   | $\mu$ A |
|                                              | Input A                                                                                                       | $V_{CC} = \text{MAX.}$ $V_I = 2.4 \text{ V}$ |      | 80   |      | 80   |      |         |
|                                              | Input B                                                                                                       |                                              |      | 120  |      |      |      |         |
| $I_{IL}$ Low-level input current             | Clear                                                                                                         |                                              |      | -1   |      |      | -1   | mA      |
|                                              | Input A                                                                                                       | $V_{CC} = \text{MAX.}$ $V_I = 0.4 \text{ V}$ |      | -3.2 |      | -3.2 |      |         |
|                                              | Input B                                                                                                       |                                              |      | -4.8 |      |      |      |         |
| $I_{OS}$ Short-circuit output current $\S$   | $V_{CC} = \text{MAX.}$                                                                                        | SN54 $\dagger$                               | -20  | -57  | -20  | -57  | mA   |         |
|                                              |                                                                                                               | SN74 $\dagger$                               | -18  | -57  | -18  | -57  |      |         |
| $I_{CC}$ Supply current                      | $V_{CC} = \text{MAX.}$ See Note 2                                                                             |                                              | 42   | 69   |      | 38   | 64   | mA      |

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V.}$   $T_A = 25^\circ\text{C.}$

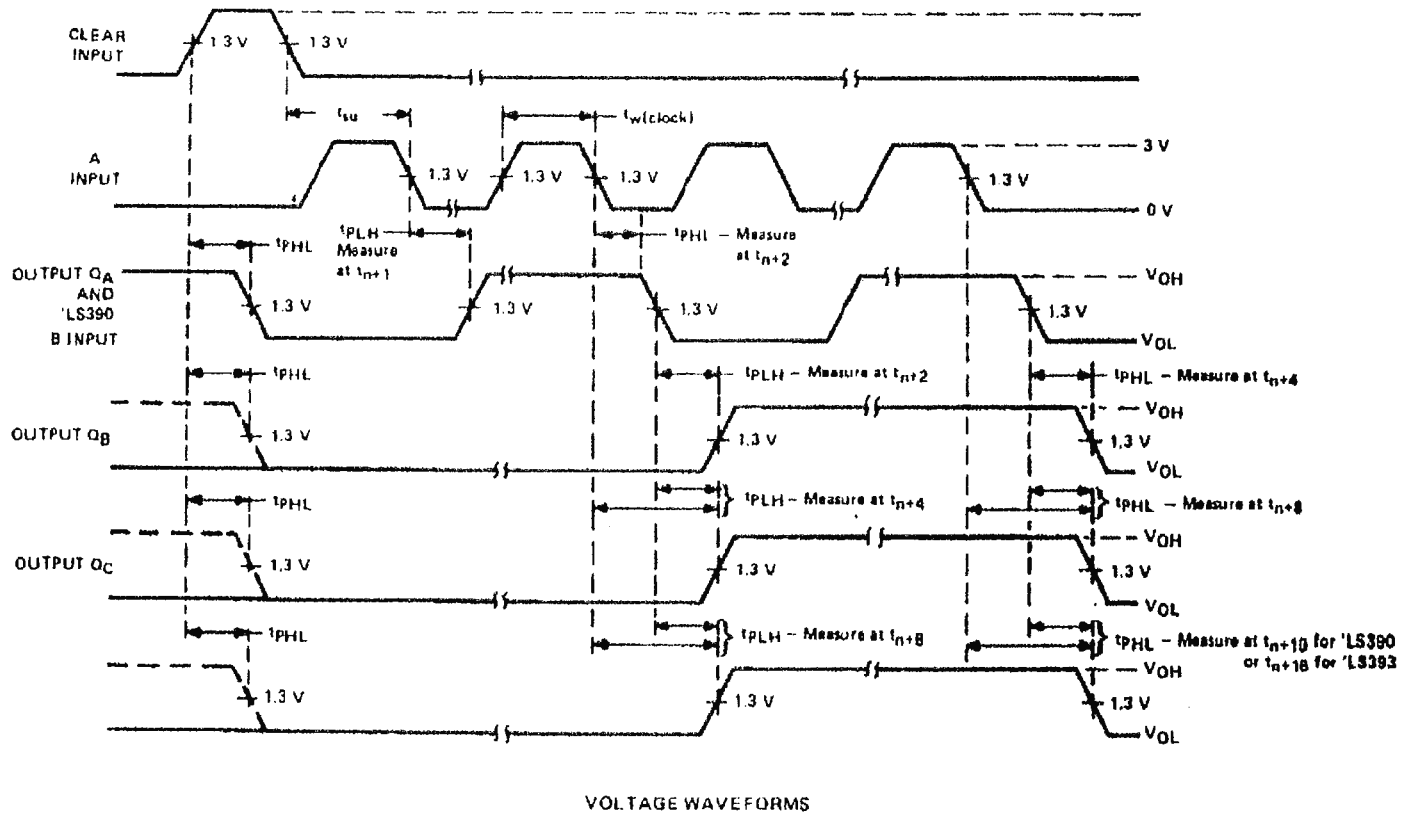
§ Not more than one output should be shorted at a time.

¶ The  $Q_A$  outputs of the '390 are tested at  $I_{OL} = 16 \text{ mA}$  plus the limit value for  $I_{IL}$  for the B input. This permits driving the B input while maintaining full fan-out capability.

NOTE 2:  $I_{CC}$  is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

TEXAS  
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265



NOTE A: Input pulses are supplied by a generator having the following characteristics  $t_r < 16$  ns,  $t_f < 8$  ns, PRR = 1 MHz, duty cycle = 50 %,  $Z_{out} \approx 50$  ohms.

FIGURE 2

# ADC0820 8-Bit High Speed $\mu$ P Compatible A/D Converter with Track/Hold Function

## General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5  $\mu$ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ $\mu$ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

## Key Specifications

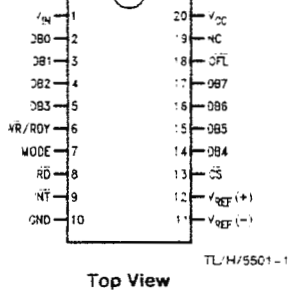
- Resolution 8 Bits
- Conversion Time 2.5  $\mu$ s Max (RD Mode)  
1.5  $\mu$ s Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/ $\mu$ s converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error  $\pm 1/2$  LSB and  $\pm 1$  LSB

## Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V<sub>DC</sub>
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T<sup>2</sup>L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V<sub>CC</sub>
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

## Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packages



Molded Chip Carrier Package

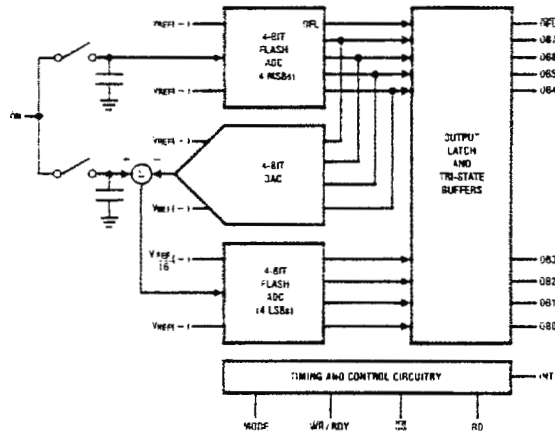
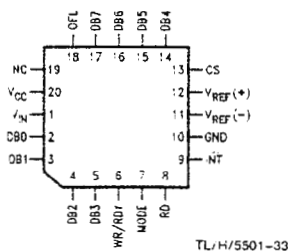


FIGURE 1

See Ordering Information

TRI-STATE® is a registered trademark of National Semiconductor Corporation

## Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

|                                                 |                          |
|-------------------------------------------------|--------------------------|
| Supply Voltage ( $V_{CC}$ )                     | 10V                      |
| Logic Control Inputs                            | -0.2V to $V_{CC} + 0.2V$ |
| Voltage at Other Inputs and Output              | -0.2V to $V_{CC} + 0.2V$ |
| Storage Temperature Range                       | -65°C to +150°C          |
| Package Dissipation at $T_A = 25^\circ\text{C}$ | 875 mW                   |
| Input Current at Any Pin (Note 5)               | 1 mA                     |
| Package Input Current (Note 5)                  | 4 mA                     |
| ESD Susceptibility (Note 9)                     | 1200V                    |

|                                 |       |
|---------------------------------|-------|
| Lead Temp. (Soldering, 10 sec.) |       |
| Dual-In-Line Package (plastic)  | 260°C |
| Dual-In-Line Package (ceramic)  | 300°C |
| Surface Mount Package           |       |
| Vapor Phase (60 sec.)           | 215°C |
| Infrared (15 sec.)              | 220°C |

## Operating Ratings (Notes 1 & 2)

|                          |                                 |
|--------------------------|---------------------------------|
| Temperature Range        | $T_{MIN} \leq T_A \leq T_{MAX}$ |
| ADC0820CCJ               | -40°C $\leq T_A \leq$ +85°C     |
| ADC0820CIWM              | -40°C $\leq T_A \leq$ +85°C     |
| ADC0820BCN, ADC0820CCN   | 0°C $\leq T_A \leq$ 70°C        |
| ADC0820BCV, ADC0820CCV   | 0°C $\leq T_A \leq$ 70°C        |
| ADC0820BCWM, ADC0820CCWM | 0°C $\leq T_A \leq$ 70°C        |
| ADC0820CCMSA             | 0°C $\leq T_A \leq$ 70°C        |
| $V_{CC}$ Range           | 4.5V to 8V                      |

**Converter Characteristics** The following specifications apply for RD mode (pin 7 = 0),  $V_{CC} = 5V$ ,  $V_{REF(+)} = 5V$ , and  $V_{REF(-)} = GND$  unless otherwise specified. **Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$** ; all other limits  $T_A = T_j = 25^\circ\text{C}$ .

| Parameter                            | Conditions                                                                | ADC0820CCJ   |                       |                       | ADC0820BCN, ADC0820CCN<br>ADC0820BCV, ADC0820CCV<br>ADC0820BCWM, ADC0820CCWM<br>ADC0820CCMSA, ADC0820CIWM |                       |                       | Limit Units                    |
|--------------------------------------|---------------------------------------------------------------------------|--------------|-----------------------|-----------------------|-----------------------------------------------------------------------------------------------------------|-----------------------|-----------------------|--------------------------------|
|                                      |                                                                           | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | Typ (Note 6)                                                                                              | Tested Limit (Note 7) | Design Limit (Note 8) |                                |
| Resolution                           |                                                                           |              | 8                     |                       | 8                                                                                                         | 8                     | 8                     | Bits                           |
| Total Unadjusted Error (Note 3)      | ADC0820BCN, BCWM<br>ADC0820CCJ<br>ADC0820CCN, CCWM, CIWM,<br>ADC0820CCMSA |              | $\pm 1$               |                       | $\pm 1/2$                                                                                                 | $\pm 1/2$             | $\pm 1$<br>$\pm 1$    | LSB<br>LSB<br>LSB<br>LSB       |
| Minimum Reference Resistance         |                                                                           | 2.3          | 1.00                  |                       | 2.3                                                                                                       | 1.2                   |                       | k $\Omega$                     |
| Maximum Reference Resistance         |                                                                           | 2.3          | 6                     |                       | 2.3                                                                                                       | 5.3                   | 6                     | k $\Omega$                     |
| Maximum $V_{REF(+)}$ Input Voltage   |                                                                           |              | $V_{CC}$              |                       | $V_{CC}$                                                                                                  | $V_{CC}$              | $V_{CC}$              | V                              |
| Minimum $V_{REF(-)}$ Input Voltage   |                                                                           |              | GND                   |                       | GND                                                                                                       | GND                   | GND                   | V                              |
| Minimum $V_{REF(+)}$ Input Voltage   |                                                                           |              | $V_{REF(-)}$          |                       | $V_{REF(-)}$                                                                                              | $V_{REF(-)}$          | $V_{REF(-)}$          | V                              |
| Maximum $V_{REF(-)}$ Input Voltage   |                                                                           |              | $V_{REF(+)}$          |                       | $V_{REF(+)}$                                                                                              | $V_{REF(+)}$          | $V_{REF(+)}$          | V                              |
| Maximum $V_{IN}$ Input Voltage       |                                                                           |              | $V_{CC} + 0.1$        |                       | $V_{CC} + 0.1$                                                                                            | $V_{CC} + 0.1$        | $V_{CC} + 0.1$        | V                              |
| Minimum $V_{IN}$ Input Voltage       |                                                                           |              | GND - 0.1             |                       | GND - 0.1                                                                                                 | GND - 0.1             | GND - 0.1             | V                              |
| Maximum Analog Input Leakage Current | $\overline{CS} = V_{CC}$<br>$V_{IN} = V_{CC}$<br>$V_{IN} = GND$           |              | 3<br>-3               |                       | 0.3<br>-0.3                                                                                               | 3<br>-3               | 3<br>-3               | $\mu\text{A}$<br>$\mu\text{A}$ |
| Power Supply Sensitivity             | $V_{CC} = 5V \pm 5\%$                                                     | $\pm 1/16$   | $\pm 1/4$             |                       | $\pm 1/16$                                                                                                | $\pm 1/4$             | $\pm 1/4$             | LSB                            |

**DC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ , unless otherwise specified. **Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$ ; all other limits  $T_A = T_J = 25^\circ C$ .**

| Parameter                                 | Conditions                                                                                           | ADC0820CCJ                                                                          |                       |                       | ADC0820BCN, ADC0820CCN<br>ADC0820BCV, ADC0820CCV<br>ADC0820BCWM, ADC0820CCWM<br>ADC0820CCMSA, ADC0820CIWM |                       |                       | Limit Units |    |
|-------------------------------------------|------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|-----------------------|-----------------------|-----------------------------------------------------------------------------------------------------------|-----------------------|-----------------------|-------------|----|
|                                           |                                                                                                      | Typ (Note 6)                                                                        | Tested Limit (Note 7) | Design Limit (Note 8) | Typ (Note 6)                                                                                              | Tested Limit (Note 7) | Design Limit (Note 8) |             |    |
| $V_{IN(1)}$ , Logical "1" Input Voltage   | $V_{CC} = 5.25V$                                                                                     | $\overline{CS}, \overline{WR}, \overline{RD}$                                       |                       | 2.0                   |                                                                                                           | 2.0                   | 2.0                   | V           |    |
|                                           |                                                                                                      | Mode                                                                                |                       | 3.5                   |                                                                                                           | 3.5                   | 3.5                   | V           |    |
| $V_{IN(0)}$ , Logical "0" Input Voltage   | $V_{CC} = 4.75V$                                                                                     | $\overline{CS}, \overline{WR}, \overline{RD}$                                       |                       | 0.8                   |                                                                                                           | 0.8                   | 0.8                   | V           |    |
|                                           |                                                                                                      | Mode                                                                                |                       | 1.5                   |                                                                                                           | 1.5                   | 1.5                   | V           |    |
| $I_{IN(1)}$ , Logical "1" Input Current   | $V_{IN(1)} = 5V; \overline{CS}, \overline{RD}$                                                       | 0.005                                                                               | 1                     |                       | 0.005                                                                                                     |                       | 1                     | $\mu A$     |    |
|                                           | $V_{IN(1)} = 5V; \overline{WR}$                                                                      | 0.1                                                                                 | 3                     |                       | 0.1                                                                                                       | 0.3                   | 3                     | $\mu A$     |    |
|                                           | $V_{IN(1)} = 5V; \text{Mode}$                                                                        | 50                                                                                  | 200                   |                       | 50                                                                                                        | 170                   | 200                   | $\mu A$     |    |
| $I_{IN(0)}$ , Logical "0" Input Current   | $V_{IN(0)} = 0V; \overline{CS}, \overline{RD}, \overline{WR}, \text{Mode}$                           | -0.005                                                                              | -1                    |                       | -0.005                                                                                                    |                       | -1                    | $\mu A$     |    |
| $V_{OUT(1)}$ , Logical "1" Output Voltage | $V_{CC} = 4.75V, I_{OUT} = -360 \mu A;$<br>$DB0-DB7, \overline{OFL}, \overline{INT}$                 |                                                                                     | 2.4                   |                       | 2.8                                                                                                       | 2.4                   | V                     |             |    |
|                                           |                                                                                                      | $V_{CC} = 4.75V, I_{OUT} = -10 \mu A;$<br>$DB0-DB7, \overline{OFL}, \overline{INT}$ |                       | 4.5                   |                                                                                                           | 4.6                   | 4.5                   | V           |    |
| $V_{OUT(0)}$ , Logical "0" Output Voltage | $V_{CC} = 4.75V, I_{OUT} = 1.6 \text{ mA};$<br>$DB0-DB7, \overline{OFL}, \overline{INT}, \text{RDY}$ |                                                                                     | 0.4                   |                       | 0.34                                                                                                      | 0.4                   | V                     |             |    |
| $I_{OUT}$ , TRI-STATE Output Current      | $V_{OUT} = 5V; DB0-DB7, \text{RDY}$                                                                  | 0.1                                                                                 | 3                     |                       | 0.1                                                                                                       | 0.3                   | 3                     | $\mu A$     |    |
|                                           | $V_{OUT} = 0V; DB0-DB7, \text{RDY}$                                                                  | -0.1                                                                                | -3                    |                       | -0.1                                                                                                      | -0.3                  | -3                    | $\mu A$     |    |
| $I_{SOURCE}$ , Output Source Current      | $V_{OUT} = 0V; DB0-DB7, \overline{OFL}, \overline{INT}$                                              |                                                                                     | -12                   | -6                    |                                                                                                           | -12                   | -7.2                  | -6          | mA |
|                                           |                                                                                                      |                                                                                     | -9                    | -4.0                  |                                                                                                           | -9                    | -5.3                  | -4.0        | mA |
| $I_{SINK}$ , Output Sink Current          | $V_{OUT} = 5V; DB0-DB7, \overline{OFL}, \overline{INT}, \text{RDY}$                                  | 14                                                                                  | 7                     |                       | 14                                                                                                        | 8.4                   | 7                     | mA          |    |
| $I_{CC}$ , Supply Current                 | $\overline{CS} = \overline{WR} = \overline{RD} = 0$                                                  | 7.5                                                                                 | 15                    |                       | 7.5                                                                                                       | 13                    | 15                    | mA          |    |

**AC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20 \text{ ns}$ ,  $V_{REF(+)} = 5V$ ,  $V_{REF(-)} = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

| Parameter                                                                             | Conditions                                                                                        | Typ (Note 6)                                                 | Tested Limit (Note 7) | Design Limit (Note 8) | Units   |
|---------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------|--------------------------------------------------------------|-----------------------|-----------------------|---------|
| $t_{CRD}$ , Conversion Time for RD Mode                                               | Pin 7 = 0, (Figure 2)                                                                             | 1.6                                                          |                       | 2.5                   | $\mu s$ |
| $t_{ACC0}$ , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid) | Pin 7 = 0, (Figure 2)                                                                             | $t_{CRD} + 20$                                               |                       | $t_{CRD} + 50$        | ns      |
| $t_{CWR-RD}$ , Conversion Time for WR-RD Mode                                         | Pin 7 = $V_{CC}$ ; $t_{WR} = 600 \text{ ns}$ ,<br>$t_{RD} = 600 \text{ ns}$ ; (Figures 3a and 3b) |                                                              |                       | 1.52                  | $\mu s$ |
| $t_{WR}$ , Write Time                                                                 | Min                                                                                               | Pin 7 = $V_{CC}$ ; (Figures 3a and 3b)                       |                       | 600                   | ns      |
|                                                                                       | Max                                                                                               | (Note 4) See Graph                                           | 50                    |                       | $\mu s$ |
| $t_{RD}$ , Read Time                                                                  | Min                                                                                               | Pin 7 = $V_{CC}$ ; (Figures 3a and 3b)<br>(Note 4) See Graph |                       | 600                   | ns      |
| $t_{ACC1}$ , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid) | Pin 7 = $V_{CC}$ , $t_{RD} < t_i$ ; (Figure 3a)<br>$C_L = 15 \text{ pF}$                          | 190                                                          |                       | 280                   | ns      |
|                                                                                       | $C_L = 100 \text{ pF}$                                                                            | 210                                                          |                       | 320                   | ns      |
| $t_{ACC2}$ , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid) | Pin 7 = $V_{CC}$ , $t_{RD} > t_i$ ; (Figure 3b)<br>$C_L = 15 \text{ pF}$                          | 70                                                           |                       | 120                   | ns      |
|                                                                                       | $C_L = 100 \text{ pF}$                                                                            | 90                                                           |                       | 150                   | ns      |
| $t_{ACC3}$ , Access Time (Delay from Rising Edge of $\text{RDY}$ to Output Valid)     | $R_{PULLUP} = 1k$ and $C_L = 15 \text{ pF}$                                                       | 30                                                           |                       |                       | ns      |

**AC Electrical Characteristics** (Continued) The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20$  ns,  $V_{REF(+)} = 5V$ ,  $V_{REF(-)} = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

| Parameter                                                                                         | Conditions                                                                                       | Typ (Note 6)   | Tested Limit (Note 7) | Design Limit (Note 8)   | Units      |
|---------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------|----------------|-----------------------|-------------------------|------------|
| $t_i$ , Internal Comparison Time                                                                  | Pin 7 = $V_{CC}$ ; (Figures 3b and 4)<br>$C_L = 50$ pF                                           | 800            |                       | 1300                    | ns         |
| $t_{1H}$ , $t_{0H}$ , TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to HI-Z State) | $R_L = 1k$ , $C_L = 10$ pF                                                                       | 100            |                       | 200                     | ns         |
| $t_{NTL}$ , Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$         | Pin 7 = $V_{CC}$ , $C_L = 50$ pF<br>$t_{RD} > t_i$ ; (Figure 3b)<br>$t_{RD} < t_i$ ; (Figure 3a) | $t_{RD} + 200$ |                       | $t_i$<br>$t_{RD} + 290$ | ns<br>ns   |
| $t_{NTH}$ , Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$          | (Figures 2, 3a and 3b)<br>$C_L = 50$ pF                                                          | 125            |                       | 225                     | ns         |
| $t_{NTHWR}$ , Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$        | (Figure 4), $C_L = 50$ pF                                                                        | 175            |                       | 270                     | ns         |
| $t_{RDY}$ , Delay from $\overline{CS}$ to $\overline{RDY}$                                        | (Figure 2), $C_L = 50$ pF, Pin 7 = 0                                                             | 50             |                       | 100                     | ns         |
| $t_{D}$ , Delay from $\overline{INT}$ to Output Valid                                             | (Figure 4)                                                                                       | 20             |                       | 50                      | ns         |
| $t_{RI}$ , Delay from $\overline{RD}$ to $\overline{INT}$                                         | Pin 7 = $V_{CC}$ , $t_{RD} < t_i$<br>(Figure 3a)                                                 | 200            |                       | 290                     | ns         |
| $t_p$ , Delay from End of Conversion to Next Conversion                                           | (Figures 2, 3a, 3b and 4)<br>(Note 4) See Graph                                                  |                |                       | 500                     | ns         |
| Slew Rate, Tracking                                                                               |                                                                                                  | 0.1            |                       |                         | V/ $\mu$ s |
| $C_{VIN}$ , Analog Input Capacitance                                                              |                                                                                                  | 45             |                       |                         | pF         |
| $C_{OUT}$ , Logic Output Capacitance                                                              |                                                                                                  | 5              |                       |                         | pF         |
| $C_{IN}$ , Logic Input Capacitance                                                                |                                                                                                  | 5              |                       |                         | pF         |

**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** All voltages are measured with respect to the GND pin, unless otherwise specified.

**Note 3:** Total unadjusted error includes offset, full-scale, and linearity errors.

**Note 4:** Accuracy may degrade if  $t_{WR}$  or  $t_{RD}$  is shorter than the minimum value specified. See Accuracy vs  $t_{WR}$  and Accuracy vs  $t_{RD}$  graphs.

**Note 5:** When the input voltage ( $V_{IN}$ ) at any pin exceeds the power supply rails ( $V_{IN} < V^-$  or  $V_{IN} > V^+$ ) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package in-out current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

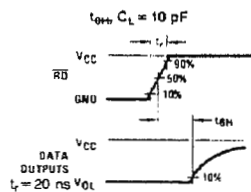
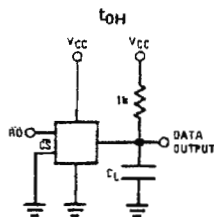
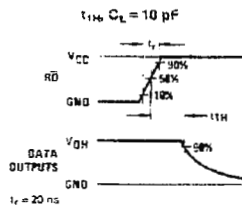
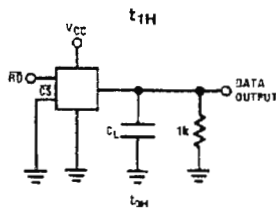
**Note 6:** Typicals are at  $25^\circ C$  and represent most likely parametric norm.

**Note 7:** Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

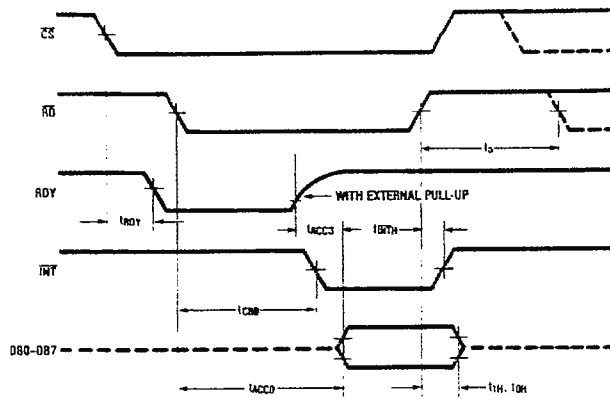
**Note 8:** Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

**Note 9:** Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

## TRI-STATE Test Circuits and Waveforms



# Timing Diagrams



Note: On power-up the state of  $\overline{INT}$  can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

TL/H/5501-7

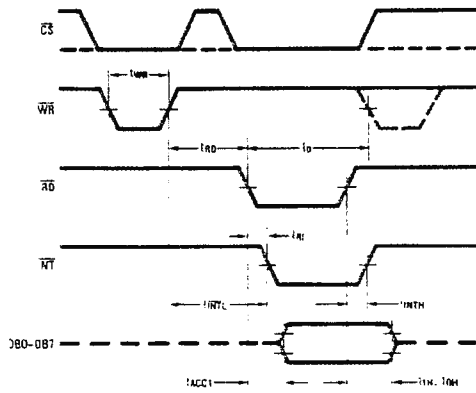


FIGURE 3a. WR-RD Mode (Pin 7 is High and  $t_{RD} < t_I$ )

TL/H/5501-8

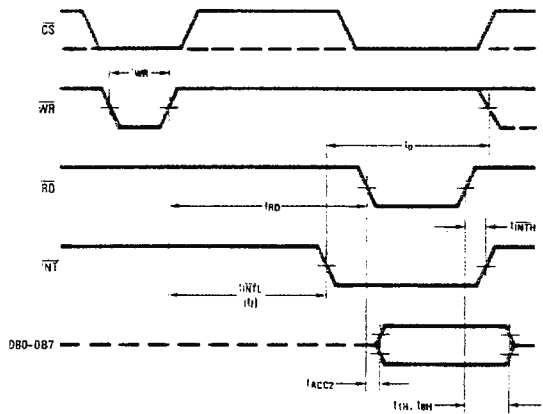


FIGURE 3b. WR-RD Mode (Pin 7 is High and  $t_{RD} > t_I$ )

TL/H/5501-9

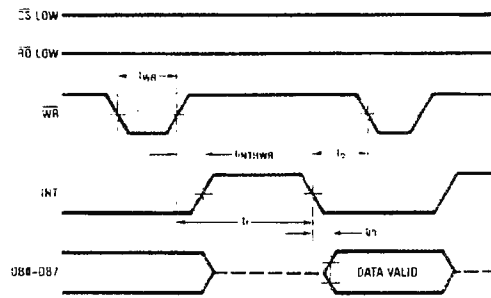
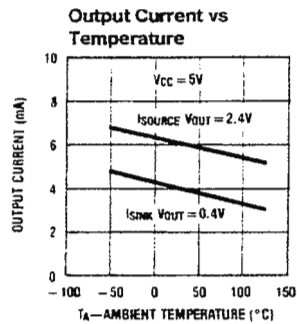
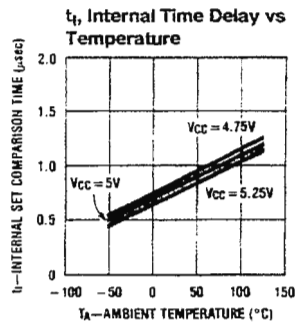
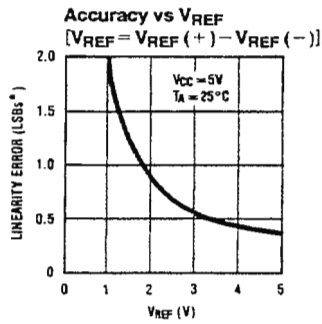
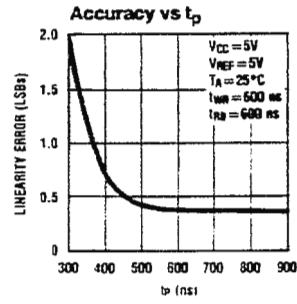
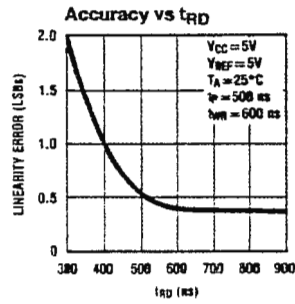
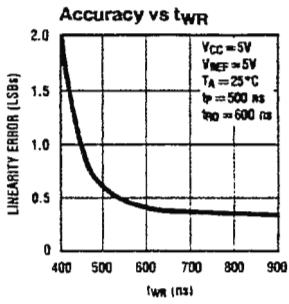
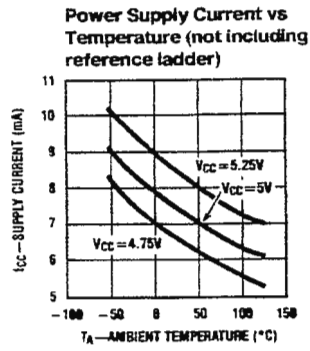
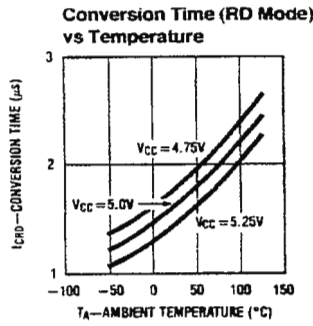
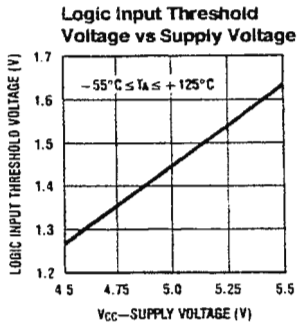


FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

TL/H/5501-10

# Typical Performance Characteristics



\*1  $LSB = \frac{V_{REF}}{256}$

TL/H/5501-11

## Description of Pin Functions

| Pin Name              | Function                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1 $V_{IN}$            | Analog input; range = $GND \leq V_{IN} \leq V_{CC}$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 2 DB0                 | TRI-STATE data output—bit 0 (LSB)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
| 3 DB1                 | TRI-STATE data output—bit 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
| 4 DB2                 | TRI-STATE data output—bit 2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
| 5 DB3                 | TRI-STATE data output—bit 3                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
| 6 $\overline{WR}/RDY$ | <p><b>WR-RD Mode</b></p> <p><b>WR:</b> With <math>\overline{CS}</math> low, the conversion is started on the falling edge of <math>\overline{WR}</math>. Approximately 800 ns (the preset internal time out, <math>t_i</math>) after the <math>\overline{WR}</math> rising edge, the result of the conversion will be strobed into the output latch, provided that <math>\overline{RD}</math> does not occur prior to this time out (see Figures 3a and 3b).</p> <p><b>RD Mode</b></p> <p><b>RDY:</b> This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of <math>\overline{CS}</math>; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see Figure 2).</p> <p><b>Mode:</b> Mode selection input—it is internally tied to GND through a 50 <math>\mu</math>A current source.</p> <p><b>RD Mode:</b> When mode is low</p> <p><b>WR-RD Mode:</b> When mode is high</p> |
| 7 Mode                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| 8 $\overline{RD}$     | <p><b>WR-RD Mode</b></p> <p>With <math>\overline{CS}</math> low, the TRI-STATE data outputs (DB0-DB7) will be activated when <math>\overline{RD}</math> goes low (see Figure 4). <math>\overline{RD}</math> can also be used to increase the speed of the converter by reading data prior to the preset internal time out (<math>t_i</math>, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the <math>\overline{RD}</math> (see Figures 3a and 3b).</p> <p><b>RD Mode</b></p> <p>With <math>\overline{CS}</math> low, the conversion will start with <math>\overline{RD}</math> going low, also <math>\overline{RD}</math> will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and <math>\overline{INT}</math> going low indicates the completion of the conversion (see Figure 2).</p>                                                                                                                              |

| Pin Name            | Function                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
|---------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 9 $\overline{INT}$  | <p><b>WR-RD Mode</b></p> <p><math>\overline{INT}</math> going low indicates that the conversion is completed and the data result is in the output latch. <math>\overline{INT}</math> will go low, ~800 ns (the preset internal time out, <math>t_i</math>) after the rising edge of <math>\overline{WR}</math> (see Figure 3b); or <math>\overline{INT}</math> will go low after the falling edge of <math>\overline{RD}</math>, if <math>\overline{RD}</math> goes low prior to the 800 ns time out (see Figure 3a). <math>\overline{INT}</math> is reset by the rising edge of <math>\overline{RD}</math> or <math>\overline{CS}</math> (see Figures 3a and 3b).</p> <p><b>RD Mode</b></p> <p><math>\overline{INT}</math> going low indicates that the conversion is completed and the data result is in the output latch. <math>\overline{INT}</math> is reset by the rising edge of <math>\overline{RD}</math> or <math>\overline{CS}</math> (see Figure 2).</p> |
| 10 GND              | Ground                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| 11 $V_{REF(-)}$     | The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 12 $V_{REF(+)}$     | The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 13 $\overline{CS}$  | $\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
| 14 DB4              | TRI-STATE data output—bit 4                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 15 DB5              | TRI-STATE data output—bit 5                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 16 DB6              | TRI-STATE data output—bit 6                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 17 DB7              | TRI-STATE data output—bit 7 (MSB)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 18 $\overline{OFL}$ | Overflow output—If the analog input is higher than the $V_{REF(+)}$ , $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
| 19 NC               | No connection                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 20 $V_{CC}$         | Power supply voltage                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |

## 1.0 Functional Description

### 1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

# 1.0 Functional Description (Continued)

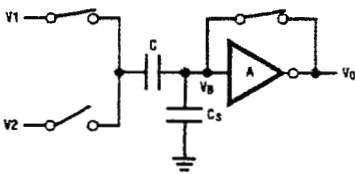
## 1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figure 5). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V<sub>B</sub>, approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V<sub>B</sub>') becomes

$$V_B - (V1 - V2) \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of V<sub>B</sub>' - V<sub>B</sub>.



TL/H/5501-12

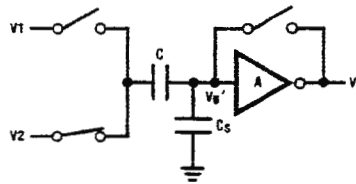
- V<sub>O</sub> = V<sub>B</sub>
- V on C = V1 - V<sub>B</sub>
- C<sub>S</sub> = stray input node capacitor
- V<sub>B</sub> = inverter input bias voltage

FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 6), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input differences.

## 1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 7). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.



TL/H/5501-13

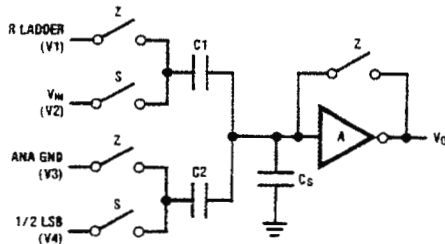
$$V_B' - V_B = (V2 - V1) \frac{C}{C + C_S}$$

$$V_O' = \frac{-A}{C + C_S} [CV2 - CV1]$$

• V<sub>O</sub>' is dependent on V2 - V1

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



TL/H/5501-14

$$V_O = \frac{-A}{C1 + C2 + C_S} [C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

# Detailed Block Diagram

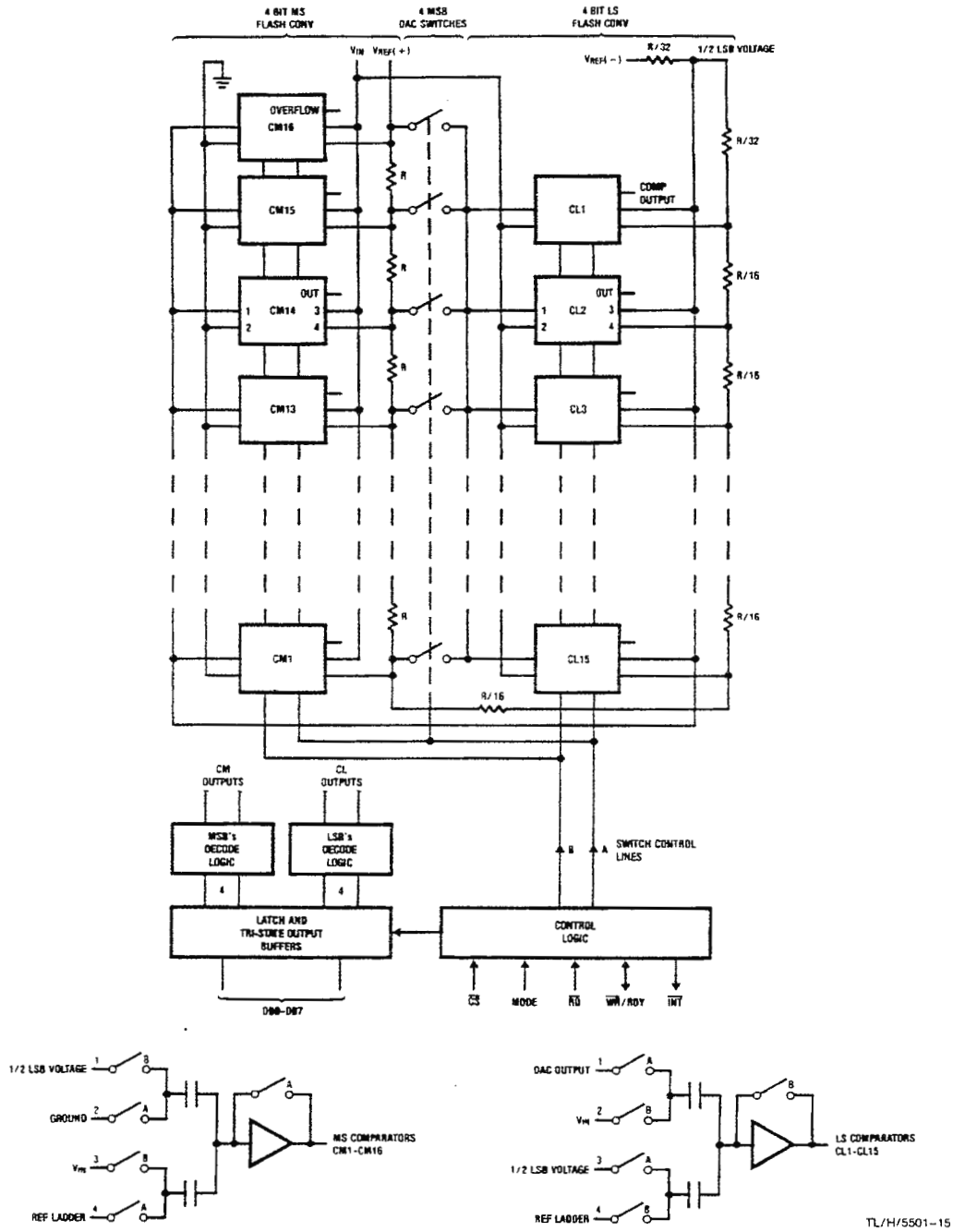


FIGURE 7

TL/H/5501-15

## 1.0 Functional Description (Continued)

When a typical conversion is started, the  $\overline{WR}$  line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When  $\overline{WR}$  is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the  $\overline{RD}$  line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When  $\overline{RD}$  goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 8 also outlines how the converter's interface timing relates to its analog input ( $V_{IN}$ ). In WR-RD mode,  $V_{IN}$  is measured while  $\overline{WR}$  is low. In RD mode, sampling occurs during the first 800 ns of  $\overline{RD}$ . Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample  $V_{IN}$  at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when  $\overline{WR}$  is low the MS flash is in compare mode (connected to  $V_{IN}$ ), and the LS flash is in zero mode (also connected to  $V_{IN}$ ). Therefore both flash ADCs sample  $V_{IN}$  at the same time.

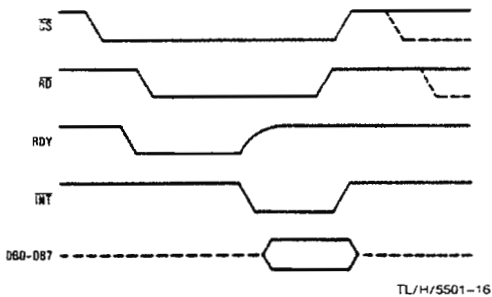
### 1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

#### RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling  $\overline{RD}$  low until output data appears. An  $\overline{INT}$  line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of  $\overline{RD}$ , the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

#### WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the  $\overline{WR}$  input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for  $\overline{INT}$  to go low before reading the conversion result (Figure 8).  $\overline{INT}$  will typically go low 800 ns after  $\overline{WR}$ 's rising edge. However, if a shorter conversion time is desired, the processor need not wait for  $\overline{INT}$  and can exercise a read after only 600 ns (Figure A). If this is done,  $\overline{INT}$  will immediately go low and data will appear at the outputs.

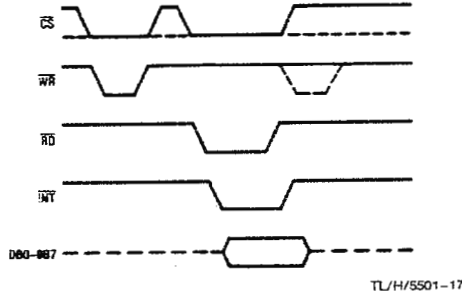


FIGURE A. WR-RD Mode (Pin 7 is High and  $t_{RD} < t_I$ )

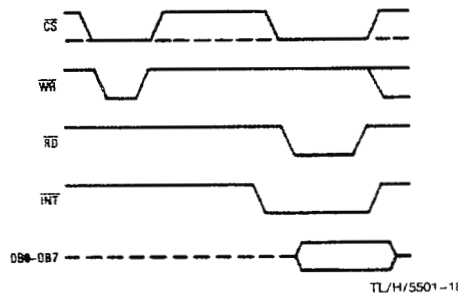
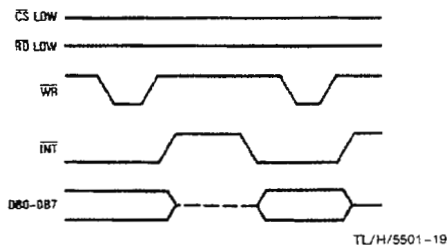


FIGURE B. WR-RD Mode (Pin 7 is High and  $t_{RD} > t_I$ )

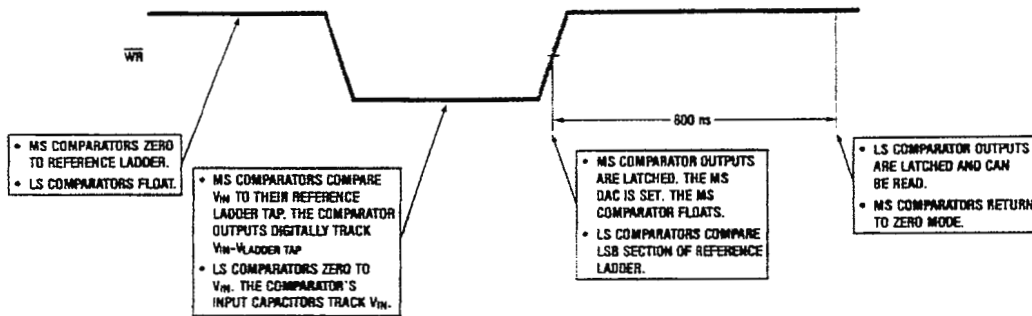
#### Stand-Alone

For stand-alone operation in WR-RD mode,  $\overline{CS}$  and  $\overline{RD}$  can be tied low and a conversion can be started with  $\overline{WR}$ . Data will be valid approximately 800 ns following  $\overline{WR}$ 's rising edge.

#### WR-RD Mode (Pin 7 is High) Stand-Alone Operation



## 1.0 Functional Description (Continued)



TL/H/5501-20

Note: MS means most significant  
LS means least significant

FIGURE 8. Operating Sequence (WR-RD Mode)

### OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy,  $\overline{WR}$  has a maximum width spec of 50  $\mu$ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ( $\overline{WR}$  is low), the input capacitors (C, Figure 6) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (tp, Figures 2, 3a, 3b, and 4) is 500 ns.

## 2.0 Analog Considerations

### 2.1 REFERENCE AND INPUT

The two  $V_{REF}$  inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between  $V_{IN}(+)$  and  $V_{IN}(-)$ . By reducing  $V_{REF}$  ( $V_{REF} = V_{REF}(+) - V_{REF}(-)$ ) to less than 5V, the sensitivity of the converter can be increased (i.e., if  $V_{REF} = 2V$  then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the  $V_{REF}$  source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at  $V_{REF}(-)$  sets the input level which produces a digital output of all zeroes. Though  $V_{IN}$  is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

### 2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

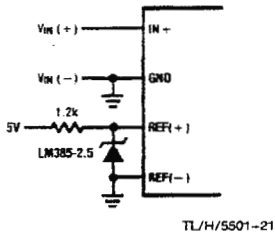
The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts ( $\overline{WR}$  low, WR-RD mode), all input switches close, connecting  $V_{IN}$  to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time,  $V_{IN}$  still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses  $V_{IN}$  as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k $\Omega$  to 10 k $\Omega$ ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As  $R_S$  increases, it will take longer for the input capacitance to charge.

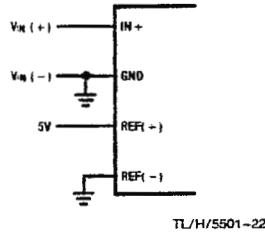
In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that  $\overline{WR}$  is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow  $R_S$  to be 1.5 k $\Omega$  without lengthening  $\overline{WR}$  to give  $V_{IN}$  more time to settle.

## 2.0 Analog Considerations (Continued)

### External Reference 2.5V Full-Scale



### Power Supply as Reference



### Input Not Referred to GND

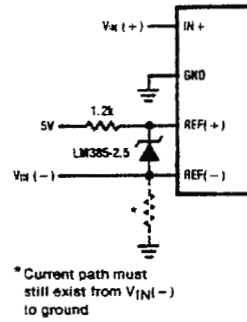


FIGURE 9. Analog Input Options

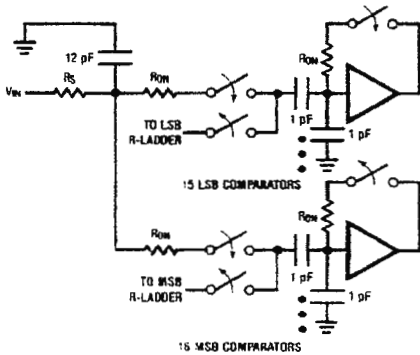


FIGURE 10a

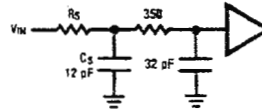


FIGURE 10b

### 2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into  $V_{IN}$ , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while  $\overline{WR}$  is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the  $V_{IN}$  terminal.

### 2.4 INHERENT SAMPLE-HOLD

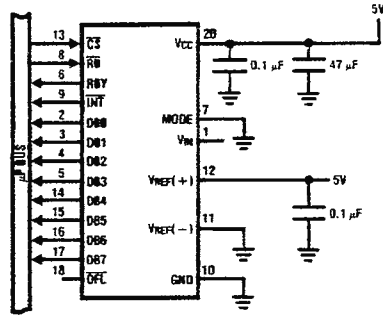
Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least  $\frac{1}{2}$  LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5  $\mu$ s, the time through which  $V_{IN}$  must be  $\frac{1}{2}$  LSB stable is much smaller. Since the MS flash ADC uses  $V_{IN}$  as its "compare" input and the LS ADC uses  $V_{IN}$  as its "zero" input, the ADC0820 only "samples"  $V_{IN}$  when  $\overline{WR}$  is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of  $V_{IN}$  approximately 100 ns after the rising edge of  $\overline{WR}$  (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/ $\mu$ s can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1  $\mu$ s would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

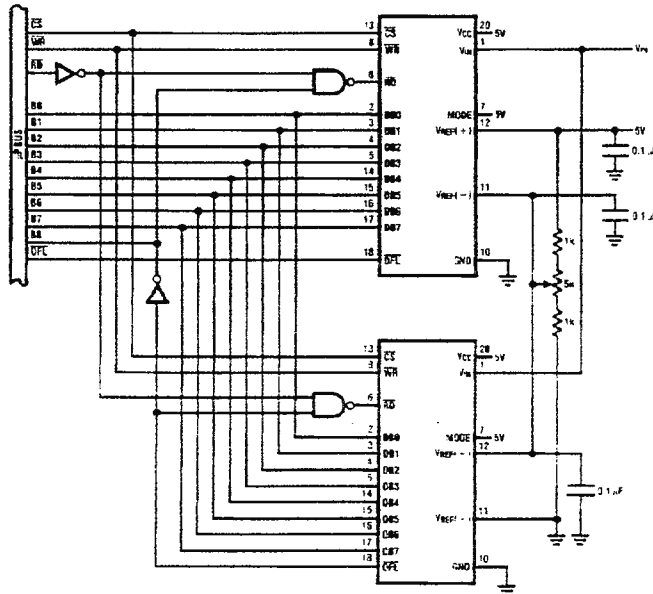
### 3.0 Typical Applications

8-Bit Resolution Configuration



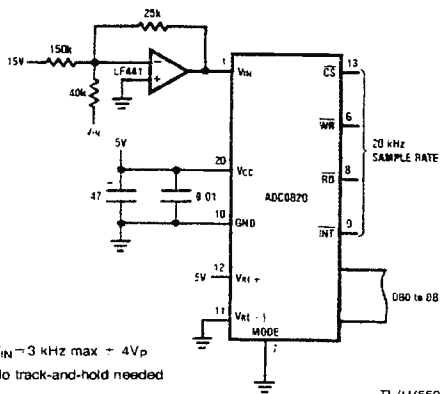
TL/H/5501-26

9-Bit Resolution Configuration



TL/H/5501-27

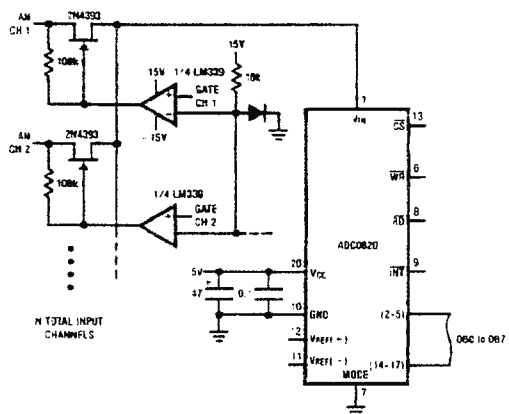
Telecom A/D Converter



- $V_{IN} = 3 \text{ kHz max} \pm 4V_P$
- No track-and-hold needed
- Low power consumption

TL/H/5501-28

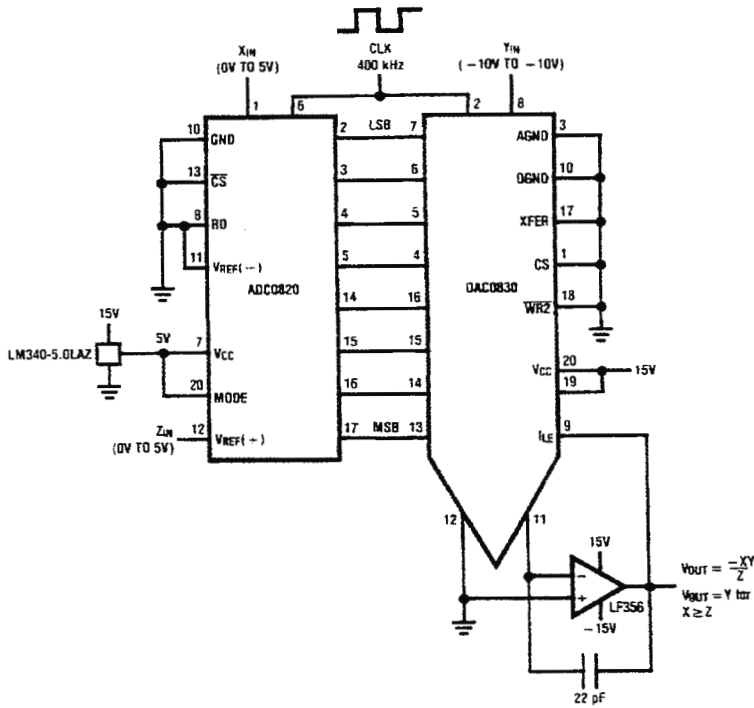
Multiple Input Channels



TL/H/5501-29

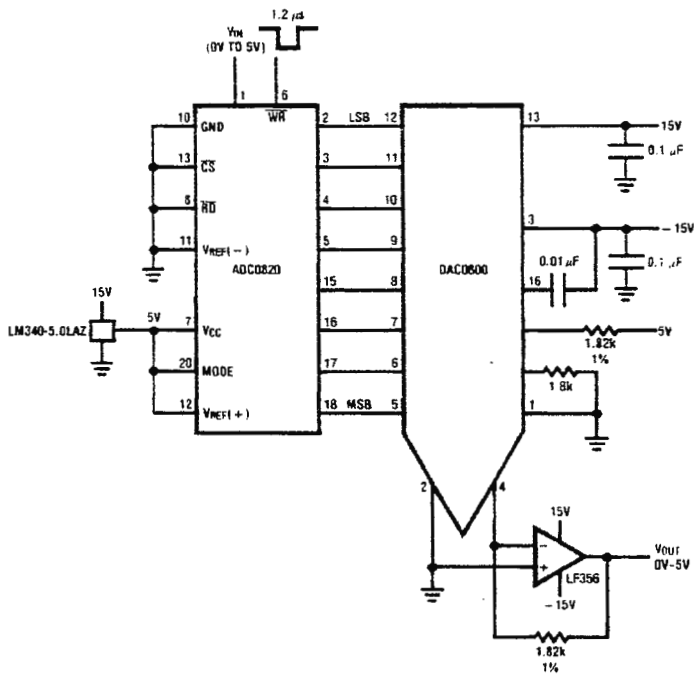
### 3.0 Typical Applications (Continued)

8-Bit 2-Quadrant Analog Multiplier



TL/H/5501-30

Fast Infinite Sample-and-Hold



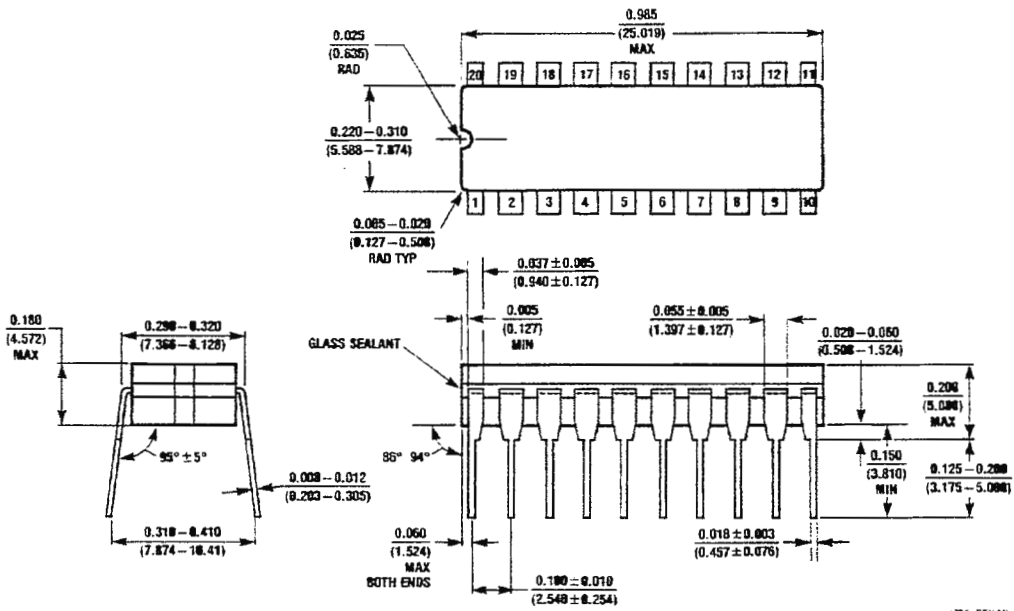
TL/H/5501-31



## Ordering Information

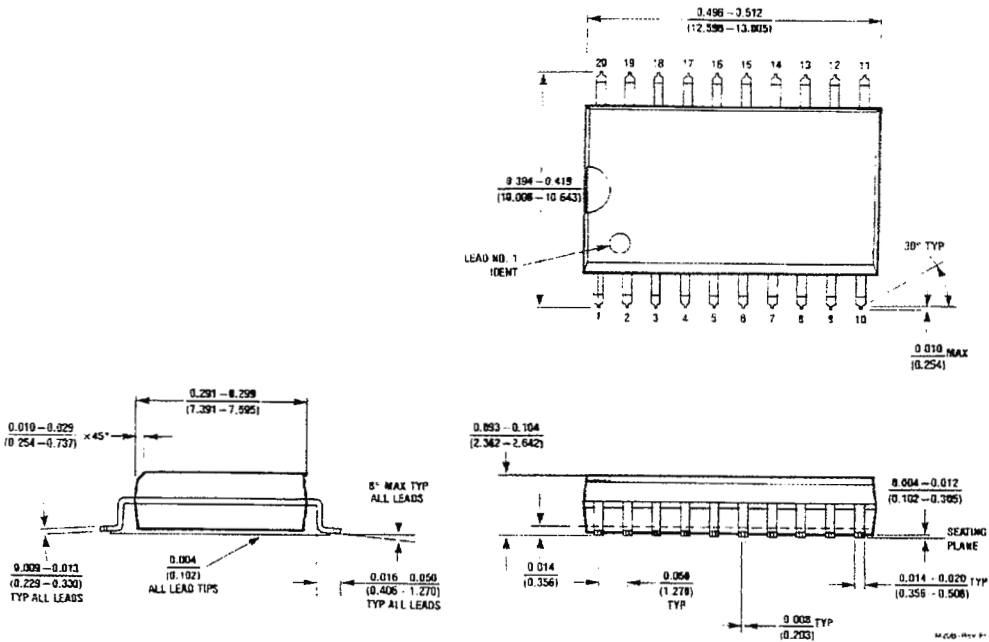
| Part Number                | Total Unadjusted Error | Package                            | Temperature Range |
|----------------------------|------------------------|------------------------------------|-------------------|
| ADC0820BCV                 | $\pm \frac{1}{2}$ LSB  | V20A—Molded Chip Carrier           | 0°C to +70°C      |
| ADC0820BCWM                |                        | M20B—Wide Body Small Outline       | 0°C to +70°C      |
| ADC0820BCN                 |                        | N20A—Molded DIP                    | 0°C to +70°C      |
| ADC0820CCJ<br>ADC0820CCMSA | $\pm 1$ LSB            | J20A—Cerdip                        | -40°C to +85°C    |
|                            |                        | MSA20—Shrink Small Outline Package | 0°C to +70°C      |
| ADC0820CCV                 |                        | V20A—Molded Chip Carrier           | 0°C to +70°C      |
| ADC0820CCWM                |                        | M20B—Wide Body Small Outline       | 0°C to +70°C      |
| ADC0820CIWM                |                        | M20B—Wide Body Small Outline       | -40°C to +85°C    |
| ADC0820CCN                 |                        | N20A—Molded DIP                    | 0°C to +70°C      |

**Physical Dimensions** inches (millimeters)



**Hermetic Dual-In-Line Package (J)**  
**Order Number ADC0820CCJ**  
**NS Package Number J20A**

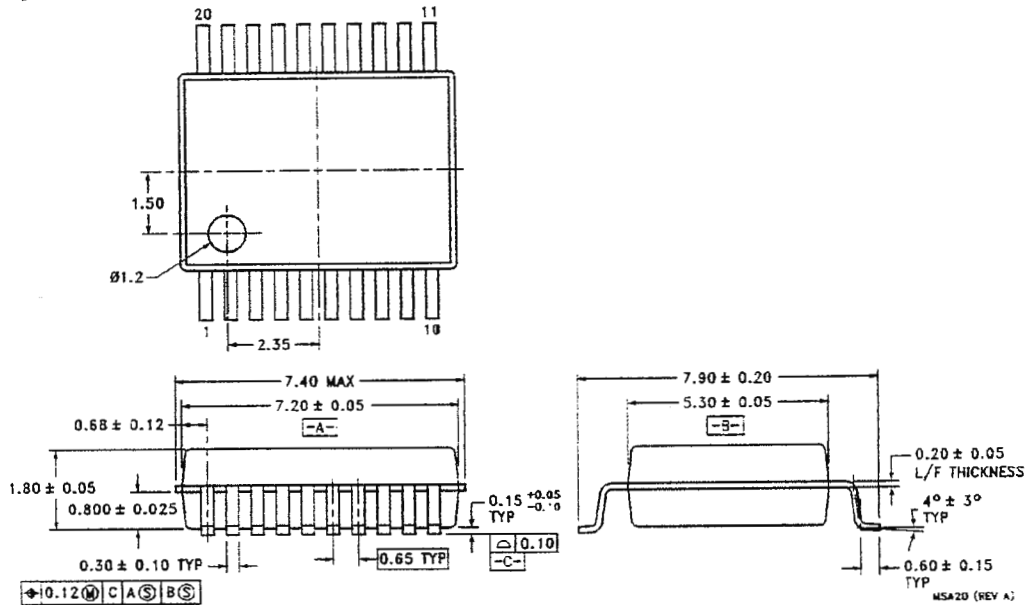
J20A-REV M



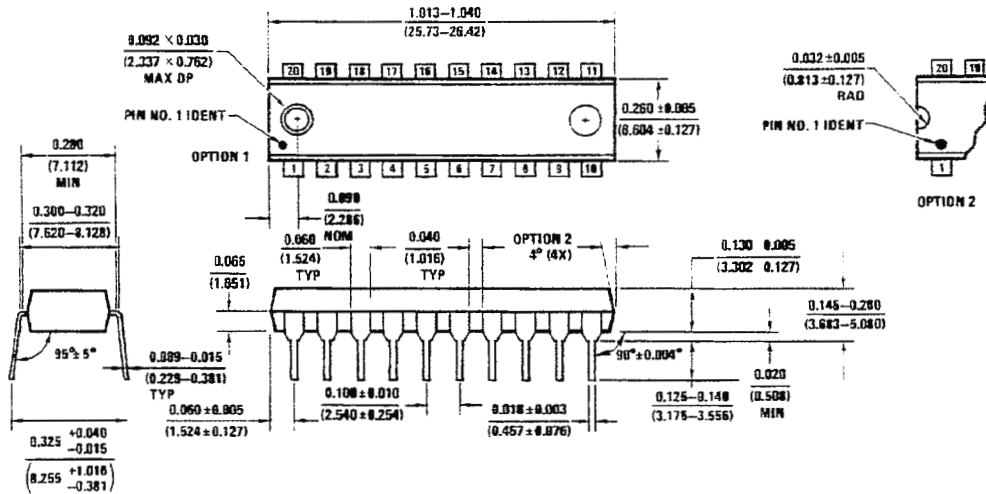
**SO Package (M)**  
**Order Number ADC0820BCWM, ADC0820CCWM or ADC0820CIWM**  
**NS Package Number M20B**

M20B-REV P

**Physical Dimensions** inches (millimeters) (Continued)

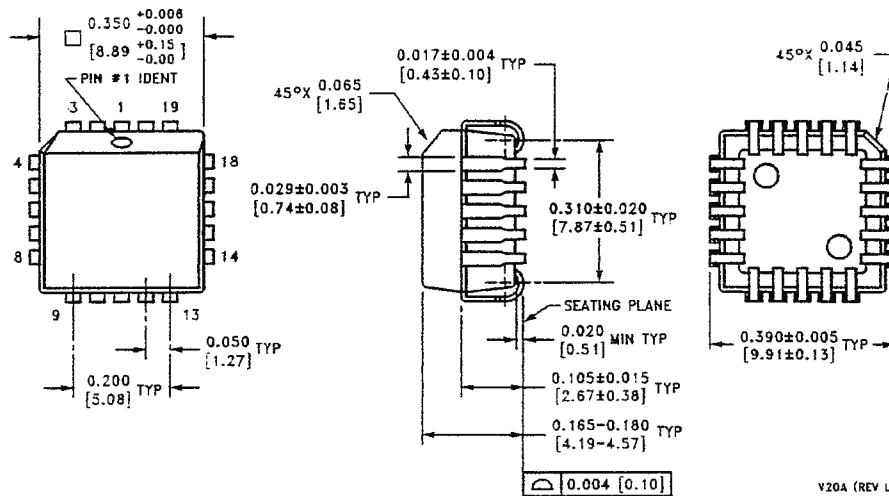


**Shrink Small Outline Package (SSOP)**  
**Order Number ADC0820CMSA**  
**NS Package Number MSA20**



**Molded Dual-In-Line Package (N)**  
**Order Number ADC0820BCN or ADC0820CCN**  
**NS Package Number N20A**

**Physical Dimensions** inches (millimeters) (Continued)



**Molded Chip Carrier Package (V)**  
**Order Number ADC0820BCV or ADC0820CCV**  
**NS Package Number V20A**

V20A (REV L)

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: 1(800) 272-9959  
 Fax: 1(800) 737-7018

**National Semiconductor Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: [crjw@eivm2.nsc.com](mailto:crjw@eivm2.nsc.com)  
 Deutsch: Tel: (+49) 0-180-530 85 85  
 English: Tel: (+49) 0-180-532 78 32  
 Français: Tel: (+49) 0-180-532 83 58  
 Italiano: Tel: (+49) 0-180-534 18 80

**National Semiconductor Hong Kong Ltd.**  
 13th Floor, Straigt Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1800  
 Fax: (852) 2738-9960

**National Semiconductor Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.