UNIVERSIDAD DON BOSCO

FACULTAD DE INGENIERIA
NIVEL TECNOLOGICO

SUPERVISION Y CONTROL DE UNA RED HIDRAULICA CONTROLADA DESDE UN SOLO PUNTO POR UN OPERADOR.

BR. MILTON GABRIEL DIAZ RAMIREZ
BR. NILSSON ORLANDO HERRERA OLMEDO
BR. EMERSON ALEXANDER PACHECO DOMINGUEZ

PROYECTO DE GRADUACION PARA OPTAR AL TITULO DE

TECNICO EN INGENIERIA ELECTRONICA CON ESPECIALIDAD EN COMUNICACIONES

SAN SALVADOR, EL SALVADOR, CENTRO AMERICA

I N D I C E

CAPITULO I

1. INTRODUCCIÓN

Los sistemas de comunicación están desarrollándose rápidamente debido a la digitación de señales y datos análogos. Señales análogas como la voz y las de un televisor, pueden ser transferidos o cambiados a formatos digitales.

El ancho de transmisión de un dato va creciendo rápidamente en el desarrollo de las comunicaciones. Sabiéndose además que la comunicación es la transmisión de la información de un punto a otro. La manera con que la información es trasmitida depende de las limitaciones del sistema de comunicación. La naturaleza de los mensajes puede ser tomada en una variedad de formas, donde un sistema eléctrico puede ser convertidas a señales eléctricas. Una información puede tomarse encuentra como una señal discreta cuando posee un mixeo de niveles y valores cuando esta es trasmitida.

Considerando las ideas básicas de transmisión, modulación, recepción como además los conocimientos de electrónica lineal y digital y en electrónica en general se ha planteado el siguiente trabajo denominado **SUPERVICION Y CONTROL DE UNA RED HIDRÁULICA DESDE UN SOLO PUNTO POR UN OPERADOR.** En la cual se trata de manipular un tanque de agua, conteniendo este un cierto número de sensores que nos indicarán sus respectivos niveles, los cuales serán modulados y trasmitidos hacia una unidad remota en la cual se estarán visualizando dichos niveles y dependiendo de los datos obtenidos se tomarán las respectivas decisiones del caso aquí es donde entra la etapa de control del sistema el cual enviara decisiones de control para poder manejar el nivel del tanque que se desea tener para mantener un estado favorable del nivel de agua y así evitar caer en un estado crítico del sistema.

A continuación se presentan las diferentes etapas que constituyen el proyecto las cuales se han divido en dos partes principales:

1- ETAPA DE SUPERVICION DE NIVELES

2- ETAPA DE CONTROL

Las cuales a su vez están subdivididas en las siguientes etapas:

1- ETAPA DE SUPERVICION DE NIVELES

- ETAPA DE SENSORES Y ACOPLE.
- ETAPA DE CODIFICACION DE NIVELES.
- ETAPA DE MODULACIÓN.
- ETAPA DE TRANSMISIÓN DE DATOS.
- ETAPA DE RECEPCIÓN DE DATOS.
- ETAPA DE DEMODULACION
- ETAPA DE PRESENTACIÓN DE DATOS

2- ETAPA DE CONTROL

- ETAPA DE GENERACIÓN DE CÓDIGOS DE CONTROL
- ETAPA DE REGISTRO DE ANILLO
- ETAPA DE CONVERSIÓN DE DATOS SERIE-PARALELO
- ETAPA DE MODULACIÓN
- ETAPA DE TRANSMISIÓN DE DATOS
- ETAPA DE RECEPCIÓN DE DATOS
- ETAPA DE DEMODULACION DE DATOS
- ETAPA DE CONVERSIÓN DE DATOS SERIE-PARALELO
- ETAPA DE ALMACENAMIENTO Y COMPARACIÓN DE DATOS
- ETAPA DE CONTROL DE ELECTROVALVULAS

Se debe de tomar en consideración que en la etapa de recepción de datos se encuentra la etapa de **SINCRONIZACION DE DATOS** la cual es común tanto para la etapa de supervisión de niveles y la etapa de control. Además se explica en cada etapa su teoría básica de operación, tablas de funciones, diagramas esquemáticos en bloques, lográndose así una mayor comprensión y visualización en general del proyecto y finalmente se presenta la hoja de datos de los diferentes dispositivos que se utilizan, para así auxiliarce de las características eléctricas generales de estos.

1.1. OBJETIVOS

1.1.1. OBJETIVOS GENERALES.

El diseño e implementación de un sistema de revisión de una red hidráulica mediante una unidad de control.

1.1.2. OBJETIVOS ESPECÍFICOS

- Establecer las condiciones necesarias para el funcionamiento y control de la red hidráulica, en base a las funciones especificas de cada uno de los dispositivos utilizados en los circuitos.

- Presentar una a una de las diferentes etapas del proyecto para lograr así una mayor accesibilidad y entendimiento del mismo.

- Poder manejar dicha red hidráulica desde varios puntos, mediante una sola unidad de control y por una sola persona conocedora de modo de control y funcionamiento del circuito operante , es decir su teoría básica y los códigos para activar y desactivar las electroválvulas.

- Implementar de manera demostrativa, funcional y eficiente una de las técnicas de modulación digital en las comunicaciones, la cual es la modulación por manipulación de frecuencia (FSK).

- Demostrar una forma de comparación de datos digitales, para el manejo de una etapa analógica como es en este caso la etapa de las electrovalvúlas.

1.2. IMPORTANCIA

Este proyecto por supervisar y controlar una red hidráulica desde una sola unidad de control por medio de una sola persona puede ser aplicado en la zona urbana o en la industria agrícola entre otras, así como proporcionar agua a ciertos cultivos que la necesiten o también mantener húmedo algún terreno en especial. Puede ser aplicada a un terreno grande (cultivos varios) o a un huerto o a varios de estos. De igual forma se puede aplicar a una determinada industria que requiera cantidad de líquidos en ciertas áreas establecidas esto se hará dependiendo de la cantidad de liquido que se encuentra en reserva (esto se logra por medio del monitoreo de niveles en el tanque de reserva). Al decir que se puede manejar cualquier liquido no solo nos referimos al agua, podemos también usarlo para poder suministrar algún veneno o abono necesario para los cultivos De igual manera para poder eliminar cada cierto tiempo cantidades de sustancias tóxicas de una empresa o una industria.

1.3. JUSTIFICACIONES

La idea de diseñar un sistema el cual supervise un tanque de reserva de agua y a la vez controle una red hidráulica y que sea manejado desde un punto especifico, surgió de la necesidad de agilizar y garantizar eficiencia al suministrar agua a los terrenos para las zonas de cultivo o a una empresa en particular. De igual forma en el caso de eliminar sustancias tóxicas o aplicarlas como es en el caso de plaguicidas para los cultivos,evitar que el hombre este con mayor contacto con dichas sustancias.

1.4. ALCANCES Y LIMITACIONES

1.4.1. ALCANCES

Para lograr un mayor entendimiento se presenta una idea general y luego en base a los objetivos presentados se desarrollara una a una las diferentes etapas que forman la totalidad del proyecto. Presentando en ellas las funciones especificas a utilizar de cada uno de los elementos para nuestro fin.

En la parte del apéndice se presenta las especificaciones generales de cada uno de los dispositivos.

1.4.2. LIMITACIONES

En el desarrollo de dicho proyecto se tuvieron ideas básicas que persisten o se mantienen hasta el final, sin embargo se cambiaron ideas y con ellas circuitos originales que por su dificultad, sobre todo en la sincronización de tiempos creándose así captura de datos incompletos, teniéndose que buscar otros circuitos más accesibles y sobre todo de mayor confiabilidad en la sincronización de datos.

Así fueron surgiendo otras dificultades de menor consideración que fueron siendo solventadas a través del desarrollo del trabajo.

Otra limitante fue el factor económico, ya que se usaron elementos que no se encontraban en nuestro medio teniéndose que traer del extranjero, lo cual nos acarreo un gasto mayor, y como no se tenía un patrocinio dichos costos extras fueron solventados por nosotros mismos. También la espera de estos elementos creo retraso en el proyecto.

Una limitante adicional en el funcionamiento del proyecto es la encontrada en el alcance del equipo para la transmisión y recepción de datos.

CAPITULO II

2. FUNDAMENTACION TEÓRICA

2.1. FUNDAMENTOS.

La comunicación es la transmisión de la información de un punto a otro.La manera en que la transmisión es trasmitida depende de las limitaciones del sistema de comunicación. Un método de trasladarse la información de un transmisor a un receptor consiste en el uso de técnicas de modulación digital. En la FIGURA -1 se muestra un diagrama de bloques de un sistema de comunicación **FSK** (Manipulación de Frecuencia), que utiliza técnicas de modulación digital.(La figura se encuentra en la página 11).

Se introduce un codificador de una señal digital a otra forma (codifica los datos) que la optimizan para ser utilizada en el sistema. La salida del codificador es luego introducida al modulador,el cual trasmite una señal variable proporcional a los datos codificados en el canal o medio de transmisión. Un canal puede consistir en un conductor simple,líneas telefónicas o aire, que pueden requerir la transmisión a través de propiedades electromagnéticas.

El proceso de decodificación del receptor funciona a la inversa. El modulador recibe la señal moduladora trasmitida y recupera el dato codificado. Luego el decodificador recupera la información digital del dato codificado, el cual agrupa la información digital de transmisión original.

Las funciones del codificador y el modulador son similares puesto que ambas preparan la señal de información para una transmisión eficiente. Como resultado, la señal de información pasa a través de transformaciones que cambian la forma de la señal antes de la transmisión. La señal digital consiste en una serie de impulsos que representan la información tal como se muestra en la FIGURA -2, (pagina 7).

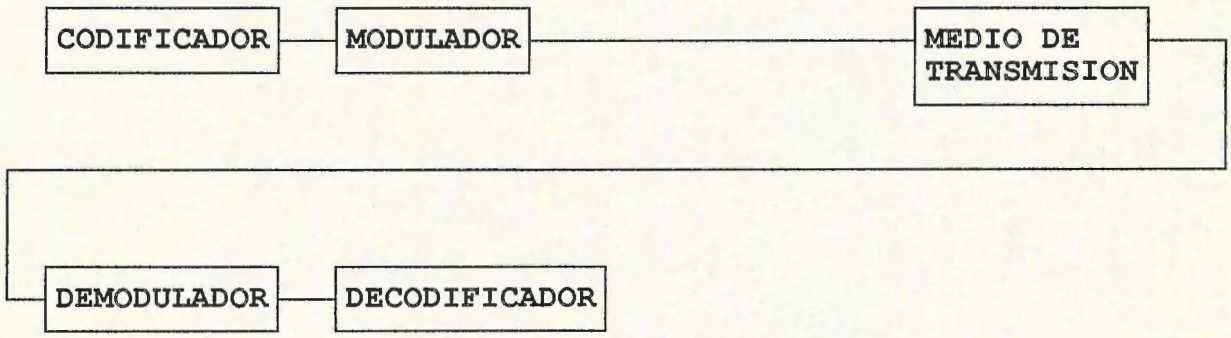


Fig.1 DIAGRAMA EN BLOQUES DE UN SISTEMA DE COMUNICACION FSK.

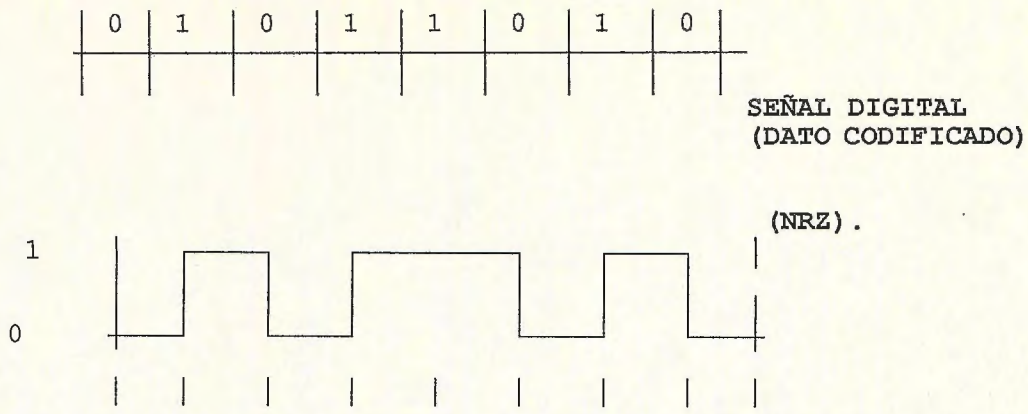


FIGURA - 2.

El nivel 1 , conocido como 1 binario, 1 lógico , marca alto ,este representa una porción de la señal digital de información. El nivel 1 es típicamente un voltaje positivo (+5V). El nivel 0, conocido como 0 binario, o lógico, espacio o bajo,el cuál el nivel 0 es típicamente tierra (0V).

El tiempo asignado para cada nivel constituye un bit de información. en la FIG.2 se muestran ocho bits de información. Este método de representación de cada bit de información por un nivel fijo (0 o 1) para la duración de cada tiempo de bit es conocido como el dato codificado de no retorno a cero **(NRZ)**.

La elección de un código para trasmitir la información binaria depende del tipo de técnica de demodulación y modulación, respuesta de frecuencia,propiedades de sincronización y facilidad de uso. Ningún código puede satisfacer todas las categorías. Como resultado, se efectúan algunas transacciones para seleccionar un código que satisfaga las necesidades del sistema de comunicación mas efectivamente. Los códigos comúnmente utilizados fuera del NRZ son retorno a cero (RZ) y Manchester. La FIGURA 3 muestra datos RZ y codificaciones Manchester con relación a la NRZ.

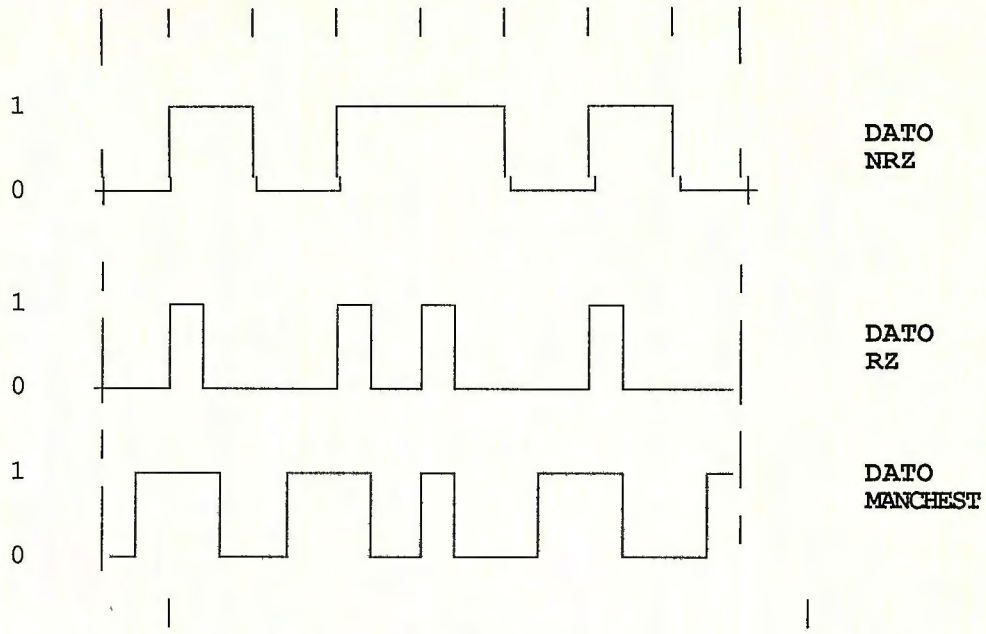
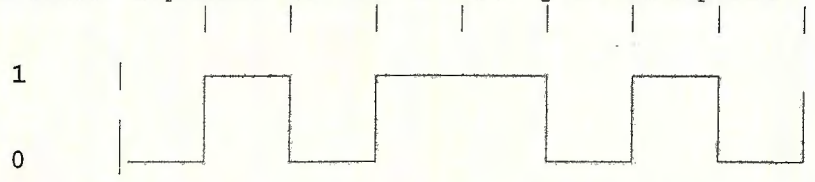


FIGURA - 3

Notese que los niveles binarios de los datos RZ y Manchester no están fijados para la duración de un tiempo de un bit dado. Para los datos RZ, los niveles 1 y 0 están representados durante la primera mitad del tiempo del bit. La segunda mitad siempre es representada por un nivel 0. Para los datos Manchester los niveles 1 y 0 representan un 0 binario. Una transición 1 a 0 representa un 1 binario. Esta transición de nivel ocurre en el tiempo medio de cada tiempo de bit. Los datos codificados NRZ, RZ o Manchester introducidos al modulador pueden ser puestos en otra forma. Cuando el medio de trasmisición es un alambre que une un trasmisor con un receptor, la información trasmitida puede estar en forma de datos NRZ, RZ o Manchester. Si la trasmisión debe tener lugar utilizando propiedades electromagnéticas, los bits de información para modular una portadora de frecuencia alta. La elección de la modulación obtiene su nombre de la manera en que son modulados los bits.

Los tipos comunes de modulación digital son manipulados de Fase **(FSK)**, manipulación por desplazamientos de fase **(PSK)** y manipulación por desplazamiento de Amplitud **(ASK)**. La manipulación por frecuencia es el proceso en el cual la frecuencia de una portadora es variada con los unos y los ceros de los datos codificados.

En la FIGURA - 4(a) se muestra la salida **FSK** y como se relaciona con un dato **NRZ** **que es utilizado por simplicidad,** aún cuando se podrían haber mostrado datos **RZ** y **MANCHESTER.** **Los unos y los ceros binarios** son representados para dos frecuencias diferentes. Las frecuencias utilizadas dependen del transmisor y el receptor.



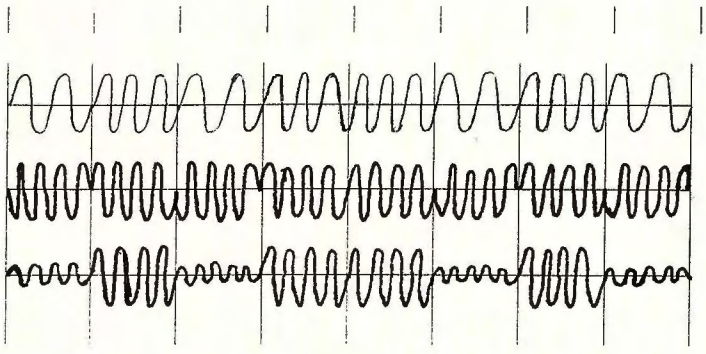


FIGURA-4

La amplitud y fase de la señal **FSK** son fijas. La manipulación por desplazamiento de fase es el proceso en el cuál se varia la fase a la portadora con los unos y los ceros de los datos codificados. La FIGURA - 4(b) muestra la señal **PSK** y como se relaciona con un dato **NRZ**. Un 1 binario está 180 grados fuera de fase con respecto a un 0 binario. La amplitud y la frecuencia de la señal **PSK** son fijas.

La manipulación por desplazamiento de amplitud es el proceso en el cual se varia la amplitud de una portadora con los unos y ceros de los datos codificados.

La FIGURA -4(c) muestra la señal **ASK** y como se relaciona con un dato **NRZ.** Los unos y los ceros binarios son representados por la diferencia de amplitud de portadora. La frecuencia y la fase de la señal **ASK** son fijas. Unos de los métodos utilizados para modular la información digital antes de la transmisión consiste en la aplicación de las técnicas de FM conocidas como manipulación para frecuencia. La **manipulación por frecuencia** es un proceso de modulación en la cual los unos y los ceros binarios de la información digital son representados por una portadora de frecuencia de nivel alto y abajo respectivamente.

Una señal **FSK,** puede ser generada a partir de datos codificados **NRZ, RZ** Y **MANCHESTER.** Los esquemas de comunicación ya no trabajan únicamente con señales analógicas. Con el incesante aumento de la popularidad de las computadoras y la vocalización digital, muchas señales de información son formateadas digitalmente. Los unos y los ceros binarios son utilizados para representar la información de una señal digital requerida para una transmisión. La manera en que es trasmitida la señal digital depende del canal que enlaza un transmisor con un receptor. Las señales digitales pueden ser trasmitidas directamente a un receptor en forma digital, tal como se muestra en la FIGURA -5(a), cuando tanto el transmisor como el receptor están cerca. Cuando el canal transmisor (líneas telefónicas) no puede soportar trasmitir directa de datos digitales, el dato digitales, el dato digital debe ser transformado en una señal que lo haga aceptable para la transformación. Con frecuencia se utiliza un modem (modulador demodulador) para transformar el dato digital a una señal aceptable para la transmisión, tal como se muestra en la Fig.-5(b).

El modem en el transmisor recibe el dato digital. El modem emite luego una señal sinusoidal en una frecuencia para un 1 binario y una frecuencia diferente (por lo general mas baja) para un cero binario. El modem realiza la operación inversa en el receptor. Las dos señales sinusoidales de frecuencias diferentes son introducidas al modem y son demoduladas en el dato digital. Esté método de modulación es una aplicación de la modulación en frecuencia conocida como manipulación por frecuencia **(FSK)**. La información digital hace que la señal **FSK** se desplace entre dos frecuencias predeterminadas. Una frecuencia es utilizada para representar los unos binarios y la otra frecuencia es utilizada para representar los ceros binarios de la información digital. Las frecuencias especificas utilizadas dependen de los dispositivos de transmisión y recepción. La amplitud y la fase de la señal permanecen fijas. La modulación es el proceso de recuperación de la información digital a partir de la señal **FSK**. El proceso de demodulación es inverso a la generación de las señales FSK. El receptor retira ambas frecuencias portadoras de la señal **FSK** para recuperar la información digital.

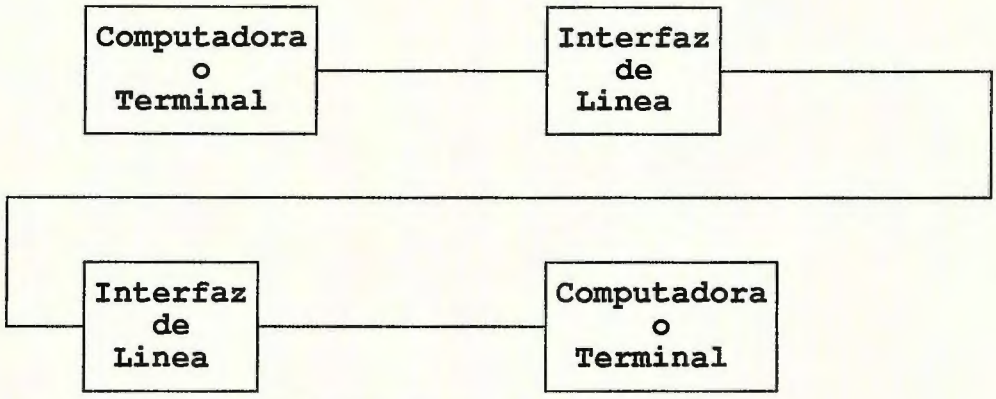


Fig.5a FORMA DE TRANSMISION DE UNA SEÑAL.

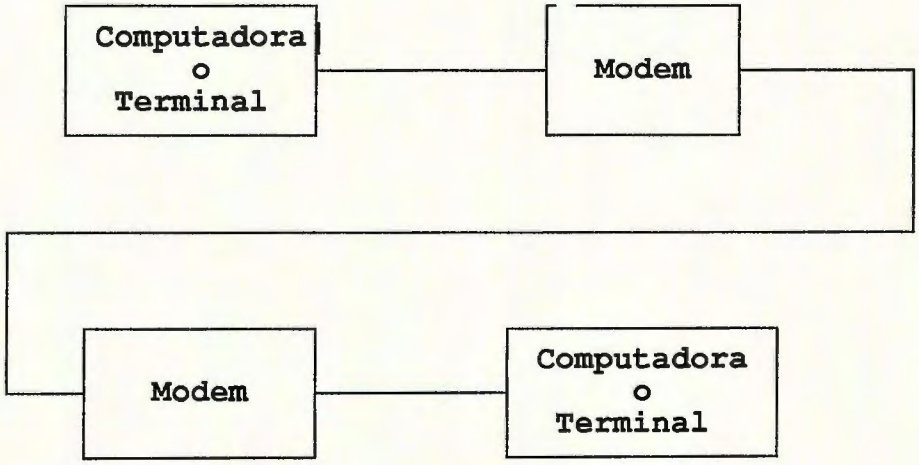


Fig.5b UTILIZACION DE UN MODEM.

2.2. MANIPULACIÓN POR FRECUENCIA (FRECUENCY SHIFT KEYING)

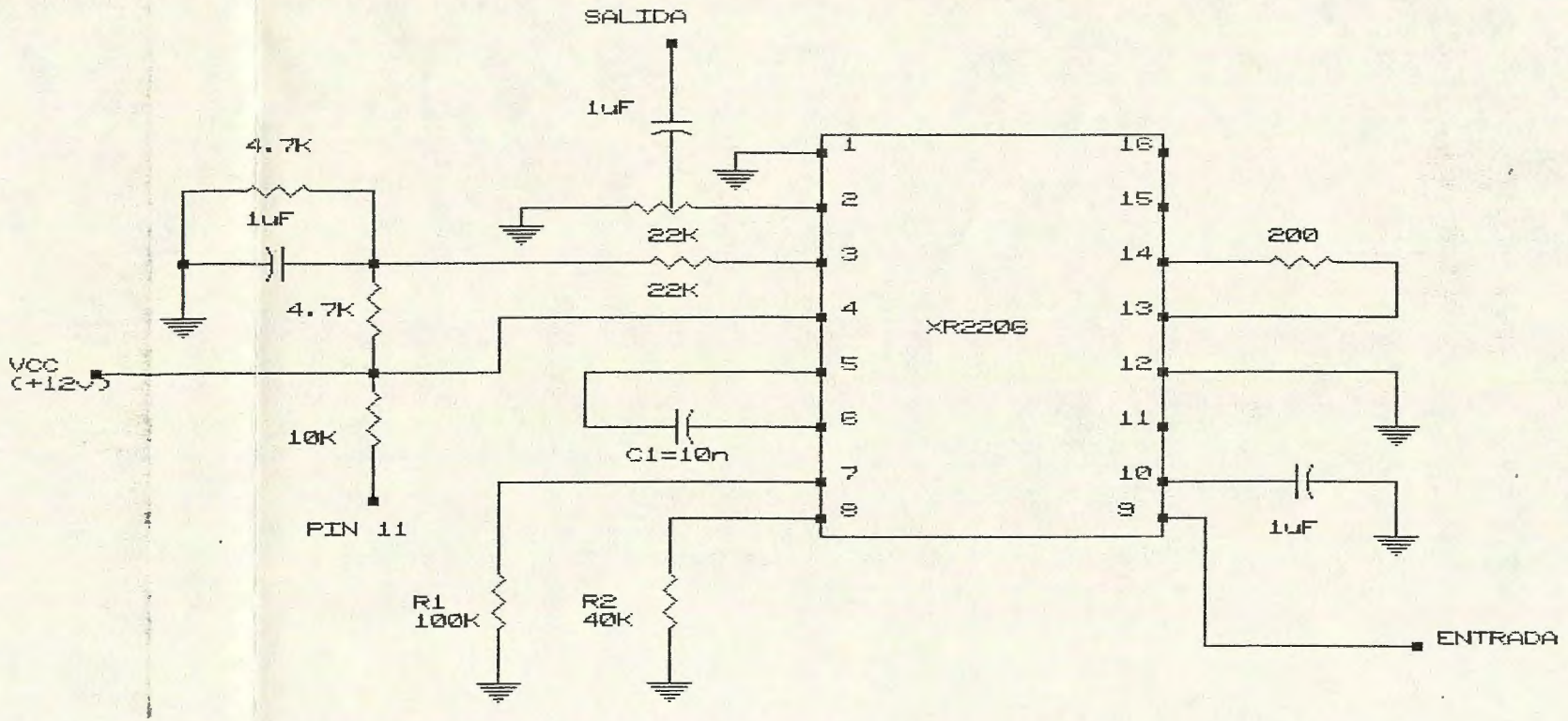
En está sección el generador de funciones **XR2206**, operando en el modo de **TIMING RESISTOR**, la cuál es utilizada para generar **FSK**. El diagrama esquematico para el circuito modulador FSK se muestra en la FIGURA- 6. En el modo TIMING RESISTOR el XR2206, se opera con dos resistencias temporizadoras separadas (R1 y R2), conectadas a los pines temporizadores 7 y 8 respectivamente Si el pin 9 está abierto o conectado aún voltaje mayor que el voltaje de switchado de entrada, R1 se activa. Si el pin 9 se conecta aún voltaje menor al voltaje de entrada, R2 se activa. Donde el voltaje de switchado va variando entre 1 y 2 voltios dependiendo del integrado especifico; siendo 1.8 voltios un voltaje típico. Por lo tanto, si una señal digital binaria que varia desde aproximadamente de 1.4 voltios se aplica al pin 9 la señal de salida es manipulada entre 2 frecuencias (Una de Marca y un Espacio de Frecuencia). Las frecuencias de oscilación libre del **VCO** es variada (oponerse y desviarse) entre la Marca y el Espacio de Frecuencia a una relación proporcional a la relación de cambio de la señal hacia la entrada. Este método de generar **FSK** es algunas veces referido como Manipulación de cambio de Frecuencia.

2.2.1. ECUACIONES UTILIZADAS PARA EL DISEÑO DEL MODULADOR FSK CON EL XR2206.

Entre las ecuaciones que caben mencionar son :

- Para encontrar **La Frecuencia de Marca.**

$$Fm = \frac{1}{R1.C1} \qquad \text{Ec. 2-1}$$



UNIVERSIDAD DON BOSCO.
ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.

Size	Document Number	REV
A	MODULADOR. (FIGURA -6)	
Date: January 7, 1994	Sheet of	

- Para encontrar **La Frecuencia de Espacio.**

$$Fs = \frac{1}{R2.C1}$$

Ec.2-2

NOTA:

Los datos calculados (Frecuencias de Marca y de Espacio), para el diseño del XR2206 (según función deseada) se encuentran en la hoja de cálculos.

2.3. DEMODULADOR FSK

Recientemente integrados monolíticos de propósito general han sido diseñados para demodulación de FSK, el **XR2211** es un PLL monolítico especialmente diseñado para el enganche de fase para comunicación de datos.

El **XR2211** particularmente es utilizado para demodulación **FSK** que estos operan a través de un amplio rango de voltaje de fuente (de 4.5 a 20 VDC) y amplio rango de frecuencia (0.01 HZ a 300 KHz). El **XR2211** puede ajustar señales de entradas análogas entre 2mv y 3V y esto puede ser conectado con familias lógicas DTL, TTL, ECL. El XR2211 consiste en un **PLL** limitado a una banda básica para rastreo, un detector de FASE DE CUADRATURA (con detección de portadora), y un comparador de voltaje **FSK el cual proporciona una demodulación de la FSK.**

Se usan componentes externas para inicializar independientemente las frecuencias de oscilación libre de VCO, el ancho de banda del lazo y el retraso de la salida, el **PLL** principal dentro del **XR2211**, está diseñado por un preamplificador de entrada, un multiplicador análogo usado como un detector de fase y un VCO de resistor.

2.3.1. ECUACIONES PARA EL CALCULO DEL DISEÑO DEL DEMODULADOR(XR2211).

En está sección se examinará las funciones del diseño para el demodulador FSK. El preamplificador de entrada en el **XR2211** se usa como un limitador tal que dichas señales de entrada están sobre un valor de 2mV RMS son amplificadas aún nivel de señal alto. El detector de fase tipo multiplicador actúa como una compuerta digital **EX-OR**. Su salida sin filtrar produce la frecuencia de suma y resta de la señal de entrada externa FSK y la frecuencia de salida del VCO.

La frecuencia de suma se remueve con filtros y las componentes DC (0HZ) maneja el VCO. El VCO es actualmente es un oscilador controlado por corriente, con su entrada de corriente nominal (Io) inicializada por una resistencia externa a tierra y su corriente de manejo inicializado por una corriente (R1), del detector de fase. El diagrama del XR2211 se muestra en la FIGURA - 7.

Algunas de las ecuaciones utilizadas para el cálculo son:

* $$Fo = \frac{Fm + Fs}{2}$$ Ec. 2-3

Donde:

Fo = Frecuencia de Oscilación Libre VCO.

Fm = Frecuencia de Marca

Fs = Frecuencia de Espacio

* Calculando el valor de la resistencia del PLL.

$$R1 = Ro \frac{(Fo)}{(T - To)}$$

Ec.2-4

Donde:

R1 = Resistencia de filtro pasa bajo.

Fo = Frecuencia de Corrimiento Libre VCO.

Ro = Resistencia Externa.

(T - To) = Desviación de Frecuencia.

* Calculando el valor de capacitancia para el filtro externo pasabajo de el PLL, con un $\pi = 0.5$.

$$C1 = \frac{Co}{4}$$

Ec. 2-5

Donde:

C1 = Capacitancia del filtro pasabajo.

Co = Resistencia externa (timing).

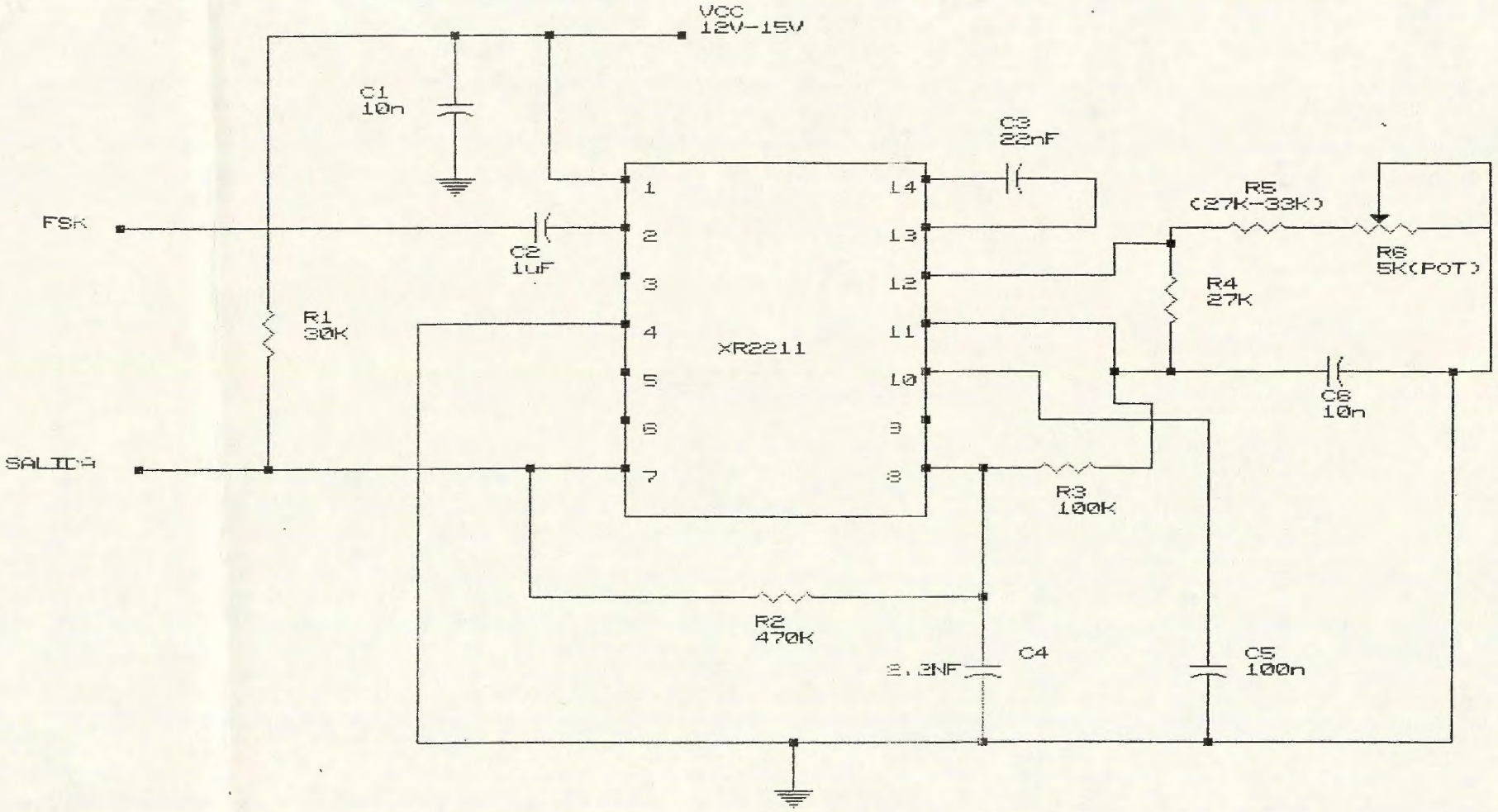
* Calculando el valor de la capacitancia del filtro.

$$Cf = \frac{3}{(Bit\ Rate)} \mu F$$

Ec 2-6

NOTA:

Los cálculos para el diseño del XR2211 se encuentran en la hoja de cálculos.



UNIVERSIDAD DON BOSCO. ESCUELA DE ESTUDIOS TECNOLOGICOS. DEPARTAMENTO DE ELECTRONICA.		
Size: A	Document Number: DEMODULADOR. (FIGURA - 7)	REV
Date: January 30, 1994	Sheet of	

CAPITULO III

3. EXPLICACIÓN DE LA SUPERVICION Y CONTROL DE UNA RED HIDRÁULICA CONTROLADA DESDE UN SOLO PUNTO POR UN OPERADOR

Dicho proyecto se explicará en dos diagramas de bloques:

1 - Transmisión y Recepción de datos de lectura de niveles del tanque de agua.

2- Transmisión y Recepción de datos de manejo y control de Niveles del tanque.

3.1. TRANSMISIÓN Y RECEPCIÓN DE DATOS DE LECTURA DE NIVELES DEL TANQUE DE AGUA

Este está constituido por las siguientes etapas:

1- ETAPA DE SENSORES Y ACOPLE

2- ETAPA DE CODIFICACION DE NIVELES

3- ETAPA DE MODULACIÓN

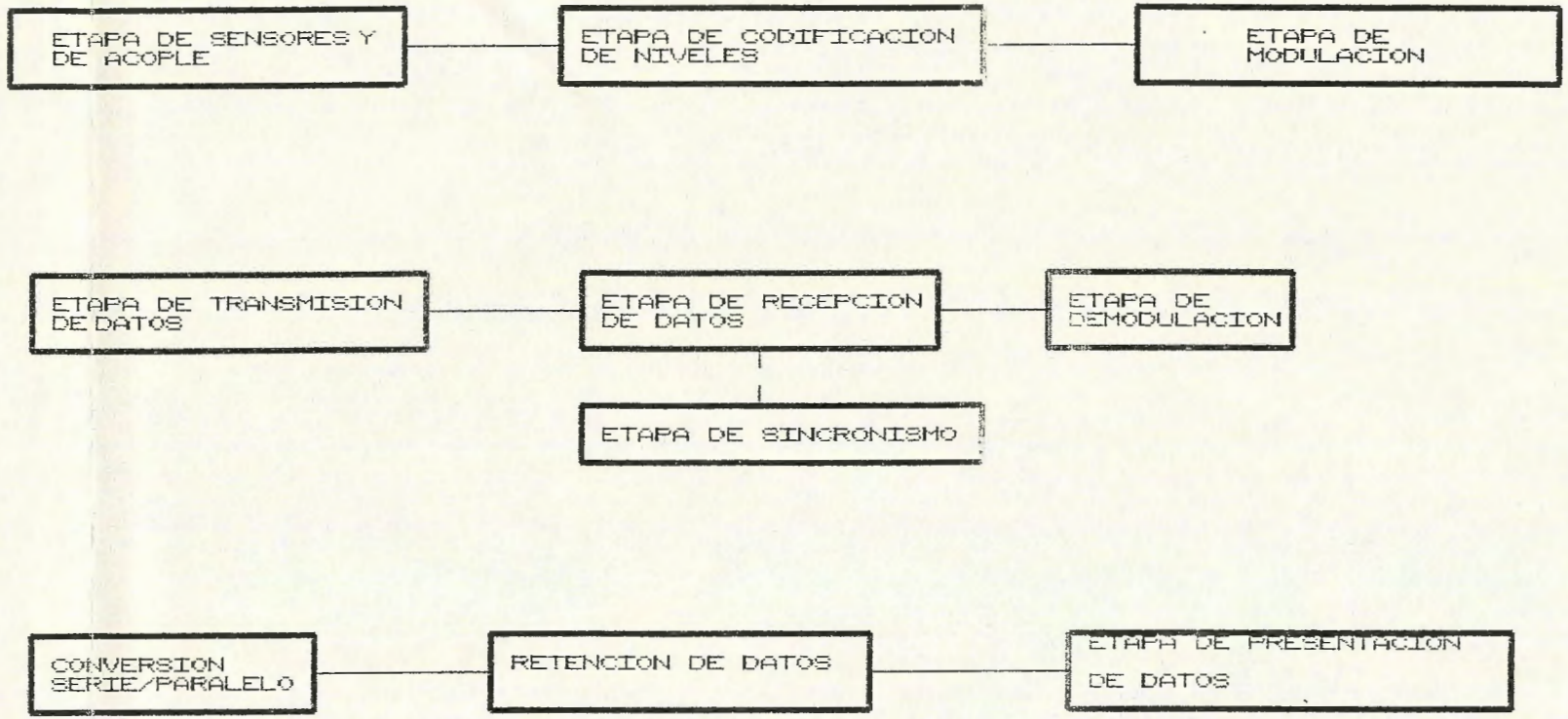
4- ETAPA DE TRANSMISIÓN DE DATOS

5- ETAPA DE RECEPCIÓN DE DATOS

3.1.1. ETAPA DE SENSORES Y ACOPLE

Está etapa esta formada por un circuito impreso de regla que esta adentro del tanque de agua en la cual van impresos unos sensores los cuales nos darán los respectivos niveles de agua en el tanque; lograr esto se basa en el principio de que el agua es un medio conducción de la electricidad y ya que en regla además que van los sensores se ha puesto un voltaje (Vcc=5 voltios) en un
extremo de esta y a medida que el agua va llenando el tanque el VCC y el censor se van activando, así se van dando los niveles de agua.

DIAGRAMA EN BLOQUES DE LA TX Y RX DE LOS NIVELES DEL TANQUE DE AGUA.



UNIVERSIDAD DON BOSCO.
ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.

Size	Document Number	REV
F		
Date: December 11, 1993	Sheet of	

Para poder leer el nivel en el cual esta el tanque de agua, se describirá la etapa de codificación de niveles.

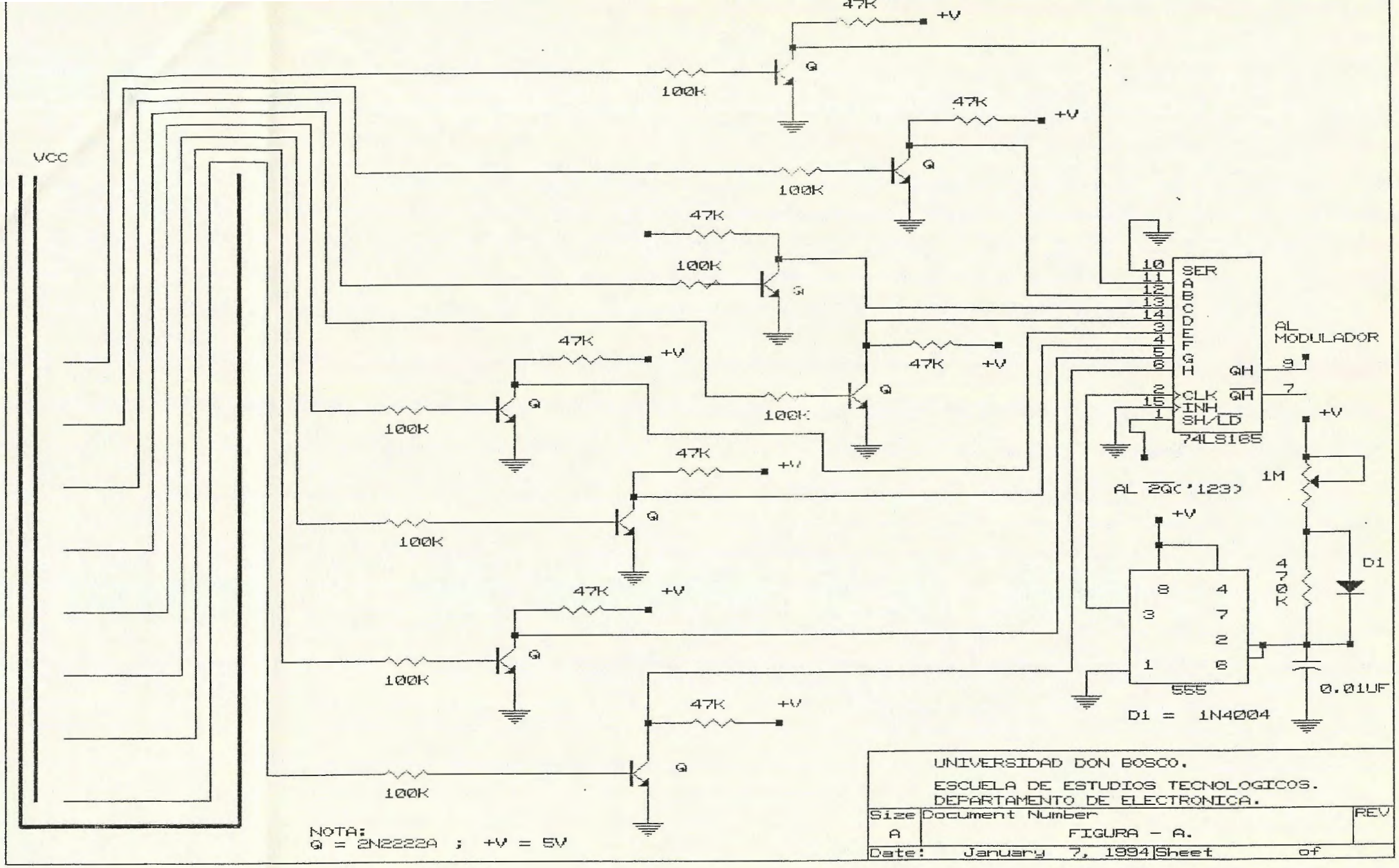
3.1.2. ETAPA DE CODIFICACION DE NIVELES

Para la lectura de los niveles se ha tomado cada censor de la regla desde el más inferior (nivel más bajo que indica el primer nivel) hasta el superior (nivel más alto que indica que el tanque esta lleno); se han puesto ocho sensores y cada uno van al amplificador de nivel de voltaje que consiste en un arreglo de un transistor y unas resistencias para garantizar niveles de voltaje de + 5V (1 lógico) o +0V (0 lógico) esto se hace debido a que la circuiteria subsiguiente son circuitos digitales y como se sabe estos circuitos entienden "1" lógicos o "0" lógicos para poder trabajar; los niveles del tanque así como están conectados van generando un código DECIMAL, que nos servirán en la etapa de recepción para luego ser convertidos a **BCD** y para poder así decodificar los datos de los niveles del tanque.

A continuación se presenta una tabla en la cual se describe los diferentes códigos que proporciona :

- Los sensores
- El amplificador (TRANSISTORES DE ENTRADA).
- El dato a las entradas del registro **P/S**.

Ver las tablas- 1 - 2 y la FIGURA - A.


47K
+V
Q
100K
VCC
10
11
12
13
14
3
4
5
6
SER
A
B
C
D
E
F
G
H
QH
9
7
2
15
1
CLK
INH
SH/LD
74LS165
AL MODULADOR
AL QG('123)
1M
555
D1
4.70K
0.01UF
D1 = 1N4004
NOTA:
Q = 2N2222A ; +V = 5V
UNIVERSIDAD DON BOSCO.
ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.
Size
A
Document Number
FIGURA - A.
REV
Date: January 7, 1994
Sheet of

DATOS DE ENTRADA A LOS TRANSISTORES DE LOS SENSORES.

N I V E L E S

SENSOR	TANQUE VACÍO	N.1.	N.2.	N.3.	N.4.	N.5.	N.6.	N.7.	TANQUE LLENO N.8.
8	0	0	0	0	0	0	0	0	1
7	0	0	0	0	0	0	0	1	1
6	0	0	0	0	0	0	1	1	1
5	0	0	0	0	0	1	1	1	1
4	0	0	0	0	1	1	1	1	1
3	0	0	0	1	1	1	1	1	1
2	0	0	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1

TABLA - 1.

SALIDA DE LOS TRANSISTORES.

VACÍO	1	2	3	4	5	6	7	8	
8	1	1	1	1	1	1	1	0	A
7	1	1	1	1	1	1	0	0	B
6	1	1	1	1	1	0	0	0	C
5	1	1	1	1	0	0	0	0	D
4	1	1	1	0	0	0	0	0	E
3	1	1	0	0	0	0	0	0	F
2	1	0	0	0	0	0	0	0	G
1	0	0	0	0	0	0	0	0	H

TABLA - 2

NOTA:

LA COLUMNA 9 ES LA ENTRADA AL REGISTRO P/S.

3.1.3. ETAPA DE MODULACIÓN Y TRANSMISIÓN DE DATOS

Las salidas de las inversoras van al registro serie/paralelo (74LS65) para poder trasmitir los datos en serie e introducirlos al modulador **XR2211** este integrado nos proporciona la señal FSK de la palabra de bits. Esta señal FSK nos proporciona dos frecuencias portadoras para los " 1 lógicos" y los " 0 Lógicos ". Esta señal FSK posteriormente se introducirá a un radio (Walkie-Talkie) el cual trasmitirá por aire la señal.

3.1.4. ETAPA DE RECEPCIÓN.

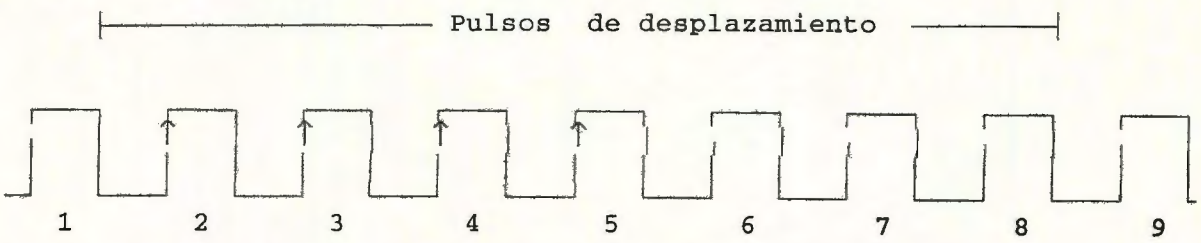
Ahora en la parte del receptor se tiene otro Walkie-Talkie, el cual recibirá la señal y luego se demodulará por medio del integrado **XR2211** quien es un demodulador de FSK y nos dará la información digital recuperada en serie.

Posteriormente teniendo la palabra en serie, de ocho bits recibida, está se introduce a un registro de serie a paralelo (74LS164), cuando la palabra ya esta en paralelo se introduce a un **LATCH** de ocho bits, para mantener la lectura del nivel del tanque que en ese momento fue recibido. Ahora se explicarán los circuitos de sincronismo para que el transmisor envíe solo ocho bits de información a la vez. En primer lugar se utiliza un reloj de 100Hz tanto en el transmisor como en el receptor, este reloj va al 74LS165 y además va al contador (74LS93) para que solo cuente ocho impulsos de reloj, los cuales son utilizados para sacar los ocho bits en serie del registro; este arreglo se logra con el contador y el monostable (74LS123) este se utiliza para que de un impulso negativo, el cual va a la entrada del **SHIFT/LOAD** del registro 74LS165, cargue cada ocho impulsos de reloj la siguiente palabra de información.

Esto se logra apreciar con el siguiente diagrama de tiempo. (FIGURA -8)

Ver FIGURA - B.

DIAGRAMA DE TIEMPOS

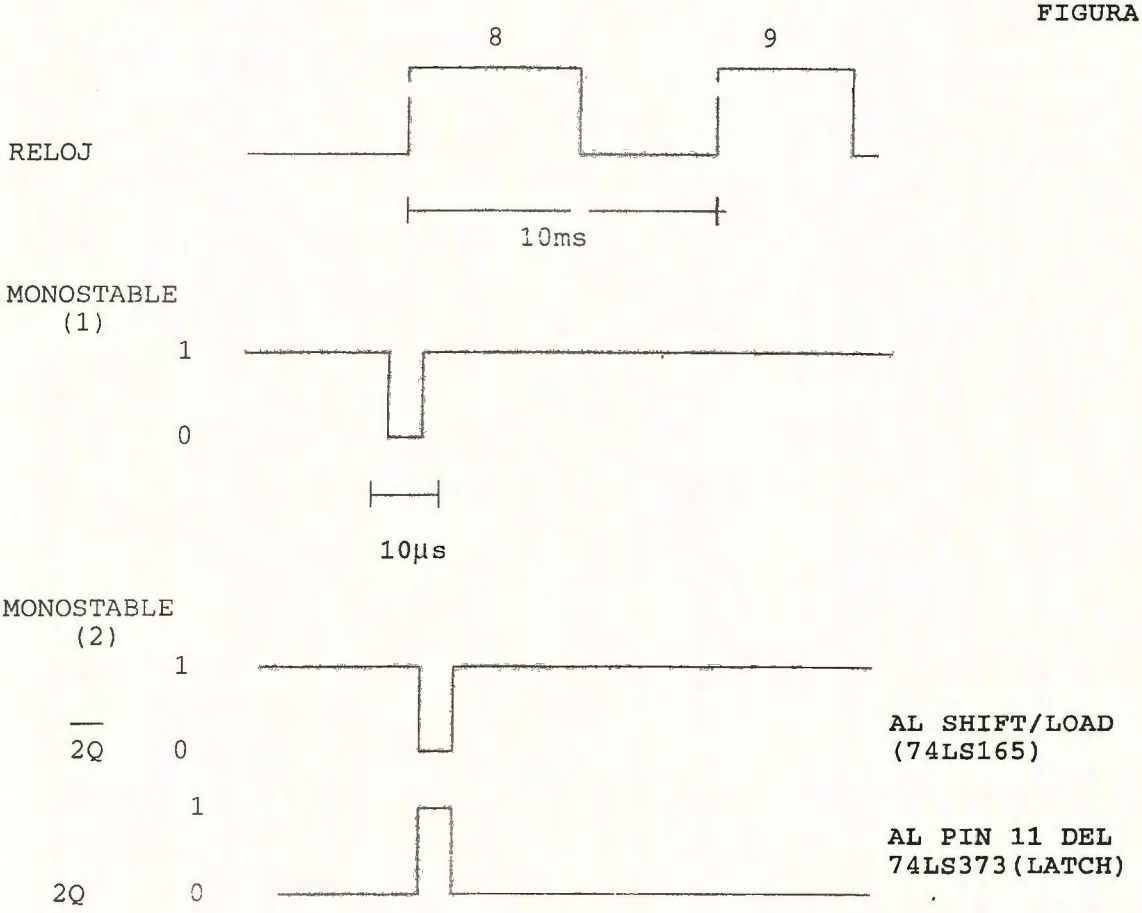


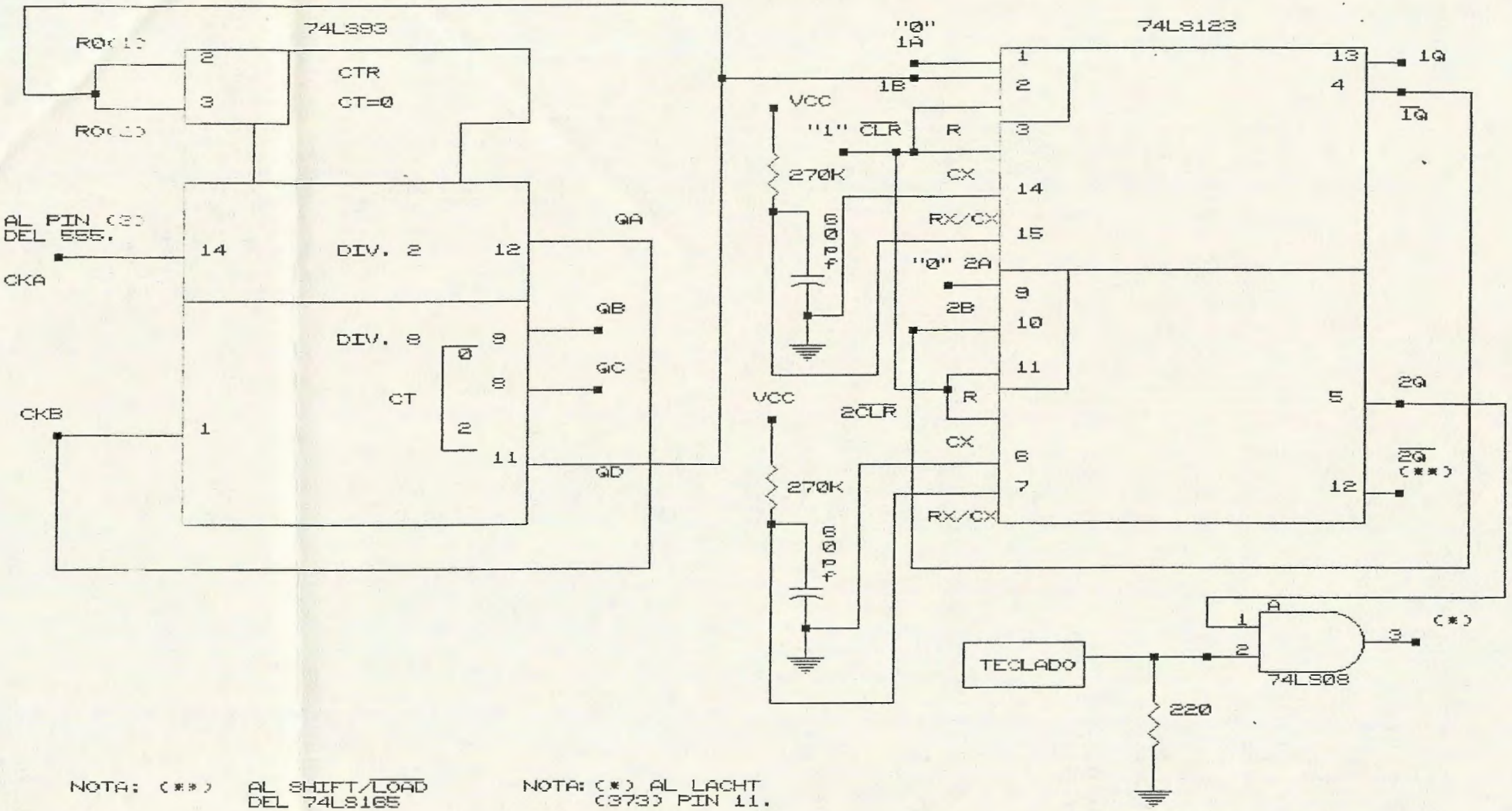
En el pulso 8 se da la transición de 0 a 1 y activa al monostable.

Reloj 100Hz
Tiempo 10ms

- Considerando los pulsos 8 y 9

FIGURA -8.





NOTA: (**) AL SHIFT/$\overline{\text{LOAD}}$ DEL 74LS165

NOTA: (*) AL LACHT (373) PIN 11.

UNIVERSIDAD DON BOSCO.		
ESCUELA DE ESTUDIOS TECNOLOGICOS. DEPARTAMENTO DE ELECTRONICA.		
Size: A	Document Number: FIGURA - B.	REV
Date: January 31, 1994	Sheet of	

La siguiente tabla pertenece a la FIGURA - 8.

TABLA DEL 74LS93.

COUNT	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0

Las transiciones 7 y 8 activan al primer monostable.

El primer monostable se utiliza como un tiempo de retardo para darle tiempo al reloj de dar el octavo pulso y para que el registro P/S puede desplazar los ocho bits a la salida, si esto se hace al registro solo desplazaría 7 bits en serie ya que este pulso del monostable se ocuparía para ser introducido al pin **SHIFT/LOAD** del registro, por lo tanto es necesario hacer este retardo de 10µs; como se ve en el diagrama de tiempo anterior, el monostable (1) dispara al monostable (2), este impulso es el que va al **SHIFT/LOAD** del registro **P/S**. Este dura 10µs, como se ve se da antes del pulso 9 del reloj ya que este es el primer pulso de desplazamiento de la siguiente palabra en serie. Con esto se logra que el registro este desplazando cada ocho pulso de reloj, los ocho bits de información sin que se pierda alguno.

En la etapa de recepción se recibirán los bits continuamente, aquí hay necesidad de utilizar un circuito de sincronismo para que el receptor capture justamente los ocho bits de información, debido a que los relojes del transmisor y receptor son diferente,aunque esta a la misma frecuencia. Este circuito de transmisión asincrónico todavía no se ha implementado.

En la etapa digital del receptor se ha considerado que la señal en serie recibida va a ser la siguiente: (FIGURA -9)

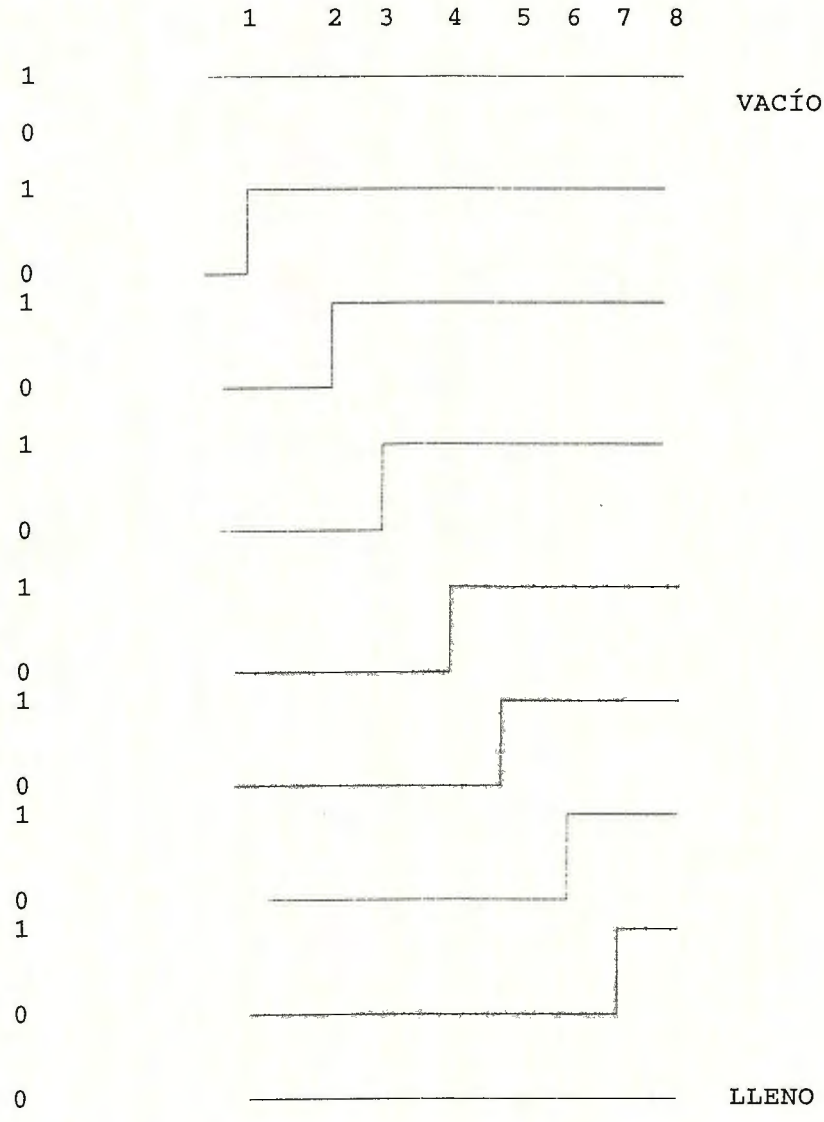


FIGURA -9

SALIDAS DEL REGISTRO S/P

	QH	QG	QF	QE	QD	QC	QB	QA
LATCH 74LS373	8D	7D	6D	5D	4D	3D	2D	1D
74LS147	1	2	3	4	5	6	7	8
VACÍO	1	1	1	1	1	1	1	1
N1	0	1	1	1	1	1	1	1
N2	0	0	1	1	1	1	1	1
N3	0	0	0	1	1	1	1	1
N4	0	0	0	0	1	1	1	1
N5	0	0	0	0	0	1	1	1
N6	0	0	0	0	0	0	1	1
N7	0	0	0	0	0	0	0	1
N8	0	0	0	0	0	0	0	0

Este cuadro corresponde a la figura -9.

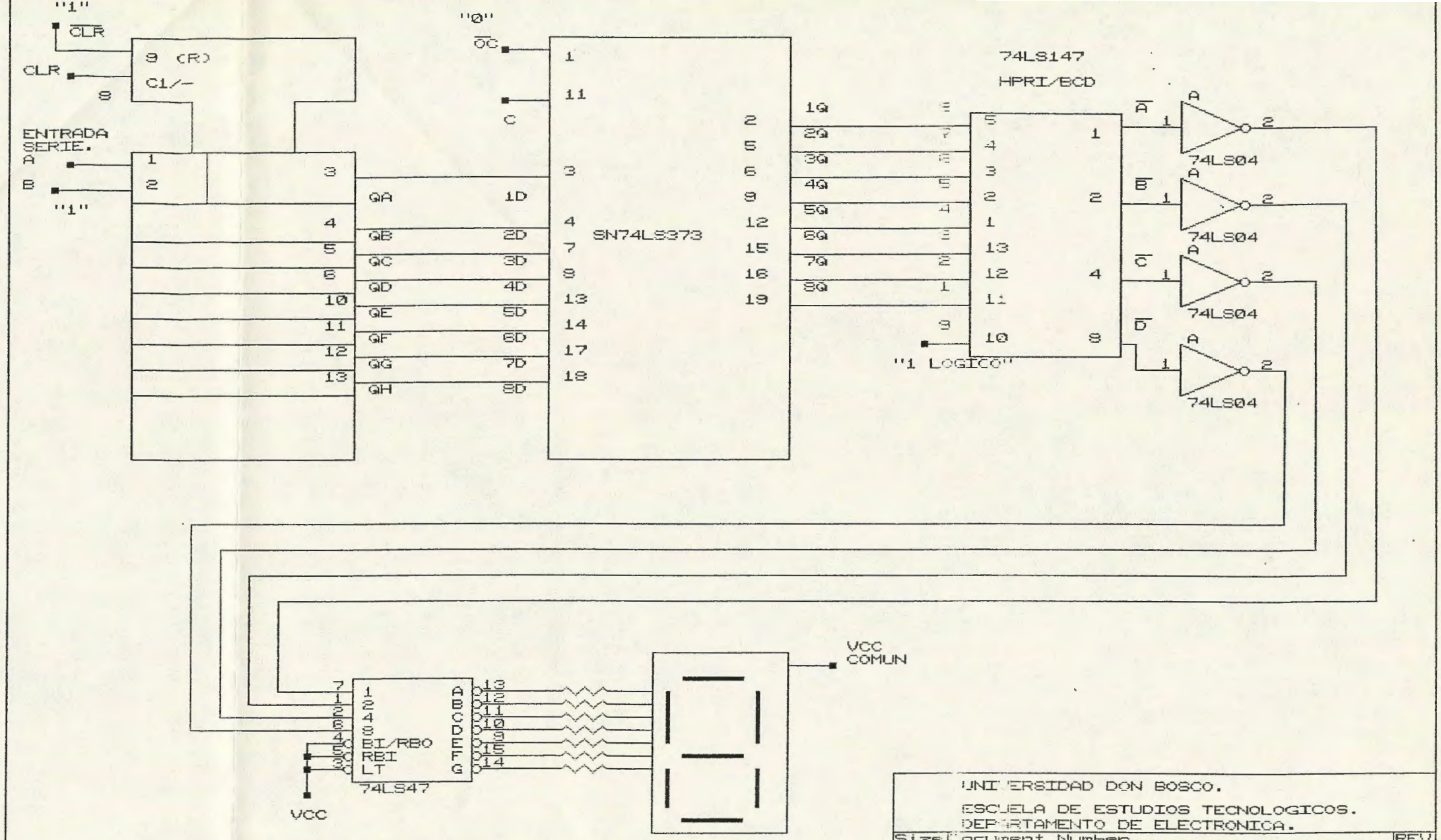
De acuerdo a estas señales en serie recibidas, se introducirán en el registro **S/P** y obtendremos la palabra en paralelo del nivel correspondiente.

A continuación una tabla que muestra como se van a estar leyendo los diferentes niveles. (FIGURA - 10). (Ver FIGURA - C).

SALIDA 74LS147

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0

FIGURA - 10



TODAS LAS RESISTENCIAS SON DE 220 OHMIOS.

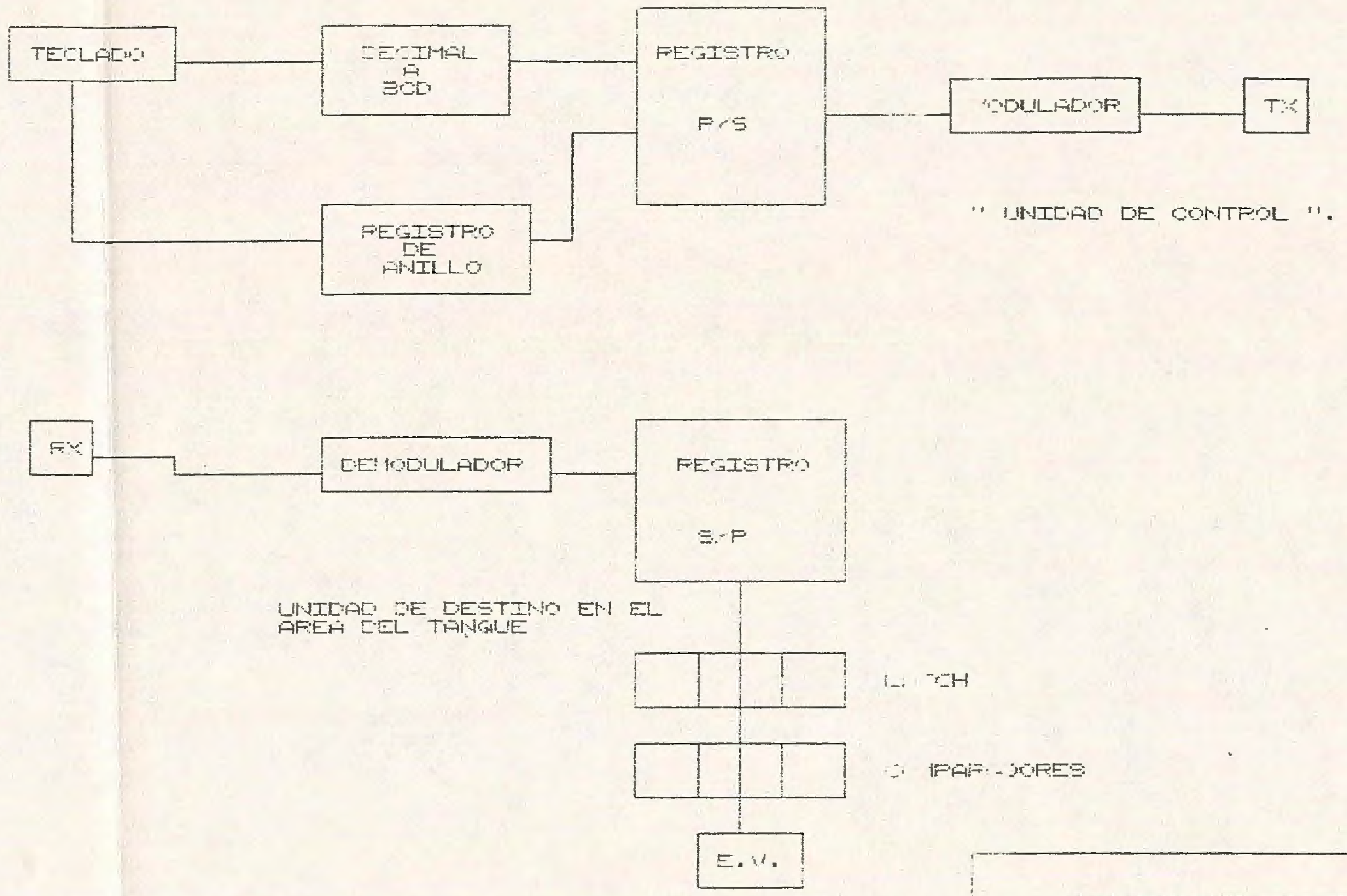
UNIVERSIDAD DON BOSCO.

ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.

Size	Document Number	REV
A	FIGURA - C.	
Date: January 31, 1994	Sheet	of

3.2. TRANSMISIÓN Y RECEPCIÓN DE DATOS DE MANEJO Y CONTROL DE NIVELES DEL TANQUE.

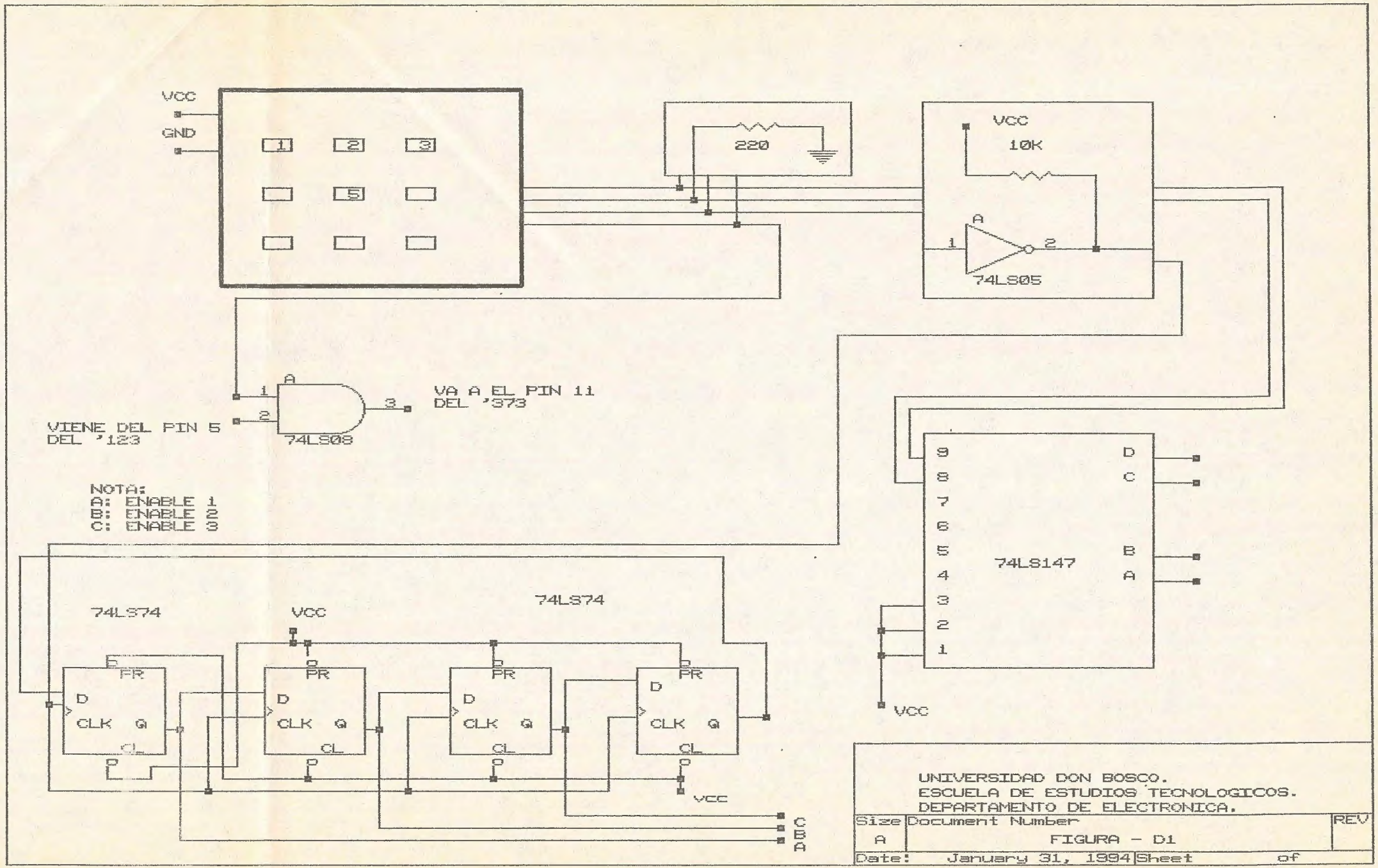
Está etapa del proyecto es sobre el manejo y control independiente de cada uno de las **ELECTROVALVULAS.** Para ello usamos un teclado de 12 salidas, de las cuales solo ocuparemos 4, de donde las dos primeras generan dos códigos diferentes a través de un arreglo de compuertas **NOT** (**INVERSORAS 74LS05**) y un **74LS147** que es un codificador de **DECIMAL** a **BCD**. La tercera tecla se usa como manejador del reloj de un registro de desplazamiento anular; dicho registro desplaza un " 1 Lógico " el cuál sirve para habilitar los " **ENABLES** " de los **LATCH** para hacerlos transparentes momentáneamente y luego en forma de memoria más permanentemente (en el enable del Latch un "un cero lógico"). La cuarta tecla maneja una compuerta AND, cuyo proposito es la de habilitar o deshabilitar el ENABLE del latch 74LS373, ya que este es utilizado para mantener una palabra de 8 bits, la cual es usada para mantener la lectura de un nivel de agua o el control de una electrovalvula, aun despues de la transmision (ver FIG.-D1, pagina 35). Durante la Tx se debe de poner un 1 logico con el teclado para habilitar el latch y un 0 logico justo antes de dejar de transmitir, para que el enable tenga un 0 y quede en memoria el ultimo dato de transmision. En donde los datos de salida del **74LS147** y las salidas del registro de anillo van aún registro paralelo/serie (74LS165). La salida serie pasa a un **XR2206** el cual proporciona una salida **FSK** de acuerdo a los pulsos de control. Las especificaciones de esta FSK se dieron anteriormente. Luego se introduce a un radio (Walkie- Talkie) el cual trasmite la señal. Luego se tiene una etapa de recepción la cual hay otra radio (Walkie - Talkie) el cual envía la señal a un integrado **XR2211** que es un demodulador de FSK recuperandose así los pulsos de control (en serie) que son convertidos a paralelos por medio de un **74LS164** (registro s/p) los cuales

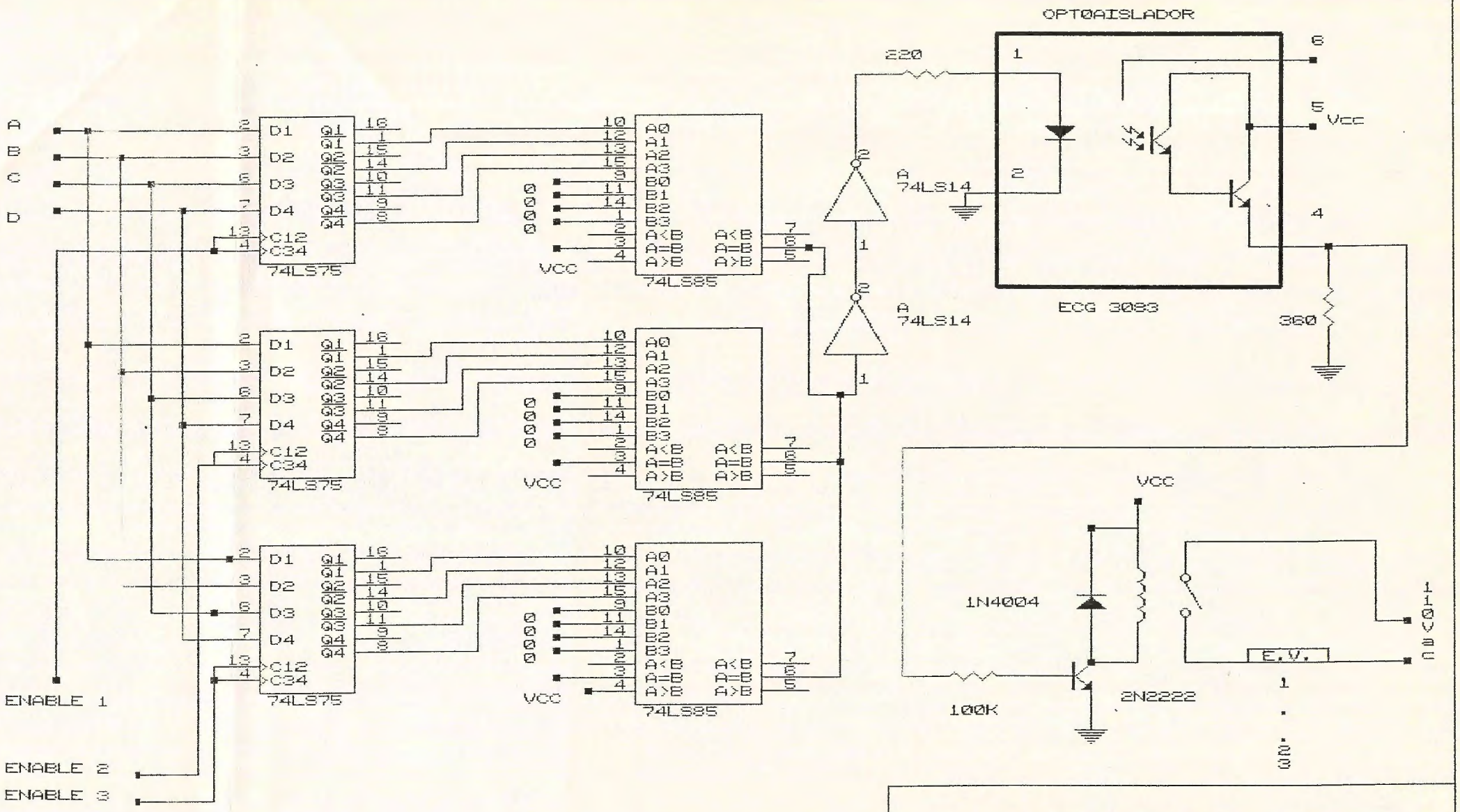


UNIVERSIDAD DON BOSCO.
ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.

Size	Document Number	REV
A	FIGURA - 11.	
Date:	December 11, 1993	Sheet of

paran a los larch. El circuito de sincronismo son los niveles a los anteriores.- Para comprender lo anterior explicado se ha planteado un diagrama de bloques que se mostrara en la siguiente página, tomando en cuenta la FIGURA-11. Los datos de salida del 74LS147 llegan a un destino final que son 3 **LATCH** (74LS75) los cuales son hechos transparentes o como memorias. De acuerdo a las necesidades que tengamos mediante el registro de anillo que manejan los enables, dichos **LATCHS** dejarán pasar o retener 2 diferentes códigos en **BCD**, de los cuales 1 activará las electroválvulas y el otro las desactivará (Ver FIGURA D1).- Los códigos que activan a las electroválvulas son comparados cuando 74LS85 donde las entradas Ao, A1, A2, A3 tendrán dicho código y las entradas Bo, B1, B2, B3 tendrán un código fijo, igual a 0 logico que al ser ambos iguales la salida **A = B** se pone en alto (solo si la entrada A = B esta con un alto), debe de observarse que entre la etapa digital y el manejo de las electrovalvulas se ocuparan OPTOAISLADORES, los cuales son utilizados para separar dichas etapas, debido que se manejan corrientes mayores para las electrovalvulas y corrientes muy pequeñas para la etapa digital. El optoaislador que se usa es el 4N32, que es un arreglo Darlington, el cual sea conectado de tal forma que al tener un 1 o un 0 logico en su entrada pone un 1 o un 0 a su salida respectivamente, dicha salida va a la resistencia de base del transistor NPN 2N2222, dicho estado pondrá en conducción a este transistor que maneja en el colector un relé, el cuál al cerrarse da paso a los 110Vac que habrá en el solenoide de la electroválvula. Podemos decir entonces que el código A como manejador y el código B fijo. Si el código A es distinto al código B, la salida A = B se pone en **BAJO** haciendo que no conduzca el transistor, el cuál separa los contactos del relé y así cierra la electroválvula. (Ver FIGURA - D2). En Las tablas siguientes se observa el comportamiento de los elementos usados por separado y luego combinados.


VCC
GND
1
2
3
5
220
VCC
10K
A
1
2
74LS05
A
1
2
3
74LS08
VIENE DEL PIN 5
DEL '123
VA A EL PIN 11
DEL '373
NOTA:
A: ENABLE 1
B: ENABLE 2
C: ENABLE 3
74LS147
9
8
7
6
5
4
3
2
1
D
C
B
A
74LS374
74LS374
VCC
D
CLK
Q
PR
CL
VCC
C
B
A
VCC
UNIVERSIDAD DON BOSCO.
ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.
Size
A
Document Number
FIGURA - D1
REV
Date: January 31, 1994
Sheet
of



UNIVERSIDAD DON BOSCO. ESCUELA DE ESTUDIOS TECNOLOGICOS. DEPARTAMENTO DE ELECTRONICA.		
Size A	Document Number FIGURA - D2	REV
Date: March 10, 1994	Sheet of	

Tabla del 74LS147

ENTRADAS									SALIDAS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Estado inicial(*)1
Desactivación de E.V.1
" de E.V.2.
" de E.V.3

NOTA: (*) Estado que activa las electroválvulas.
E.V.=Electroválvulas

Los códigos 1, 3 y 5 activan las electroválvulas.

Los códigos 2, 4 y 6 desactivan las electroválvulas.

TABLA FUNCIONAL DEL 74LS74

ENTRADAS			SALIDAS		
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H →
L	L	X	X	H↑	H↑
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Qo	$\overline{Qo}$

Colocando el PRE1(negado) con los CL2(negado), CL3(negado), CL↑(negado) unidos y a un "0 lógico" se garantiza un 1 lógico en Q que es el dato a ser desplazado.

COMPORTAMIENTO DEL REGISTRO

Pulso de control	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	$\overline{Q4}$
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	0	0	0

Estado inicial.

Se habilita LATCH3, memoria 1 y 2.

Se habilita LATCH2, memoria 1 y 3.

Se habilita LATCH1, memoria 2 y 3.

TABLA FUNCIONAL 74LS75

ENTRADAS

D	C	Q	$\overline{Q}$	
L	H	L	H *	* TRANSPARENTE
H	H	H	L *	
X	L	Qo	Qo	→ MEMORIA

ENTRADAS DE COMPARACIÓN ENTRADAS SALIDAS

A3,B3	A2,B2	A1,B1	A0,B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B2	A2<B2	X	X	X	X	X	L	H	L
A3=B2	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A2=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

PULSO DEL REGISTRO	SALIDAS DEL REGISTRO				SALIDA LATCH		
	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	$\overline{Q4}$	ENTRADAS A	ENTRADAS B	A=B
0	1	0	0	0	Código 1	Código 1	H
1	0	1	0	0	Código 1	Código 1	H
2	0	0	1	0	Código 1	Código 1	H
3	0	0	0	1	Retorno	——	—
4	1	0	0	0	Código 2	Código 1	L
5	0	1	0	0	Código 3	Código 1	L
6	0	0	1	0	Código 4	Código 1	L
7	1	0	0	0	———	—	—
8	0	1	0	0	Código 1	Código 1	H

Nota:

CODIGO 1 = Primer dato de salida del 74LS147 (estado inicial)

CODIGO 2 = Segundo dato de salida del 74LS147 (tecla 1)

CODIGO 3 = Tercer dato de salida del 74LS147 (tecla 2)

CODIGO 4 = Cuarto dato de salida del 74LS147 (tecla 3)

HOJA DE CALCULO

Para encontrar la resistencia de base que se utilizara en el manejo de las electrovalvulas, se medira la corriente que ocupa la bobina del rele, la cual sera
la corriente de colector.

Ibobina = 20mA = Ic

Sabemos que:

$$Ic = 200(Ib) \qquad \text{(Ecuacion-A)}$$

Donde:

- 200 es el Beta promedio de los transisitores.

$$20mA = 200(Ib)$$

$$Ib = \frac{20mA}{200} = 100\ A \qquad \text{(Ecuacion-B)}$$

- Haciendo malla en transistor:

$$-5 + Rb(100\ A) + 0.7 = 0 \qquad \text{(Ecuacion-C)}$$

$$Rb = \frac{5 - 0.7}{100\ A}$$

$$Rb = 43k$$

- $I_c = BI_b = 200(43\ A)$ (Ecuacion-D)
$= 8.6\ mA$

Con la R = 100k aseguramos que el transisitor este saturado con Vin = +5v

con Vin = 0v.

El diodo BE se polariza en inverza y se va a el corte,

Para un caso critico en una entrad TTL.

Ih = 40 A

Vouthmin = 2.4V

Con Vin = +5v (transistor saturado)

$$I_c = \frac{5 - 0}{47k} = 0.16\ mA$$ (Ecuacion-E)

Vout = 0v

Con R = 100k

$$I_c = \frac{5 - 0.7}{100k} = 43\ A$$ (Ecuacion-F)

FSK MODULADOR

-XR2206 THE TIMING RESISTOR MODE

$$Fm = \frac{1}{R1C1} \qquad Fs = \frac{1}{R2C1}$$

$$Fm = \frac{1}{100k(10nF)} = 1kHz \qquad \text{(Ecuacion-G)}$$

$$Fs = \frac{1}{40K(10nF)} = 2.5KHz \qquad \text{(Ecuacion-H)}$$

$$Fo = \frac{1}{Rc} = 1750Hz \qquad \text{(Ecuacion-I)}$$

-

- XR2211 DEMODULADOR DE FSK

$$Fo = \frac{\mathbf{Fs + Fm}}{2} = \frac{\mathbf{2.5kHz + 1KHz}}{2} = 1750 \qquad \text{(Ecuacion-J)}$$

$$Co = \frac{1}{RoFo} = \frac{1}{26K(1750)} = 22nF$$ donde Ro = Resistencia Variable

$R1 = Ro\ (\ Fo/Fs - Fm\ ) = 26K(1750Hz/\ 2.5KHz - 1KHz\ ) = 30K$

$C1 = 10nF$ Frecuencia de reloj utilizada = 100Hz T=10ms

$Cf = 2.20nF$ $F = \frac{1.44}{(RA+ 2RB)Ct}$ donde:RA =RB =R $R = \frac{1.44}{(3F)Ct} = \frac{1.44}{3(100Hz)0.01\mu F} = 480K$

CONCLUSIONES

- A través de la funcionalidad de este trabajo se ha comprobado la eficiencia e importancia de las comunicaciones digitales en aérea de la electrónica.

- Uno de los métodos utilizados para modular la información digital antes de la transmisión consiste en la aplicación de las técnicas de FM, conocidas como MANIPULACIÓN POR FRECUENCIA, la cual es la base de este proyecto.

- La funcionalidad de esta técnica de modulación digital fue comprobada en el desarrollo este trabajo.

- La manipulación por frecuencia (Fsk), es el proceso en el cual frecuencia de una portadora (onda sinusoidal) es variada con los unos y ceros de la señal digital que se quiere trasmitir de un lugar a otro, a través de un medio de transmisión. Este medio puede ser un canal que puede consistir en un conductor simple, líneas telefónicas o aire, que puede requerir la transmisión a través de propiedades electromagnéticas (para el caso de este proyecto se uso como medio de transmisión el aire). La amplitud y la fase de la portadora de la señal FSK permanecen fijas, la cual es su característica principal de esta señal.

- El uso de dispositivos en su mayoría ya conocidos por nosotros, se han poco mas accesible la teoría básica del proyecto y ser trasmitido de igual forma a quien interese .

RECOMENDACIONES

1- Como este proyecto tiene propósitos de uso en el area industrial o agrícola deben de tomarse en cuenta el tipo de flujo a suministrar como de igual importancia el medio por el cual va fluir(nos referimos a mangueras, cañerías, etc).

2- Se deja a criterio del interesado en implementar el proyecto el uso desde 1 a 5 electroválvulas, por medio de 5 códigos de activación y cinco códigos de desactivación tomando los 10 datos que proporciona el IC74LS147 usando con ellas 9 teclas, ya que el primer dato de dicho integrado en todas en altos (H), se pude así tomar este dato como primer código de activación.

3- Si se desea usar más de 5 electroválvulas se pueden usar dispositivos que proporcionen más de 10 códigos de salida, por ejemplo contadores de 0 a 15 (74ls193), y si se quieren varias pueden ser usadas las salidas Q como activación y las salidas Q (negado) como desactivación, teniendo una forma de comparación similar a la presentad en este proyecto.

4- Si no se disponen electroválvulas de 110Vac, sino que con 12 Vdc, 24Vdc, etc , pueden adaptarse a otras fuentes que les proporcione el voltaje necesario, también queda a opción el uso de otros transistores, diodos o relé es la parte de manejo de las electroválvulas.

5- En la modulación digital se usa la FSK, puede usarse también, PSK, ASK u otra que se considere de mejor manejo.

APÉNDICE

El propósito de este apartado es el de familiarizar al lector con los términos técnicos más utilizados en este documento .

COMPUERTAS LÓGICAS

CONSTANTES Y VARIABLES BOOLEANAS.

El álgebra booleana difiere del álgebra ordinaria en que las constantes y variables booleanas solo pueden tener dos posibles valores, 0 o bien 1.Una variable booleana es una cantidad que puede,en diferentes ocasiones, ser igual a 0 o bien a 1. Dichas variables se emplean con frecuencia para representar el nivel de voltaje presente en un alambre o en las terminales de entrada y salida de un circuito. Por ejemplo, en cierto sistema digital el valor booleano de 0 podría asignarse a cualquier voltaje en el intervalo de 0 a 0.8V, en tanto que el
valor booleano de 1 podría ser asignado a cualquier voltaje en el ámbito de 2 a 5 V. Así pues, el 0 y el 1 booleanos no representan números en realidad, sino que en realidad representan el estado de una variable de voltaje o bien lo que se conoce como **nivel lógico.** Se dice que un voltaje en un circuito digital se encuentra en el nivel lógico 0 o bien en el 1, según su valor numérico real. En el campo de la lógica digital se emplean otros términos como sinónimos de 0 y 1.

Algunos de los más comunes se representa en la siguiente tabla:

0 LÓGICO	1 LÓGICO
Espacio	Marca
Falso	Verdadero
Desactivado	Activado
Alto	Bajo
No	Si
Interruptor abierto	interruptor cerrado

El álgebra booleana se utiliza para expresar los efectos de los diferentes circuitos digitales sobre las entradas lógicas y para manipular variables lógicas con el objeto de determinar el mejor método de ejecución de cierta función de un circuito. En lo sucesivo emplearemos símbolos alfabéticos para representar las variables lógicas. En el álgebra booleana no hay fracciones, decimales, números negativos, raíces cuadradas, logaritmos, números imaginarios, etc. De hecho en el álgebra booleana solo existen **tres** operaciones básicas:

1. **Adición lógica,** llamada también adición OR.El símbolo de esta operación es el signo mas (+).

2. **Multiplicación lógica,** denominada asimismo multiplicación AND. El símbolo común de esta operación es el signo de multiplicación (.).

3. **Complementación o inversión lógica,** denominada operación NOT. El simbolo de esta operación es la barra elevada (-).

LA OPERACIÓN OR

Es un circuito digital la compuerta OR es un circuito que tiene dos o mas entradas y cuya salida es igual a la suma OR de las entradas.

La figura que se muestra en la siguiente página, el diseño de una compuerta OR de dos entradas. Las dos entradas A y B son niveles de voltaje lógicos y la salida (o resultado) x es un nivel de voltaje lógico cuyo valor es el resultado de la adición OR de A y B; esto es, x=A+B. En otras palabras, la compuerta OR opera de tal forma que su salida sea **ALTA (HIGH, nivel lógico 1)** si la entrada A,B o ambas están en el nivel lógico 1. La salida de la compuerta OR será **BAJA (LOW,nivel lógico 0)** si todas sus entradas están en el nivel lógico 0. Esta misma idea puede ampliarse a mas de dos entradas. Este caso es planteado en la figura de la siguiente página (FIGURA- E).

LA OPERACIÓN AND

En esta expresión el signo (.) representa la operación booleana de la multiplicación AND, cuyas reglas se dan en la tabla de verdad que se muestra en la página siguiente (FIGURA-F). Al observar la tabla, se advierte que la multiplicación AND es exactamente la misma que la multiplicación ordinaria. Siempre
que A o B sean cero, su producto es cero; cuando A y B son 1, su producto es 1. Por lo tanto, podemos decir que la operación AND el resultado ser 1 sólo si todas las entradas son 1; en todos los otros casos será el resultado **CERO.**

Al igual en la FIGURA - F se muestra la representación de la compuerta **AND.** La multiplicación para más de 2 entrada siempre cumple la lógica de funcionamiento planteada anteriormente.

Se debe de tomar en cuenta que una salida pasará a **ALTO,** solo cuando todas las entradas estén en **ALTO.**

OPERACIÓN NOT

La operación **NOT** difiere de las operaciones **OR** y **AND** en que ésta pude efectuarse con una sola variable de entrada. La operación **NOT** se conoce asimismo como **INVERSIÓN** o **COMPLEMENTACION** estos términos se utilizarán como sinónimos en cualquier planeamiento.

En la FIGURA - G se muestra el símbolo de un circuito **NOT**, como además se muestra su tabla de funcionamiento, en la cual se reafirma que es una compuerta que cambia o niega su entrada (si fuera 1 lógico, la NOT sacaría un 0 lógico).

FLIP - FLOP

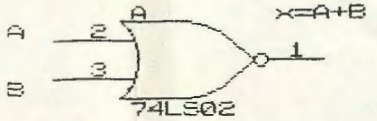
Es un dispositivo que incide en **"DOS DIFERENTES ESTADOS ESTABLES"**. En forma más sencilla este consiste de 2 amplificadores inversores interconectados, tal como se muestra en la FIGURA -H.

TIPOS DE FLIP - FLOP

Un circuito integrado que desempeña las funciones de un flip - flop tiene una circuiteria externa no tan sencilla como la mostrada en la FIGURA - H, por tal forma existen 4 tipos de flip- flop, entre los cuales tenemos: **RS, D, T** y **JK**. Siendo este último al cual enfocaremos nuestra explicación por ser el empleado en este proyecto. Este puede ser con transición positivo o negativa.

COMPUERTA OR

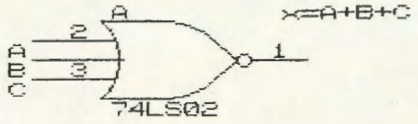
OR DE DOS ENTRADAS.



A	B	X= A + B
0	0	0
0	1	1
1	0	1
1	1	1

TABLA DE VERDAD.

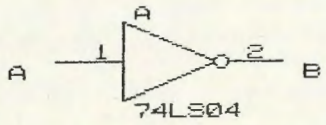
OR DE TRES ENTRADAS.



A	B	C	X= A+B+C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

TABLA DE VEDAD

FIGURA - E.
COMPUERTA INVERSORA.
(NOT)

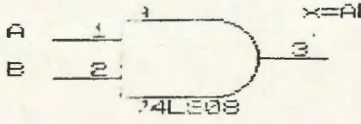


A	B
0	1
1	0

FIGURA - G.

COMPUERTA AND

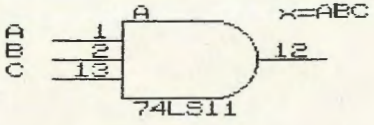
AND DE DOS ENTRADAS



A	B	X=AB
0	0	0
0	1	0
1	0	0
1	1	1

TABLA DE VERDAD

AND DE TRES ENTRADAS.



A	B	C	X=ABC
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

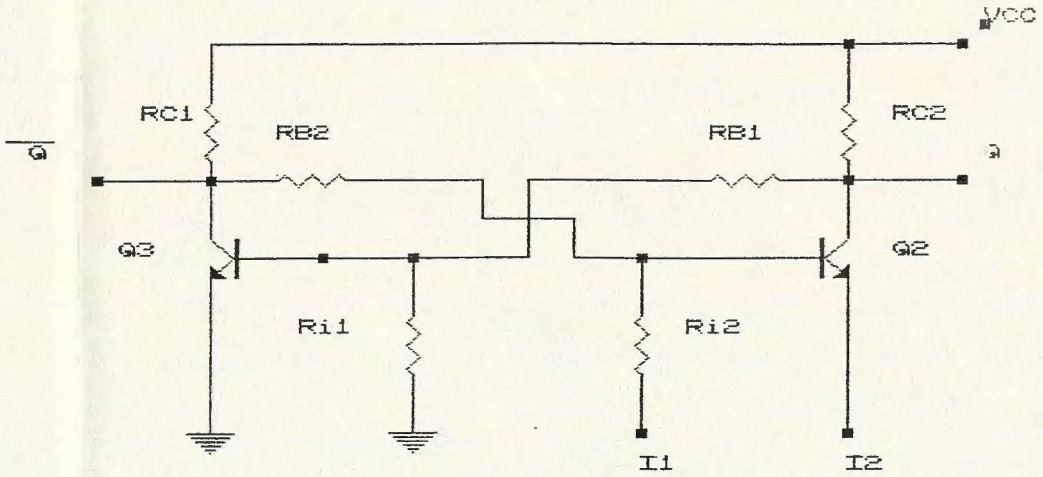
TABLA DE VERDAD

FIGURA - F

UNIVERSIDAD DON BOSCO.
ESCUELA DE ESTUDIOS TECNOLOGICOS.
DEPARTAMENTO DE ELECTRONICA.

Size	Document Number	REV
A	FIGURAS - E -F - G.	
Date: December 11, 1993	Sheet of	

FLIP-FLOP



FLIP - FLOP JK

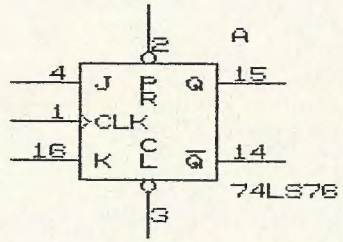


FIGURA - H.

UNIVERSIDAD DON BOSCO. ESCUELA DE ESTUDIOS TECNOLOGICOS. DEPARTAMENTO DE ELECTRONICA.		
Size A	Document Number FIGURA - H.	REV
Date: December 11, 1993	Sheet of	

CONTADORES

Existen varios circuitos integrados contadores asincrónicos **TTL** y **CMOS** . Uno de los más populares es el TTL 7493 y su equivalente lógico, el 74293. En el anexo se presenta la hoja de datos de este integrado. Al examinar este diagrama podemos asegurar los siguientes puntos:

1- El 7493 contiene cuatro FF JK con las salidas Qo, Q1, Q2 ,Q3 (en lugar de A B C D). Cada flip flop tiene una entrada CP (pulsación del cronómetro, que es simplemente otro nombre de la entrada CLK). Las entradas del cronómetro Qo y Q1 marcadas como CPo (negado) y CP1 (negado), respectivamente, son externamente accesibles. Las barras de inversión sobre estas entradas se utilizan para indicar que actúan como en una transición de alto a bajo.

2- Cada FF tiene una entrada DC clear, CD, CD conectadas a la salida de un compuerta **NAND** de dos entradas. Las entradas de NAND son MR1 y MR2, donde MR significa reposición maestra.

3- Los FF Q1, Q2, Q3 ya están conectados como un contador de pulso de tres bits. El FF Qo no está conectado a nada en el interior. Esto permite conectar Q0 a Q1 para poder formar un contador de 4 bits o bien utilizar Qo por separado.

4- Los FF se disponen en el orden contrario al que se ha venido utilizando en los diagramas de contadores; es decir Qo es LSB y Q3 es MSB.

REGISTROS

Los diversos tipos de registros se pueden clasificar de acuerdo con la forma con la cual se pude ingresar datos en el registro para su almacenamiento y con la forma en la cual los datos se sacan del registro. Las diversas clasificaciones se en listan a continuación.

1- Entrada y salida en paralelo
2- Entrada y salida en serie
3- Entrada en paralelo y salida en serie
4- Entrada serie y salida paralelo

Cada uno de estos tipos se encuentra en a disposición en forma de IC de modo que un diseñador lógico pueda encontrar generalmente con exactitud lo que se necesita en una aplicación determinada.

El 74165, registro de ocho bits se muestra en el anexo (Hoja de datos). En realidad tiene ambas entradas de datos en serie vía Ds entrada de datos en paralelo vía Do - D7. Las únicas salidas accesibles del FF son Qh y Qh (negado) Nótese que los FF son del tipo SR con cronómetro (el mismo que el SC con cronómetro) que responde a las TSN en sus entradas de reloj, cada FF tiene entradas asincrónicas, **PRESENT** y **CLEAR** que se utilizan para entrada de datos en paralelo. Nótese que hay dos entradas de cronómetro CLOCK INHIBIDO y CLOCK, cualquiera de las cuales se puede ampliar para producir la operación del corrimiento.

El diagrama lógico de la unidad 74LS164 se encuentran en la hoja de datos.

Se trata de un registro de cambio de ocho bits con cada salida del FF externamente accesible. En vez de una sola entrada serie, una compuerta AND combina las entradas A y B para producir la entrada serie en el FF Qo. La operación de cambio ocurre en la transiciones positivas de las entradas del cronómetro CP. La entrada CLEAR ofrece una refijación asincrónica de todos los FF en un nivel bajo.

BIBLIOGRAFIA

- WILLIAM SINNEMA "COMUNICACIONES DIGITALES, ANALOGAS Y DE DATOS". (Segunda Edicion) New Jersey, englewood Cliffs 07632 Año 1986.

- WAYNE TOMASI CHERYL TOMASI "MANUAL DE LABORATORIOS SISTEMA DE COMUNICACION ELECTRONICA". "FUNDAMENTOS A TRAVEZ DEL AVANCE". Englewood Cliffs. Año 1991

- WAYNE TOMASI "SISTEMA DE COMUNICACION ELECTRONICA". Tercera edicion.Año 1989.

- RONALD TOCCI SISTEMAS DIGITALES PRINCIPIOS Y APLICACIONES. Tercera Edición. Prentice Hall hispanoamericana. Año 1987.

- LAB VOLT PRACTICAS DE MODULACION DIGITAL.

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

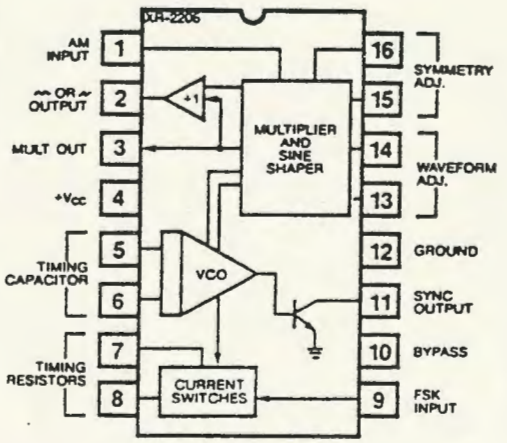
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

EXAR Integrated Systems, Inc., 750 Palomar Avenue, Sunnyvale, CA 94086 • (408) 732-7970 • TWX 910-339-9233

FIGURE 7-19 Specification sheet for XR-2206 monolithic function generator. (Courtesy of EXAR Corporation.)

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 > 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \le T_A \le 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		8			8		%	$f_L = 100$ Hz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10$ pF
Fall Time		50			50		nsec	$C_L = 10$ pF
Saturation Voltage		0.2	0.4		0.2	0.8	V	$I_L = 2$ mA
Leakage Current		0.1	20		0.1	100	µA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

FIGURE 7-19 (*continued*)

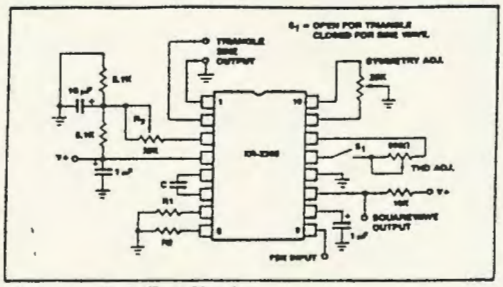


Figure 1: Basic Test Circuit.

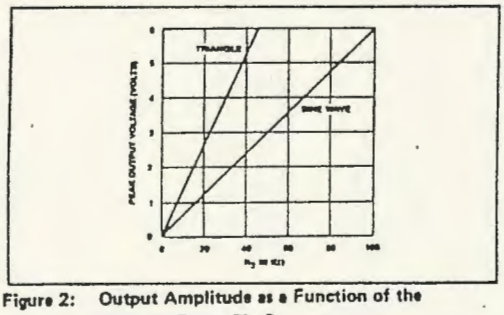


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

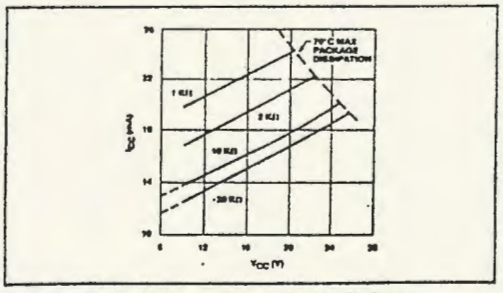


Figure 3: Supply Current versus Supply Voltage, Timing, R.

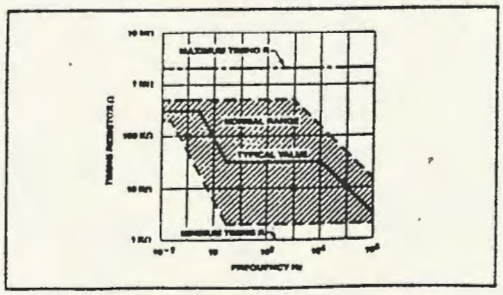


Figure 4: R versus Oscillation Frequency.

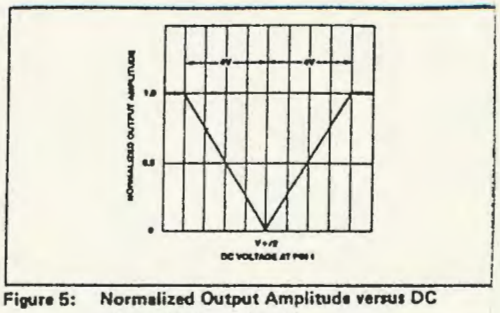


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

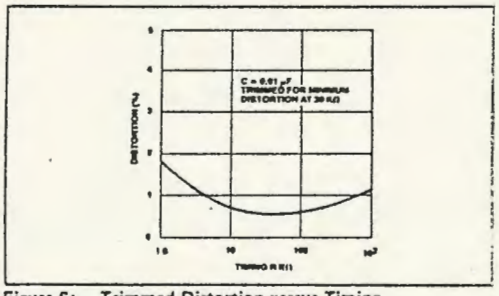


Figure 6: Trimmed Distortion versus Timing Resistor.

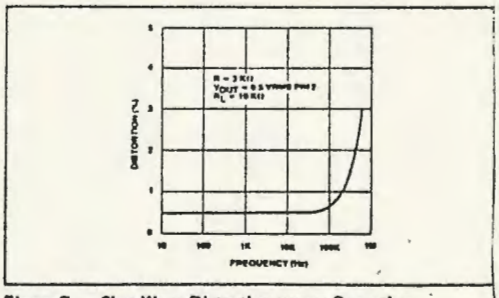


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

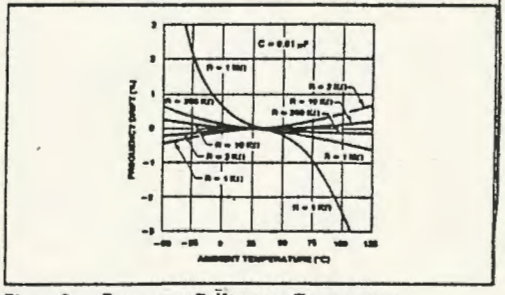


Figure 8: Frequency Drift versus Temperature.

FIGURE 7-19 (*continued*)

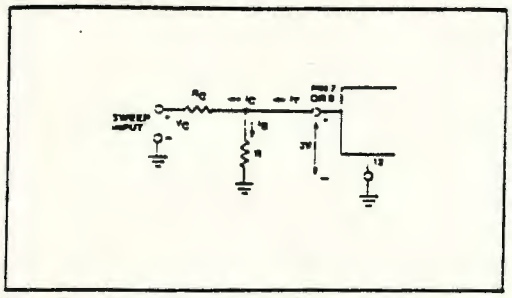


Figure 9: Circuit Connection for Frequency Sweep.

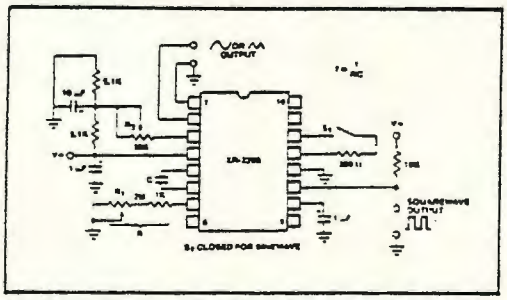


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

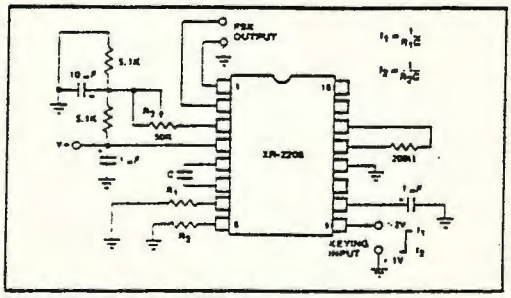


Figure 12: Sinusoidal FSK Generator.

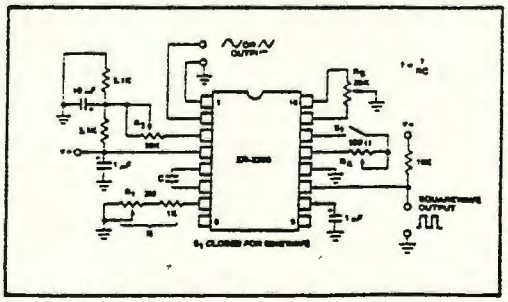


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

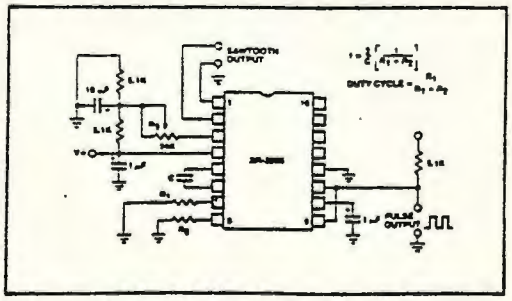


Figure 13: Circuit for Pulse and Ramp Generation.

FIGURE 7-19 (*continued*)

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

FIGURE 7-19 (*continued*)

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T \text{ (mA)}}{C \text{ (μF)}} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1+\frac{R}{R_C}\left(1-\frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f/\partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to ≤3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM

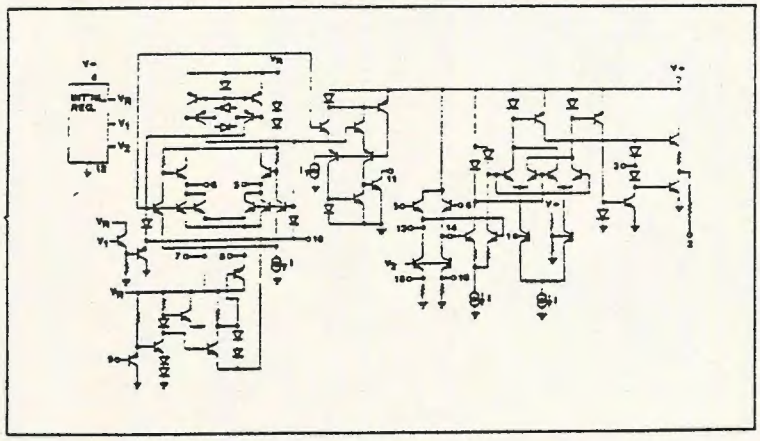


FIGURE 7-19 (*continued*)

FSK Demodulator / Tone Decoder

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications. It is particularly well suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20 V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 3 V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides ratio metric operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DTL ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

Wide Frequency Range	0.01 Hz to 300 kHz
Wide Supply Voltage Range	4.5 V to 20 V
DTL/TTL/ECL Logic Compatibility	
FSK Demodulation, with Carrier Detection	
Wide Dynamic Range	2 mV to 3 V rms
Adjustable Tracking Range (±1% to ±80%)	
Excellent Temp. Stability	20 ppm/°C, typ.

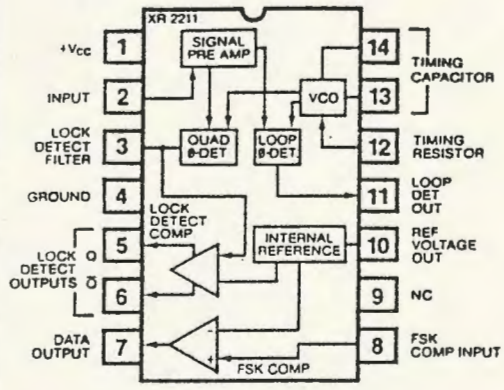
APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20 V
Input Signal Level	3 V rms
Power Dissipation	
Ceramic Package	750 mW
Derate above T_A = +25°C	6 mW/°C
Plastic Package	625 mW
Derate above T_A = +25°C	5.0 mW/°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2211M	Ceramic	-55°C to +125°C
XR-2211CN	Ceramic	0°C to + 75°C
XR-2211CP	Plastic	0°C to + 75°C
XR-2211N	Ceramic	-40°C to + 85°C
XR-2211P	Plastic	-40°C to + 85°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 2MV RMS are amplified to a constant high level signal. The multipling-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output, f input + f input (2 f input) and f input - f input (0 Hz) when the phase detector output to remove the "sum" frequency component while passing the difference (DC) component to drive the VCO. The VCO is actually a current controlled oscillator with its nominal input current (f_0) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The other sections of the XR-2211 act to: determine if the VCO is driven above or below the center frequency (FSK comparator); produced both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

EXAR Integrated Systems, Inc., 750 Palomar Avenue, Sunnyvale, CA 94086 • (408) 732-7970 • TWX 910-339-9233

FIGURE 5-14 XR-2211 Phase-locked loop. (Courtesy of EXAR Corporation.)

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = V^- = 6V$, $T_A = +25°C$, $C = 5000$ pF, $R_1 = R_2 = R_3 = R_4 = 20$ KΩ, $R_L = 4.7$ KΩ, Binary Inputs grounded, S_1 and S_2 closed unless otherwise specified.

PARAMETERS	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL								
Supply Voltage	4.5		20	4.5		20	V	
Supply Current		4	7		5	9	mA	$R_0 \geq 10$ KΩ See Fig. 4
OSCILLATOR SECTION								
Frequency Accuracy		±1	±3		±1		%	Deviation from $f_0 = 1/R_0C_0$
Frequency Stability								$R_1 = R_2$
Temperature		±20	±50		±20		ppm/°C	See Fig. 8.
Power Supply		0.05	0.5		0.05		%/V	$V^+ = 12 \pm 1$ V. See Fig. 7.
		0.2			0.2		%/V	$V^- = 5 \pm 0.5$ V. See Fig. 7.
Upper Frequency Limit	100	300			300		kHz	$R_0 = 8.2$ KΩ $C_0 = 400$ pF
Lowest Practical								
Operating Frequency			0.01		0.01		Hz	$R_0 = 2$ MΩ $C_0 = 50$ µF
Timing Resistor, R_0								See Fig. 5.
Operating Range	5		2000	5		2000	KΩ	
Recommended Range	15		100	15		100	KΩ	See Fig. 7 and 8.
LOOP PHASE DETECTOR SECTION								
Peak Output Current	±150	±200	±300	±100	±200	±300	µA	Measured at Pin 11.
Output Offset Current		±1			±2		µA	
Output Impedance		1			1		MΩ	
Maximum Swing	±4	±5		±4	±5		V	Referenced to Pin 10.
QUADRATURE PHASE DETECTOR								Measured at Pin 3
Peak Output Current	100	150			150		µA	
Output Impedance		1			1		MΩ	
Maximum Swing		11			11		V pp	
INPUT PREAMP SECTION								Measured at Pin 2.
Input Impedance		20			20		KΩ	
Input Signal								
Voltage Required to Cause Limiting		2	10		2		mV rms	
VOLTAGE COMPARATOR SECTIONS								
Input Impedance		2			2		MΩ	Measured at Pins 3 and 8.
Input Bias Current		100			100		nA	
Voltage Gain	55	70		55	70		dB	$R_L = 5.1$ KΩ
Output Voltage Low		300			300		mV	$I_C = 3$ mA
Output Leakage Current		0.01			0.01		µA	$V_O = 12$ V
INTERNAL REFERENCE								
Voltage Level	4.9	5.3	5.7	4.75	5.3	5.85	V	Measured at Pin 10.
Output Impedance		100			100		Ω	

FIGURE 5-14 (*continued*)

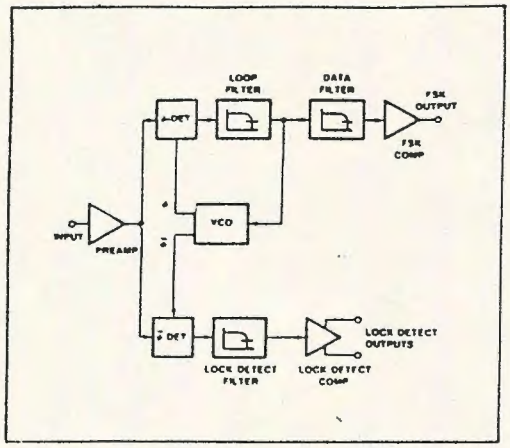


Figure 1: Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

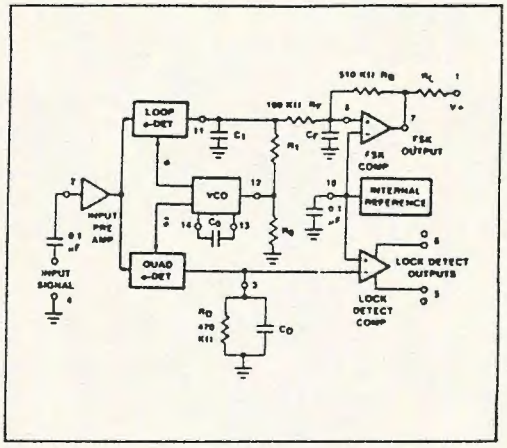


Figure 2: Generalized Circuit Connection for FSK and Tone Detection

Reference Voltage, V_R (Pin 10) This pin is internally biased at the reference voltage level, V_R. $V_R = V+/2 - 650$ mV. The dc voltage level at this pin forms an internal reference for the voltage levels at Pins 5, 8, 11 and 12. Pin 10 *must* be bypassed to ground with a 0.1 μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11) This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to Pin 11 (see Figure 2). With no input signal, or with no phase error within the PLL, the dc level at Pin 11 is very nearly equal to V_R. The peak voltage swing available at the phase detector output is equal to $\pm V_R$.

VCO Control Input (Pin 12) VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_0, is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where C_0 is the timing capacitor across Pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10 KΩ to 100 KΩ see Figure 8).

This terminal is a low impedance point, and is internally biased at a dc level equal to V_R. The maximum timing current drawn from Pin 12 *must* be limited to ≤ 3 mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14) VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see Figure 5). C_0 must be nonpolar, and in the range of 200 pF to 10 μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at Pin 12 (see Figure 9).

VCO Free-Running Frequency, f_0: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. However, for set-up or adjustment purposes, VCO free-running frequency can be measured at Pin 3 (with C_D disconnected), with no input and with Pin 2 shorted to Pin 10.

DESIGN EQUATIONS

(See Figure 2 for definition of components.)

1. VCO Center Frequency, f_0

   $f_0 = 1/R_0C_0$ Hz

2. Internal Reference Voltage, V_R (measured at Pin 10)

   $V_R = V+/2 - 650$ mV

3. Loop Low-Pass Filter Time Constant, τ

   $\tau = R_1C_1$

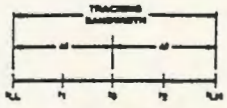
FIGURE 5-14 (*continued*)

4. Loop Damping, ζ:

$$\zeta = 1/4\sqrt{\frac{C_0}{C_1}}$$

5. Loop Tracking Bandwidth, $\pm\Delta f/f_0$:

$\Delta f/f_0 = R_0/R_1$



6. FSK Data Filter Time Constant, τF:

$\tau F = R_F C_F$

7. Loop Phase Detector Conversion Gain, $K\phi$: ($K\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input):

$K\phi = -2V_R/\pi$ volts/radian

8. VCO Conversion Gain, K_0: (K_0 is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

$K_0 = -1/V_R C_0 R_1$ Hz/volt

9. Total Loop Gain, K_T:

$K_T = 2\pi K\phi K_0 = 4/C_0 R_1$ rad/sec/volt

10. Peak Phase Detector Current I_A:

$I_A = V_R$ (volts)/25 mA

APPLICATIONS INFORMATION

FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B (=510 KΩ) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_1 and f_2, these parameters can be calculated as follows:

a) Calculate PLL center frequency, f_0:

$$f_0 = \frac{f_1 + f_2}{2}$$

b) Choose value of timing resistor R_0, to be in the range of 10 KΩ to 100 KΩ. This choice is arbitrary. The recommended value is $R_0 \cong 20$ KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

c) Calculate value of C_0 from design equation (1) or from Figure 6:

$C_0 = 1/R_0 f_0$

d) Calculate R_1 to give a Δf equal to the mark space deviation.

$R_1 = R_0[f_0/(f_1-f_2)]$

e) Calculate C_1 to set loop damping. (See design equation no. 4.):

Normally, $\zeta \approx 1/2$ is recommended.

Then, $C_1 = C_0/4$ for $\zeta = 1/2$

f) Calculate Data Filter Capacitance, C_F

For $R_F = 100$ KΩ, $R_B = 510$ KΩ, the recommended value of C_F is:

$C_F \approx 3/(\text{Baud Rate})\ \mu F$

Note: All calculated component values except R_0 can be rounded to the nearest standard value, and R_0 can be varied to fine-tune center frequency, through a series potentiometer, R_X. (See Figure 9.)

FIGURE 5-14 (*continued*)

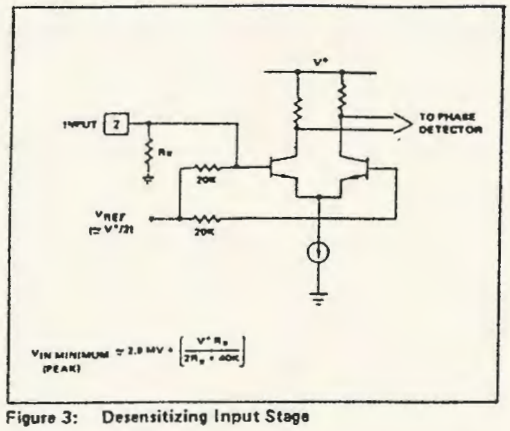


Figure 3: Desensitizing Input Stage

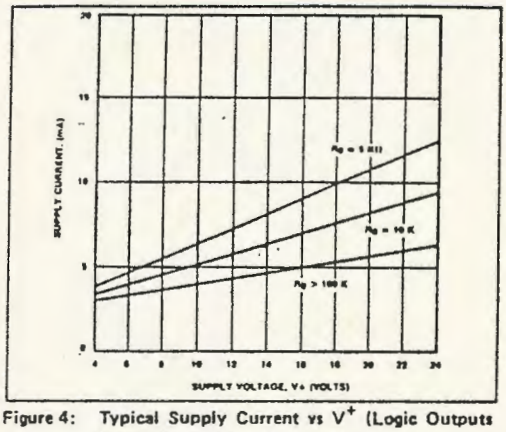


Figure 4: Typical Supply Current vs V^+ (Logic Outputs Open Circuited).

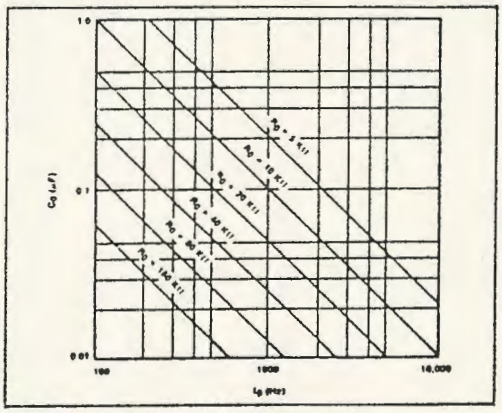


Figure 5: VCO Frequency vs Timing Resistor

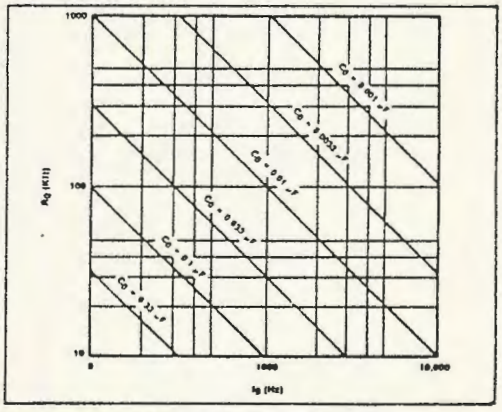


Figure 6: VCO Frequency vs Timing Capacitor

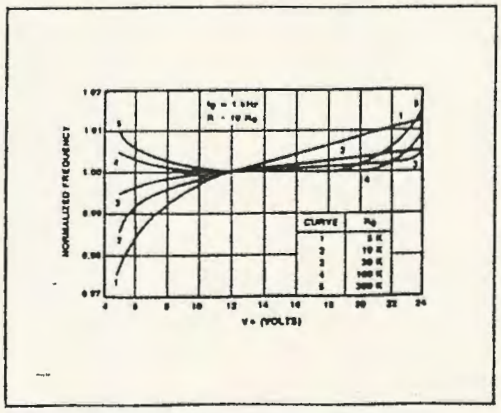


Figure 7: Typical f_0 vs Power Supply Characteristics

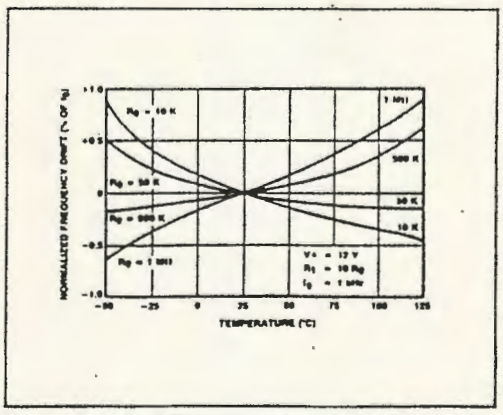


Figure 8: Typical Center Frequency Drift vs Temperature

FIGURE 5-14 (*continued*)

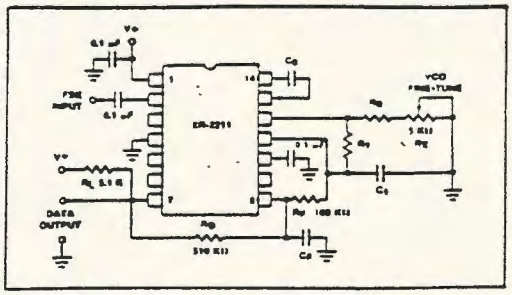


Figure 9: Circuit Connection for FSK Decoding

Design Example:

75 Baud FSK demodulator with mark space frequencies of 1110/1170 Hz

Step 1: Calculate f_0 f_0 = (1110 + 1170) (1/2) = 1140 Hz
Step 2: Choose R_0 = 20 KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)
Step 3. Calculate C_0 from Figure 6 C_0 = 0.044 μF
Step 4: Calculate R_1 R_1 = R_0 (2240/60) = 380 KΩ
Step 5. Calculate C_1 C_1 = C_0/4 = 0.011 μF

Note All values except R_0 can be rounded to *nearest* standard value.

Table 1. Recommended Component Values for Commonly Used FSK Bands. (See Circuit of Figure 9.)

FSK BAND	COMPONENT VALUES	
300 Baud	C_0 = 0.039 μF	C_F = 0.005 μF
f_1 = 1070 Hz	C_1 = 0.01 μF	R_0 = 18 KΩ
f_2 = 1270 Hz	R_1 = 100 KΩ	
300 Baud	C_0 = 0.022 μF	C_F = 0.005 μF
f_1 = 2025 Hz	C_1 = 0.0047 μF	R_0 = 18 KΩ
f_2 = 2225 Hz	R_1 = 200 KΩ	
1200 Baud	C_0 = 0.027 μF	C_F = 0.0022 μF
f_1 = 1200 Hz	C_1 = 0.01 μF	R_0 = 18 KΩ
f_2 = 2200 Hz	R_1 = 30 KΩ	

FSK DECODING WITH CARRIER DETECT:

The lock detect section of XR-2211 can be used as a carrier detect option, for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PPL; and the Pin 6 output goes "high," to enable the data output.

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta f_c$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta f_c > \Delta f/2$. For R_D = 470 KΩ, the approximate minimum value of C_D can be determined by:

C_D (μF) ≥ 16/capture range in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

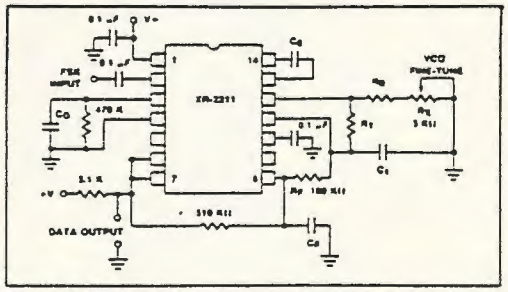


Figure 10: External Connectors for FSK Demodulation with Carrier Detect Capability

Note: Data Output is "Low" When No Carrier is Present.

TONE DETECTION:

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and $\overline{Q}$ at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L1} and R_{L2}, as shown in Figure 11.

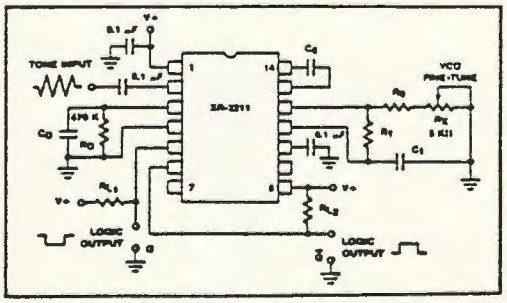


Figure 11: Circuit Connection for Tone Detection.

FIGURE 5-14 (*continued*)

With reference to Figures 2 and 11, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor. R_{L1} and R_{L2} are the respective pull-up resistors for the Q and $\overline{Q}$ logic outputs.

Design Instructions:

The circuit of Figure 11 can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:

a) Choose R_0 to be in the range of 15 KΩ to 100 KΩ. This choice is arbitrary.

b) Calculate C_0 to set center frequency, f_0 equal to f_s (see Figure 6). $C_0 = 1/R_0 f_S$

c) Calculate R_1 to set bandwidth $\pm\Delta f$ (see design equation no. 5)

$$R_1 = R_0(f_0/\Delta f)$$

Note The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

d) Calculate value of C_1 for a given loop damping factor;

$$C_1 = C_0/16\zeta^2$$

Normally $\zeta \approx 1/2$ is optimum for most tone detector applications, giving $C_1 = 0.25\ C_0$.

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of filter capacitor C_D. To avoid chatter at the logic output, with R_D = 470 KΩ, C_D must be:

$$C_D(\mu F) \geq (16/\text{capture range in Hz})$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of 1 kHz ± 20 Hz.

a) Choose R_0 = 20 KΩ (18 KΩ in series with 5 KΩ potentiometer).
b) Choose C_0 for f_0 = 1 kHz (from Figure 6). C_0 = 0.05 μF.

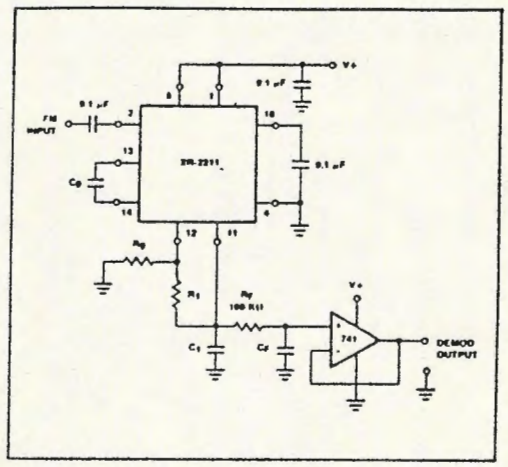


Figure 12: Linear FM Detector Using XR-2211 and an External Op Amp. (See section on Design Equation for Component Values.)

c) Calculate R_1. $R_1 = (R_0)\ (1000/20) = 1$ MΩ.
d) Calculate C_1 for $\zeta = 1/2$. $C_1 = 0.25$, $C_0 = 0.013$ μF.
e) Calculate C_D. $C_D = 16/38 = 0.42$ μF.
f) Fine-tune center frequency with 5 KΩ potentiometer, R_X.

LINEAR FM DETECTION:

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as.

$$V_{out} = R_1\ V_R/100\ R_0 \text{ Volts/\%deviation}$$

where V_R is the internal reference voltage (V_R = V+/2 – 650 mV). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see section on design equations.

FIGURE 5-14 *(continued)*

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is ac coupled to this terminal. The internal impedance at Pin 2 is 20 KΩ. Recommended input signal level is in the range of 10 mV rms to 3 V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, Pin 3 is connected to ground through a parallel combination of R_D and C_D (see Figure 2) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, Pin 3 can be left open circuited.

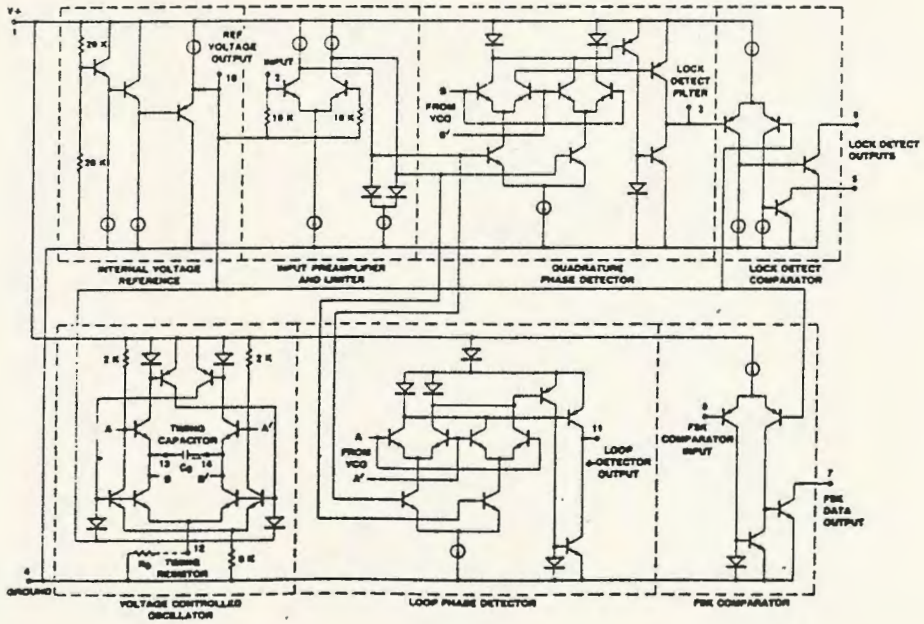
Lock Detect Output, Q (Pin 5): The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" or conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V+ for proper operation. At "low" state, it can sink up to 5 mA of load current.

Lock Detect Complement, $\overline{Q}$ (Pin 6): The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V+ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

FSK Comparitor Input (Pin 8): This is the high impedance inout to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_F and C_F of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage, V_R, available at Pin 10.

EQUIVALENT SCHEMATIC DIAGRAM



Rev. 8/83

FIGURE 5-14 (*continued*)

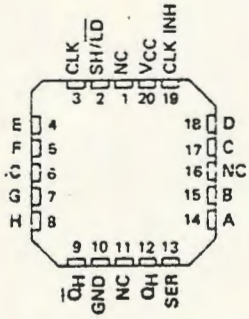
OCTOBER 1976 – REVISED MARCH 1988

- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'165	26 MHz	210 mW
'LS165A	35 MHz	90 mW

SN54165, SN54LS165A . . . J OR W PACKAGE
SN74165 . . . N PACKAGE
SN74LS165A . . . D OR N PACKAGE
(TOP VIEW)

SN54LS165A . . . FK PACKAGE
(TOP VIEW)



description

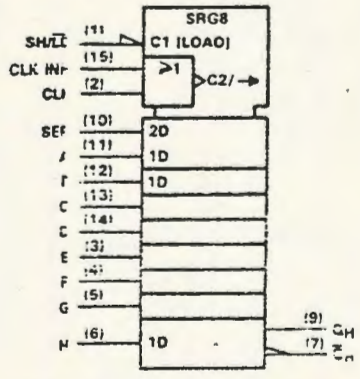
The '165 and 'LS165A are 8-bit serial shift registers that shift the data in the direction of Q_A toward Q_H when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs that are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

Clocking is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the shift/load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the shift/load input is high. Data at the parallel inputs are loaded directly into the register while the shift/load input is low independently of the levels of the clock, clock inhibit, or serial inputs.

FUNCTION TABLE

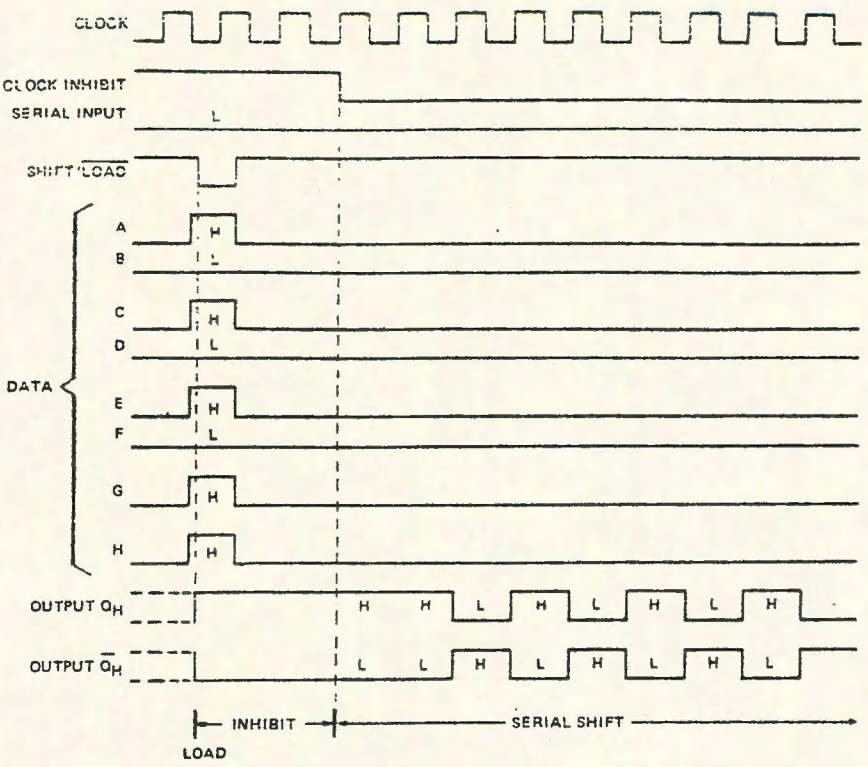
INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/$\overline{\text{LOAD}}$	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	a . . . h	a	b	h
H	L	↓	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

logic symbol†



†This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, N, and W packages.

typical shift, load, and inhibit sequences



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage: SN54165, SN74165 . . . . . 5.5 V
SN54LS165A, SN74LS165A . . . . . 7 V
Interemitter voltage (see Note 2) . . . . . 5.5 V
Operating free-air temperature range: SN54165, SN54LS165A . . . . . −55°C to 125°C
SN74165, SN74LS165A . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTES: 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. This rating applies for the '165 to the shift/load input in conjunction with the clock inhibit inputs.

recommended operating conditions

			SN54LS165A			SN74LS165A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.7			0.8	V
I_{OH}	High-level output current				-0.4			-4	mA
I_{OL}	Low-level output current				4			8	mA
f_{clock}	Clock frequency		0		25	0		25	MHz
$t_{w(clock)}$	Width of clock input pulse (See Figure 1)	CLOCK high	35			15			ns
		CLOCK low	25			25			
$t_{w(load)}$	Width of load input pulse	CLOCK high	25			25			ns
		CLOCK low	17			17			
t_{su}	Clock-enable setup time (See Figure 1)		30			30			ns
t_{su}	Parallel input setup time (See Figure 1)		10			10			ns
t_{su}	Serial input setup time (See Figure 2)		20			20			ns
t_{su}	Shift setup time (See Figure 2)		45			45			ns
t_h	Hold time at any input		0			0			ns
T_A	Operating free-air temperature		-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		SN54LS165A			SN74LS165A			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IK}	V_{CC} = MIN, I_I = -18 mA				-1.5			-1.5	V
V_{OH}	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = MAX, I_{OH} = -0.4 mA		2.5	3.5		2.7	3.5		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = MAX	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
		I_{OL} = 8 mA					0.35	0.5	
I_I	V_{CC} = MAX, V_I = 7 V				0.1			0.1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.7 V				20			20	μA
I_{IL}	V_{CC} = MAX, V_I = 0.4 V				-0.4			-0.4	mA
I_{OS}§	V_{CC} = MAX		-20		-100	-20		-100	mA
I_{CC}	V_{CC} = MAX, See Note 3			17	32		17	32	mA

NOTE 3: With the outputs open, clock inputs grounded, 4.5 V applied to the shift/load input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time, and the duration should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			R_L = 2 kΩ, C_L = 15 pF, See Note 4	25	35		MHz
t_{PLH}	$\overline{LOAD}$	Any			21	32	ns
t_{PHL}					25	38	
t_{PLH}	Clock	Any			14	22	ns
t_{PHL}					16	25	
t_{PLH}	H or L	Q_H			14	22	ns
t_{PHL}					24	36	
t_{PLH}	H or L	$\overline{Q}_H$			22	33	ns
t_{PHL}					17	26	

¶ f_{max} = maximum clock frequency

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

TEXAS INSTRUMENTS
POST OFFICE BOX [illegible] • DALLAS, TEXAS 75265

'147, 'LS147

- Encodes 10-Line Decimal to 4-Line BCD
- Applications Include:

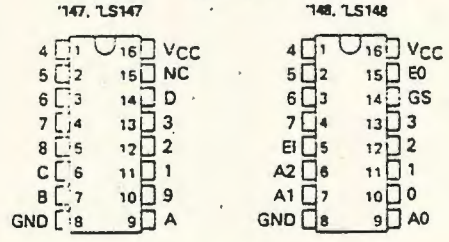
  Keyboard Encoding
  Range Selection: '148, 'LS148

- Encodes 8 Data Lines to 3-Line Binary (Octal)
- Applications Include:

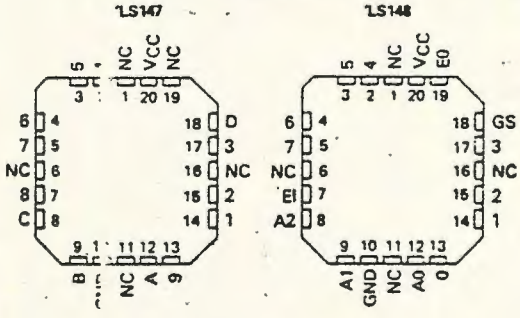
  N-Bit Encoding
  Code Converters and Generators

TYPE	TYPICAL DATA DELAY	TYPICAL POWER DISSIPATION
'147	10 ns	225 mW
'148	10 ns	190 mW
'LS147	15 ns	60 mW
'LS148	15 ns	60 mW

SN54147, SN54LS147,
SN54148, SN54LS148 . . . J OR W PACKAGE
SN74147, SN74148 . . . N PACKAGE
SN74LS147, SN74LS148 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS147, SN54LS148 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description

These TTL encoders feature priority decoding of the inputs to ensure that only the highest-order data line is encoded. The '147 and 'LS147 encode nine data lines to four-line (8-4-2-1) BCD. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at a high logic level. The '148 and 'LS148 encode eight data lines to three-line (4-2-1) binary (octal). Cascading circuitry (enable input EI and enable output EO) has been provided to allow octal expansion without the need for external circuitry. For all types, data inputs and outputs are active at the low logic level. All inputs are buffered to represent one normalized Series 54/74 or 54LS/74LS load, respectively.

'147, 'LS147
FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = high logic level, L = low logic level, X = irrelevant

'148, 'LS148
FUNCTION TABLE

INPUTS								OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS*			SN74LS			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V,	I_{OH} = −400 µA	2.5	3.4		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
			I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	'LS148 inputs 1 thru 7	V_{CC} = MAX, V_I = 7 V			0.2			0.2	mA
		All other inputs				0.1			0.1	
I_{IH}	High-level input current	'LS148 inputs 1 thru 7	V_{CC} = MAX, V_I = 2.7 V			40			40	µA
		All other inputs				20			20	
I_{IL}	Low-level input current	'LS148 inputs 1 thru 7	V_{CC} = MAX, V_I = 0.4 V			−0.8			−0.8	mA
		All other inputs				−0.4			−0.4	
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−20		−100	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 5	Condition 1		12	20		12	20	mA
			Condition 2		10	17		10	17	mA

NOTE 5: For 'LS147, I_{CC} (condition 1) is measured with input 7 grounded, other inputs and outputs open; I_{CC} (condition 2) is measured with all inputs and outputs open. For 'LS148, I_{CC} (condition 1) is measured with inputs 7 and EI grounded, other inputs and outputs open, I_{CC} (condition 2) is measured with all inputs and outputs open.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at V_{CC} = 5 V, T_A = 25°C.

§Not more than one output should be shorted at a time.

SN54LS147, SN74LS147 switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶		FROM (INPUT)	TO (OUTPUT)	WAVEFORM	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}		Any	Any	In-phase output	C_L = 15 pF, R_L = 2 kΩ, See Note 4		12	18	ns
t_{PHL}							12	18	
t_{PLH}		Any	Any	Out-of-phase output			21	32	ns
t_{PHL}							15	23	

SN54LS148, SN74LS148 switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶		FROM (INPUT)	TO (OUTPUT)	WAVEFORM	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}		1 thru 7	A0, A1, or A2	In-phase output	C_L = 15 pF, R_L = 2 kΩ, See Note 4		14	18	ns
t_{PHL}							15	23	
t_{PLH}		1 thru 7	A0, A1, or A2	Out-of-phase output			20	30	ns
t_{PHL}							16	24	
t_{PLH}		0 thru 7	EO	Out-of-phase output			7	15	ns
t_{PHL}							24	41	
t_{PLH}		0 thru 7	GS	In-phase output			35	53	ns
t_{PHL}							9	21	
t_{PLH}		EI	A0, A1, or A2	In-phase output			16	25	ns
t_{PHL}							12	22	
t_{PLH}		EI	EO	In-phase output			17	26	ns
t_{PHL}							14	21	
t_{PLH}		EI	GS	In-phase output			12	21	ns
t_{PHL}							23	35	

¶t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output

NOTE 4: Load circuits and voltage waveforms are shown in Section 1.

TEXAS INSTRUMENTS

SN54122, SN54123, SN54130, SN54LS122, SN54LS123, SN74122, SN74123, SN74130, SN74LS122, SN74LS123
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

DECEMBER 1983 – REVISED MARCH 1988

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- '122 and 'LS122 Have Internal Timing Resistors

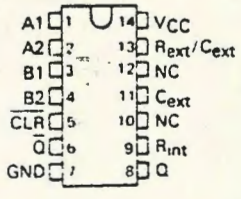
description

These d-c triggered multivibrators feature output pulse-duration control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122 and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse duration may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

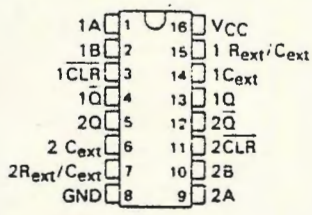
The R_{int} in nominall 10 kΩ for '122 and 'LS122.

SN54122, SN54LS122 . . . J OR W PACKAGE
SN74122 . . . N PACKAGE
SN74LS122 . . . D OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)

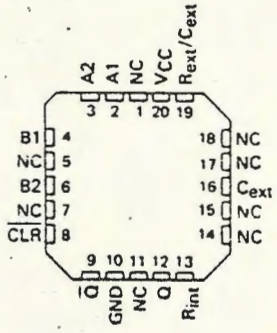


NOTES: 1. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
2. To use the internal timing resistor of '122 or 'LS122, connect R_{int} to V_{CC}.
3. For improved pulse duration accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
4. To obtain variable pulse durations, connect an external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

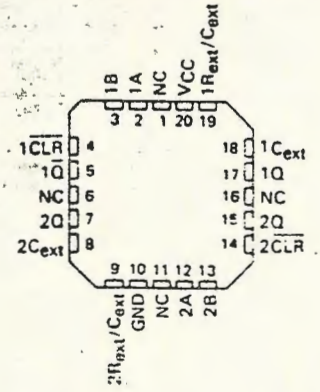
SN54123, SN54130, SN54LS123 . . . J OR W PACKAGE
SN74123, SN74130 . . . N PACKAGE
SN74LS123 . . . D OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



SN54LS122 . . . FK PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



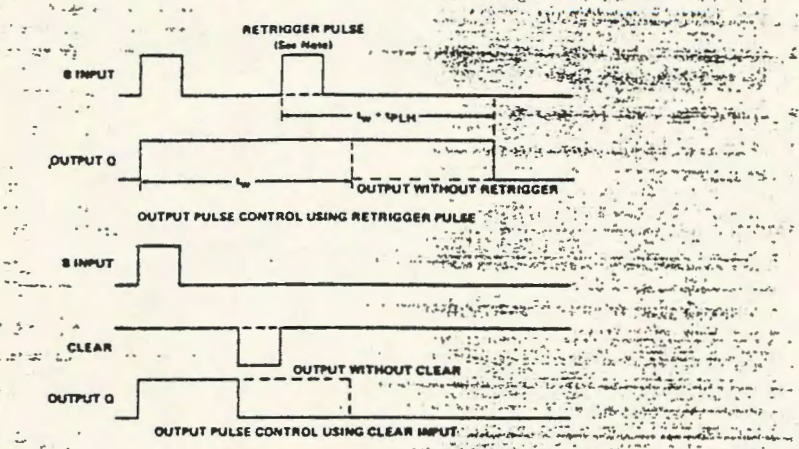
SN54LS123 . . . FK PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



NC No internal connection

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

description (continued)



NOTE: Retrigger pulses starting before 0.22 C_{ext} (in picofrads) nanoseconds after the initial trigger pulse will be ignored and the output duration will remain unchanged.

FIGURE 1–TYPICAL INPUT/OUTPUT PULSES

'122, 'LS122
FUNCTION TABLE

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\bar{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L↑	H↑
X	X	X	L	X	L↑	H↑
X	X	X	X	L	L↑	H↑
H	L	X	↑	H	⊓	⊔
H	L	X	H	↑	⊓	⊔
H	X	L	↑	H	⊓	⊔
H	X	L	H	↑	⊓	⊔
H	H	↓	H	H	⊓	⊔
H	↓	↓	H	H	⊓	⊔
H	↓	H	H	H	⊓	⊔
↑	L	X*	H	H	⊓	⊔
↑	X	L	H	H	⊓	⊔

'123, '130, 'LS123
FUNCTION TABLE

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L↑	H↑
X	X	L	L↑	H↑
H	L	↑	⊓	⊔
H	↓	H	⊓	⊔
↑	L	H	⊓	⊔

See explanation of function tables on page

† These lines of the functional tables assume that the indicated steady-state conditions at the A and B inputs have been set up long enough to complete any pulse started before the set up.

recommended operating conditions

	SN54LS'			SN74LS'			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse duration, t_w	40			40			ns
External timing resistance, R_{ext}	5		180	5		260	kΩ
External capacitance, C_{ext}	No restriction			No restriction			
Wiring capacitance at R_{ext}/C_{ext} terminal			50			50	pF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†			SN54LS'			SN74LS'			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V, I_{OH} = −400 μA		2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7 V				0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7 V				20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC} = MAX,	See Note 13	'LS122		6	11		6	11	mA
				'LS123		12	20		12	20	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C
§Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
NOTES: 12. To measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q, ground R_{ext}/C_{ext}, apply 2 V to B and clear, and pulse A from 2 V to 0 V.
13. With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V is applied to A or B inputs.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 8)

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	A	Q	C_{ext} = 0, C_L = 15 pF,	R_{ext} = 5 kΩ, R_L = 2 kΩ		23	33	ns
	B					29	44	
t_{PHL}	A	$\overline{Q}$				32	48	ns
	b					38	56	
t_{PHL}	Clear	Q				29	37	ns
t_{PLH}		$\overline{Q}$				29	45	
t_{WQ} (min)	A or b	Q				110	200	ns
t_{WQ}	A or B	Q	C_{ext} = 1000 pF, C_L = 15 pF,	R_{ext} = 10 kΩ, R_L = 2 kΩ	4	4.5	5	μs

¶t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{WQ} = duration of pulse at output Q
NOTE 8. Load circuits and voltage waveforms are shown in Section 1.

TYPICAL APPLICATION DATA FOR 'LS122, 'LS123

The basic output pulse duration is essentially determined by the values of external capacitance and timing resistance. For pulse durations when $C_{ext} \leq 1000$ pF, use Figure 6, or use Figure 7 where the pulse duration may be defined as:

$$t_w = K \cdot R_T \cdot C_{ext}$$

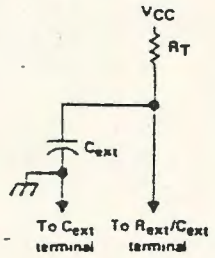
When $C_{ext} \geq 1\ \mu F$, the output pulse width is defined as:

$$t_w = 0.33 \cdot R_T \cdot C_{ext}$$

For the above two equations, as applicable:

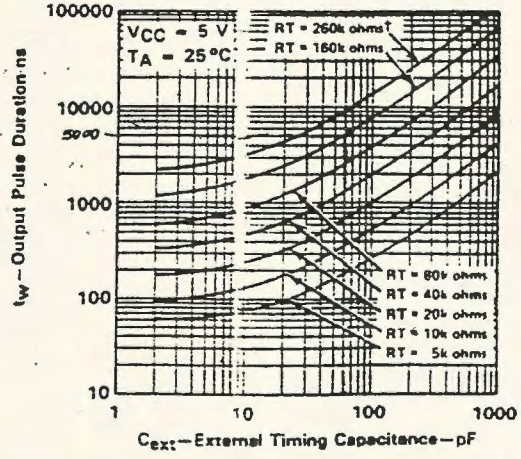
K is multiplier factor, see Figure 7
R_T is in kΩ (internal or external timing resistance)
C_{ext} is in pF
t_w is in ns

For maximum noise immunity, system ground should be applied to the C_{ext} node, even though the C_{ext} node is already tied to the ground lead internally. Due to the timing scheme used by the 'LS122 and 'LS123, a switching diode is not required to prevent reverse biasing when using electolytic capacitors.



TIMING COMPONENT CONNECTIONS
FIGURE 5

'LS122, 'LS123
TYPICAL OUTPUT PULSE DURATION
vs
EXTERNAL TIMING CAPACITANCE



†This value of resistance exceeds the maximum recommended for use over the full temperature range of the SN54LS circuits.

FIGURE 6

SN54122, SN54123, SN54130, SN54LS122, SN54LS123, SN74122, SN74123, SN74130, SN74LS122, SN74LS123
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

DECEMBER 1983 – REVISED MARCH 1988

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- '122 and 'LS122 Have Internal Timing Resistors

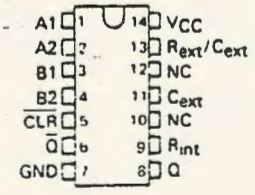
description

These d-c triggered multivibrators feature output pulse-duration control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122 and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse duration may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

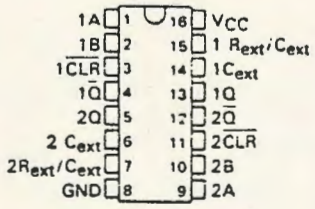
The R_{int} in nominall 10 kΩ for '122 and 'LS122.

SN54122, SN54LS122 . . . J OR W PACKAGE
SN74122 . . . N PACKAGE
SN74LS122 . . . D OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)

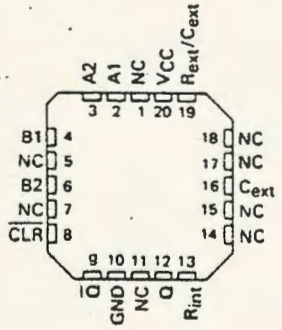


NOTES: 1. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
2. To use the internal timing resistor of '122 or 'LS122, connect R_{int} to V_{CC}.
3. For improved pulse duration accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
4. To obtain variable pulse durations, connect an external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

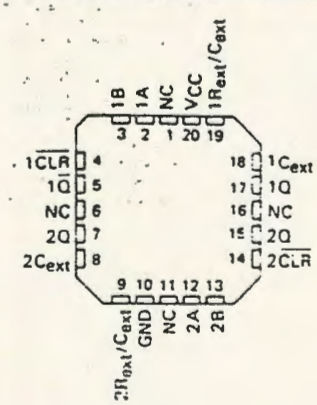
SN54123, SN54130, SN54LS123 . . . J OR W PACKAGE
SN74123, SN74130 . . . N PACKAGE
SN74LS123 . . . D OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



SN54LS122 . . . FK PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)

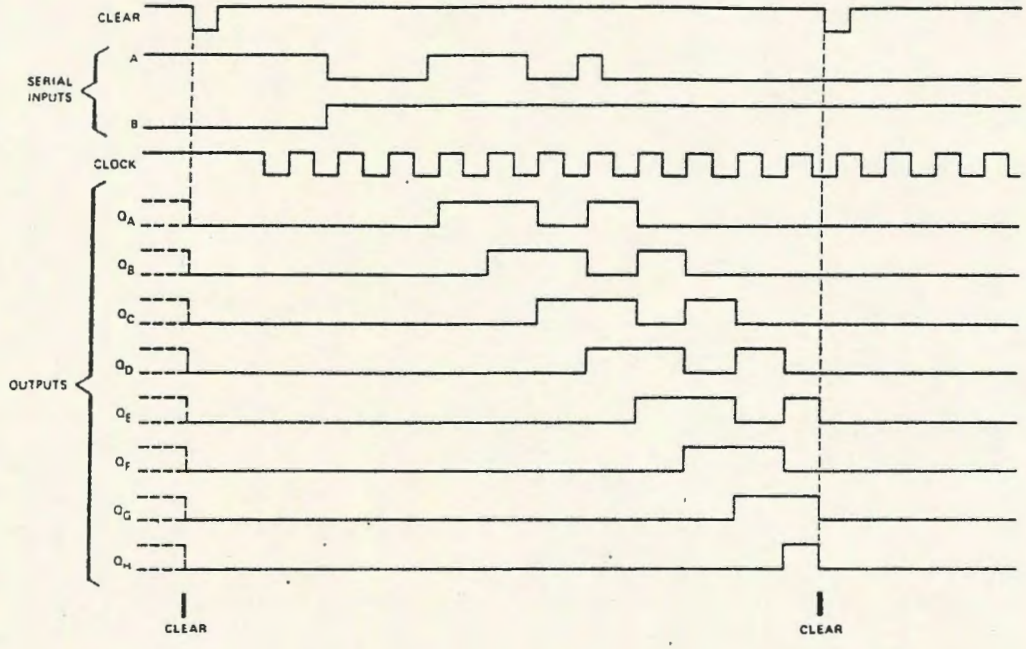


SN54LS123 . . . FK PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)

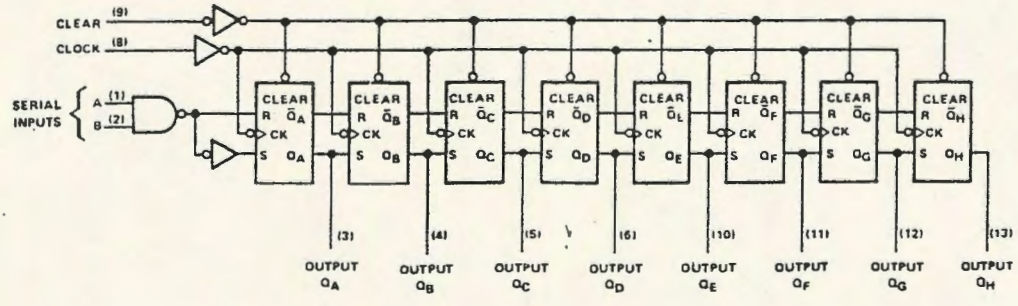


NC No internal connection

typical clear, shift, and clear sequences



functional block diagram



TYPES SN54LS164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

REVISED OCTOBER 1976

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS164 . . . . . −55°C to 125°C
SN74LS164 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{su} (see Figure 1)	15			15			ns
Data hold time, t_h (see Figure 1)	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†			SN54LS164			SN74LS164			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2 V, I_{OH} = −400 μA		2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7 V				0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7 V				20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX,	See Note 3			16	27		16	27	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 3: I_{CC} is measured with outputs open, serial inputs grounded, the clock input at 2.4 V, and a momentary ground, then 4.5 V applied to clear.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	C_L = 15 pF, R_L = 2 kΩ, See Figure 1	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clear input			24	36	ns
t_{PLH}	Propagation delay time, low-to-high-level Q outputs from clock input			17	27	ns
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clock input			21	32	ns

MARCH 1974—REVISED

'90A, 'LS90 . . . Decade Counters

'92A, 'LS92 . . . Divide By-Twelve Counters

'93A, 'LS93 . . . 4-Bit Binary Counters

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'92A, '93A	130 mW
'LS90, 'LS92, 'LS93	45 mW

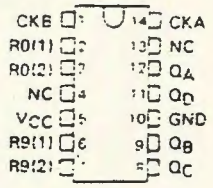
description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'LS90, divide-by-six for the '92A and 'LS92, and the divide-by-eight for the '93A and 'LS93.

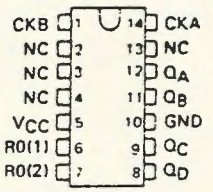
All of these counters have a gated zero reset and the '90A and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the CKB input is connected to the Q_A output. The input count pulses are applied to CKA input and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'LS90 counters by connecting the Q_D output to the CKA input and applying the input count to the CKB input which gives a divide-by-ten square wave at output Q_A.

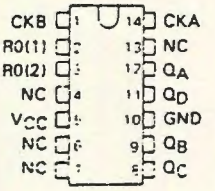
SN5490A, SN54LS90 . . . J OR W PACKAGE
SN7490A . . . N PACKAGE
SN74LS90 . . . D OR N PACKAGE
(TOP VIEW)



SN5492A, SN54LS92 . . . J OR W PACKAGE
SN7492A . . . N PACKAGE
SN74LS92 . . . D OR N PACKAGE
(TOP VIEW)



SN5493A, SN54LS93 . . . J OR W PACKAGE
SN7493 . . . N PACKAGE
SN74LS93 . . . D OR N PACKAGE
(TOP VIEW)



NC—No internal connection

'90A, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'90A, 'LS90
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

'93A, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

NOTES A. Output Q_A is connected to input CKB for BCD count.
B. Output Q_D is connected to input CKA for bi-quinary count.
C. Output Q_A is connected to input CKB.
D. H = high level, L = low level, X = irrelevant

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage: R inputs . . . . . 7 V
A and B inputs . . . . . 5.5 V
Operating free-air temperature range: SN54LS' Circuits . . . . . −55°C to 125°C
SN74LS' Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS90 SN54LS92 SN54LS93			SN74LS90 SN74LS92 SN74LS93			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count} (see Figure 1)	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	30			30			
Reset inactive-state setup time, t_{su}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

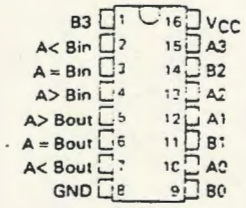
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		SN54LS90 SN54LS92			SN74LS90 SN74LS92			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN,	I_I = −18 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V, I_{OH} = −400 μA	2.5	3.4		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V, I_{OL} = 4 mA§		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA§					0.35	0.5	
I_I	Input current at maximum input voltage	Any reset	V_{CC} = MAX,	V_I = 7 V			0.1			0.1	mA
		CKA	V_{CC} = MAX,	V_I = 5.5 V			0.2			0.2	
		CKB					0.4			0.4	
I_{IH}	High-level input current	Any reset	V_{CC} = MAX,	V_I = 2.7 V			20			20	μA
		CKA					40			40	
		CKB					80			80	
I_{IL}	Low-level input current	Any reset	V_{CC} = MAX,	V_I = 0.4 V			−0.4			−0.4	mA
		CKA					−2.4			−2.4	
		CKB					−3.2			−3.2	
I_{OS}	Short-circuit output current§		V_{CC} = MAX		−20		−100	−20		−100	mA
I_{CC}	Supply current		V_{CC} = MAX,	See Note 3	'LS90		9	15		9	15	mA
					'LS92		9	15		9	15	

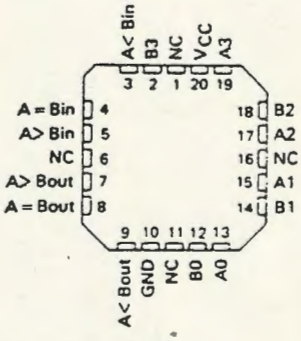
†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
¶Q_A outputs are tested at specified I_{OL} plus the limit value of I_{IL} for the CKB input. This permits driving the CKB input while maintaining full fan-out capability.
NOTE 3: I_{CC} is measured with all outputs open, both R$_0$ inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . N PACKAGE
SN74LS85, SN74S85 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS85, SN54S85 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

recommended operating conditions

	SN54LS85			SN74LS85			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		SN54LS85			SN74LS85			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.7	V
V_{IK}	Input clamp voltage		V_{CC} = MIN,	I_I = −18 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2 V, I_{OH} = −400 μA	2.5	3.4		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	A < B, A > B inputs	V_{CC} = MAX,	V_I = 7 V			0.1			0.1	mA
		all other inputs					0.3			0.3	
I_{IH}	High-level input current	A < B, A > B inputs	V_{CC} = MAX,	V_I = 2.7 V			20			20	μA
		all other inputs					60			60	
I_{IL}	Low-level input current	A < B, A > B inputs	V_{CC} = MAX,	V_I = 0.4 V			−0.4			−0.4	mA
		all other inputs					−1.2			−1.2	
I_{OS}	Short-circuit output current§		V_{CC} = MAX		−20		−100	−20		−100	mA
I_{CC}	Supply current		V_{CC} = MAX,	See Note 4		10.4	20		10.4	20	mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 4: I_{CC} is measured with outputs open, A = B grounded, and all other inputs at 4.5 V.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM INPUT	TO OUTPUT	NUMBER OF GATE LEVELS	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Any A or B data input	A < B, A = B	1	C_L = 15 pF, R_L = 2 kΩ, See Note 5		14		ns
			2			19		
			3			24	36	
		A > B	4			27	45	
t_{PHL}	Any A or B data input	A < B, A = B	1			11		ns
			2			15		
			3			20	30	
		A > B	4			23	45	
t_{PLH}	A = B or A = B	A = B	1			14	22	ns
t_{PHL}	A = B or A = B	A = B	1			11	17	ns
t_{PLH}	A = B	A = B	2			12	20	ns
t_{PHL}	A = B	A = B	2			13	20	ns
t_{PLH}	A = B or A = B	A = B	1			14	22	ns
t_{PHL}	A = B or A = B	A = B	1			11	17	ns

¶t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
NOTE 5: Load circuits and voltage waveforms are shown in Section 1.

OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

OCTOBER 1975 – REVISED MARCH 1988

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection ('S373 and 'S374)
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)

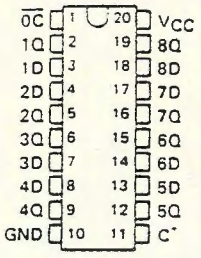
'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

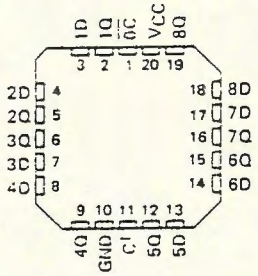
'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

SN54LS373, SN54LS374, SN54S373, SN54S374 . . . J OR W PACKAGE
SN74LS373, SN74LS374, SN74S373, SN74S374 . . . DW OR N PACKAGE
(TOP VIEW)



SN54LS373, SN54LS374, SN54S373, SN54S374 . . . FK PACKAGE
(TOP VIEW)



'C for 'LS373 and 'S373; CLK for 'LS374 and 'S374

description

These 8-bit registers feature three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (C) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

description (continued)

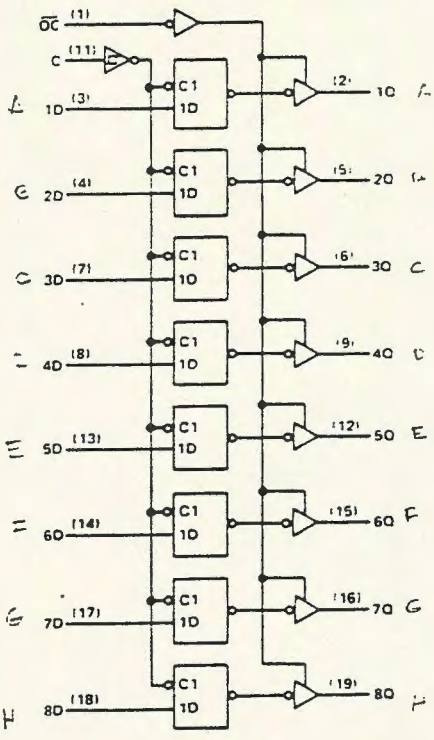
The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines of the 'S373 and 'S374 devices, simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

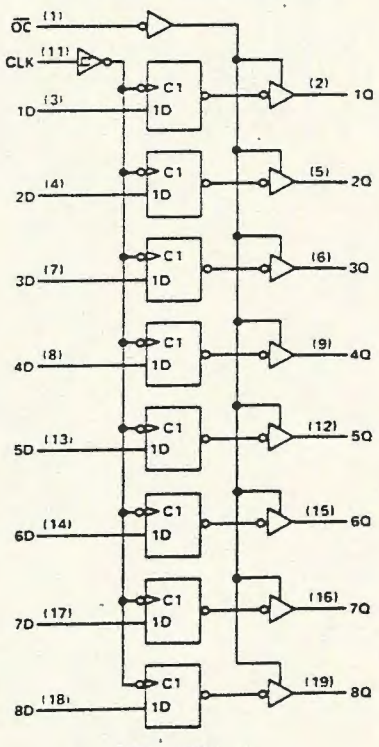
logic diagrams (positive logic)

'LS373, 'S373
TRANSPARENT LATCHES



† for 'S373 only

'LS374, 'S374
POSITIVE-EDGE-TRIGGERED FLIP-FLOPS



† for 'S374 only

Pin numbers shown are for DW, J, N, and W packages

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Off-state output voltage . . . . . 5.5 V
Operating free-air temperature range: SN54LS' . . . . . −55°C to 125°C
SN74LS' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1. Voltage values are with respect to network ground terminal.

recommended operating conditions

			SN54LS'			SN74LS'			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V_{OH}	High-level output voltage				5.5			5.5	V
I_{OH}	High-level output current				−1			−2.6	mA
I_{OL}	Low-level output current				12			24	mA
t_w	Pulse duration	CLK high	15			15			ns
		CLK low	15			15			
t_{su}	Data setup time	'LS373	5			5			ns
		'LS374	20			20			
t_h	Data hold time	'LS373	20			20			ns
		'LS374	5‡			0‡			
T_A	Operating free-air temperature		−55		125	0		70	°C

‡The t_h specification applies only for data frequency below 10 MHz. Designs above 10 MHz should use a minimum of 5 ns. (Commercial only)

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS'			SN74LS'			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.4		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
			I_{OL} = 24 mA					0.35	0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_O = 2.7 V				20			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_O = 0.4 V				−20			−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−30		−130	−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5 V	'LS373		24	40		24	40	mA
			'LS374		27	40		27	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

SN5474, SN54LS74A, SN54S74, SN7474, SN74LS74A, SN74S74

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

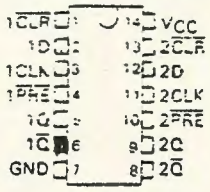
The SN54' family is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74' family is characterized for operation from 0°C to 70°C.

FUNCTION TABLE

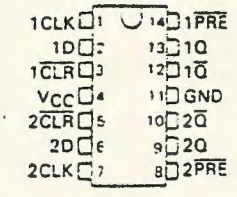
INPUTS				OUTPUTS	
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H†	H†
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	↓	X	Q_0	$\overline{Q}_0$

† The output levels in this configuration are not guaranteed to meet the minimum levels for V_{OH} if the lows at preset and clear are near V_{IL} maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

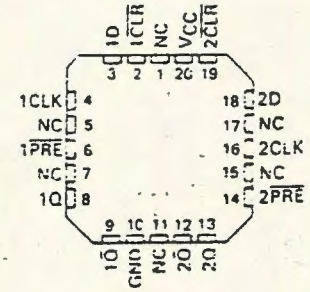
SN5474 . . . J PACKAGE
SN54LS74A, SN54S74 . . . J OR W PACKAGE
SN7474 . . . N PACKAGE
SN74LS74A, SN74S74 . . . D OR N PACKAGE
(TOP VIEW)



SN5474 . . . W PACKAGE
(TOP VIEW)

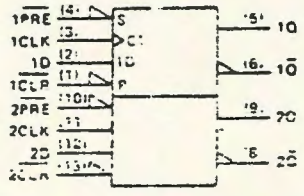


SN54LS74A, SN54S74 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

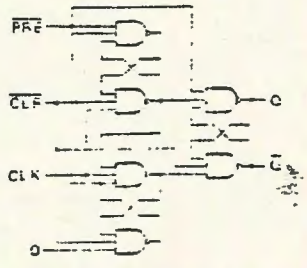
logic symbol‡



‡ This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

Pin numbers shown are for D, J, and N packages.

logic diagram (positive logic)



recommended operating conditions

			SN54LS74A			SN74LS74A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.7			0.8	V
I_{OH}	High-level output current				−0.4			−0.4	mA
I_{OL}	Low-level output current				4			8	mA
f_{clock}	Clock frequency		0		25	0		25	MHz
t_w	Pulse duration	CLK high	25			25			ns
		PRE or CLR low	25			25			
t_{su}	Setup time before CLK↑	High-level data	20			20			ns
		Low-level data	20			20			
t_h	Hold time, data after CLK↑		5			5			ns
T_A	Operating free-air temperature		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†			SN54LS74A			SN74LS74A			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IK}		V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}		V_{CC} = MIN, I_{OH} = −0.4 mA	V_{IH} = 2 V,	V_{IL} = MAX,	2.5	3.4		2.7	3.4		V
V_{OL}		V_{CC} = MIN, I_{OL} = 4 mA	V_{IL} = MAX,	V_{IH} = 2 V,		0.25	0.4		0.25	0.4	V
		V_{CC} = MIN, I_{OL} = 8 mA	V_{IL} = MAX,	V_{IH} = 2 V,					0.35	0.5	
I_I	CLK	V_{CC} = MAX,	V_I = 7 V				0.1			0.1	mA
	$\overline{CLR}$ or $\overline{PRE}$						0.2			0.2	
I_{IH}	CLK	V_{CC} = MAX,	V_I = 2.7 V				20			20	μA
	$\overline{CLR}$ or $\overline{PRE}$						40			40	
I_{IL}	CLK	V_{CC} = MAX,	V_I = 0.4 V				−0.4			−0.4	mA
	$\overline{CLR}$ or $\overline{PRE}$						−0.8			−0.8	
I_{OS}§		V_{CC} = MAX,	See Note 4		−20		−100	−20		−100	mA
I_{CC} (Total)		V_{CC} = MAX,	See Note 2			4	8		4	8	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.
NOTE 2: With all outputs open, I_{CC} is measured with the Q and $\overline{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.
NOTE 4: For certain devices where state commutation can be caused by shorting an output to ground, an equivalent test may be performed with V_O = 2.25 V and 2.125 V for the 54 family and the 74 family, respectively, with the minimum and maximum limits reduced to one half of their stated values.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			R_L = 2 kΩ, C_L = 15 pF	25	33		MHz
t_{PLH}	$\overline{CLR}$, $\overline{PRE}$ or CLK	Q or $\overline{Q}$			13	25	ns
t_{PHL}					25	40	ns

Note 3. Load circuits and voltage waveforms are shown in Section 1.

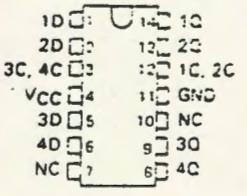
FUNCTION TABLE
(each latch)

INPUTS		OUTPUTS	
D	C	Q	$\overline{Q}$
L	H	L	H
H	H	H	L
X	L	Q_0	$\overline{Q}_0$

H = high level, L = low level, X = irrelevant
Q_0 = the level of Q before the high-to-low transition of C

SN5475, SN54LS75 . . . J OR W PACKAGE
SN7475 . . . N PACKAGE
SN74LS75 . . . D OR N PACKAGE
(TOP VIEW)

SN5477, SN54LS77 . . . W PACKAGE
(TOP VIEW)



NC – No internal connection

description

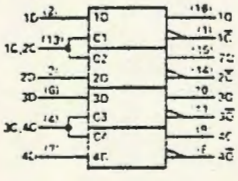
These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable (C) is high and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information that was present at the data input at the time the transition occurred is retained at the Q output until the enable is permitted to go high.

The '75 and 'LS75 feature complementary Q and $\overline{Q}$ outputs from a 4-bit latch, and are available in various 16-pin packages. For higher component density applications, the '77 and 'LS77 4-bit latches are available in 14-pin flat packages.

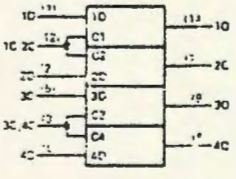
These circuits are completely compatible with all popular TTL families. All inputs are diode-clamped to minimize transmission-line effects and simplify system design. Series 54 and 54LS devices are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74 and 74LS devices are characterized for operation from 0°C to 70°C.

logic symbols†

'75, 'LS75



'77, 'LS77



†These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (See Note 1) . . . . . 7 V
Input voltage, '75, '77 . . . . . 5.5 V
'LS75, 'LS77 . . . . . 7 V
Interemitter voltage (see Note 2) . . . . . 5.5 V
Operating free-air temperature range: SN54' . . . . . −55°C to 125°C
SN74' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTES: 1. Voltage values are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter input transistor and is not applicable to the 'LS75 and 'LS77.

recommended operating conditions

	SN54LS75 SN54LS77			SN74LS75			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−4[‡]			−400	μA
Low-level output current, I_{OL}			4			8	mA
Width of enabling pulse, t_w	20			20			ns
Setup time, t_{su}	20			20			ns
Hold time, t_h	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS[†]			SN54LS75 SN54LS77			SN74LS75			UNIT
					MIN	TYP[‡]	MAX	MIN	TYP[‡]	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2 V, I_{OH} = −400 μA		2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7 V	D input			0.1			0.1	mA
				C input			0.4			0.4	
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7 V	D input			20			20	μA
				C input			80			80	
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4 V	D input			−0.4			−0.4	mA
				C input			−1.6			−1.6	
I_{OS}	Short-circuit output current[§]	V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX,	See Note 2	'LS75		6.3	12		6.3	12	mA
				'LS77		6.9	13				

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
[‡] All typical values are at V_{CC} = 5 V, T_A = 25°C.
[§] Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: I_{CC} is tested with all inputs grounded and all outputs open.

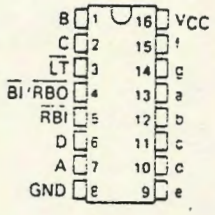
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER[¶]	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS75			'LS77			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	D	Q	C_L = 15 pF, R_L = 2 kΩ, See Figure 1		15	27		11	19	ns
t_{PHL}					9	17		9	17	
t_{PLH}	D	$\bar{Q}$			12	20				ns
t_{PHL}					7	15				
t_{PLH}	C	Q			15	27		10	16	ns
t_{PHL}					14	25		10	16	
t_{PLH}	C	$\bar{Q}$			16	30				ns
t_{PHL}					7	15				

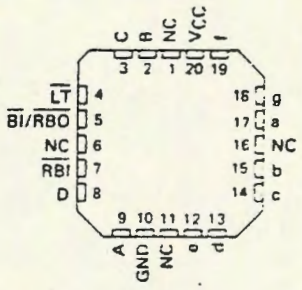
[¶] t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

'46A, '47A, 'LS47 feature	'48, 'LS48 feature	'LS49 feature
• Open-Collector Outputs Drive Indicators Directly	• Internal Pull-Ups Eliminate Need for External Resistors	• Open-Collector Outputs
• Lamp-Test Provision	• Lamp-Test Provision	• Blanking Input
• Leading/Trailing Zero Suppression	• Leading/Trailing Zero Suppression	

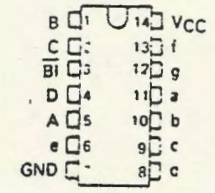
SN5446A, SN5447A, SN54LS47, SN5448,
SN54LS48 . . . J PACKAGE
SN7446A, SN7447A,
SN7448 . . . N PACKAGE
SN74LS47, SN74LS48 . . . D OR N PACKAGE
(TOP VIEW)



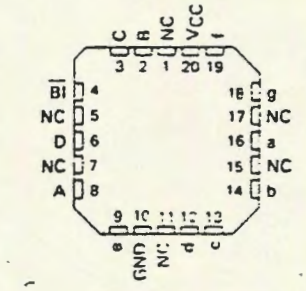
SN54LS47, SN54LS48 . . . FK PACKAGE
(TOP VIEW)



SN54LS49 . . . J OR W PACKAGE
SN74LS49 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS49 . . FK PACKAGE
(TOP VIEW)



NC = No internal connection

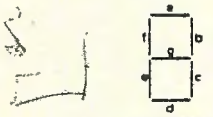
TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

description

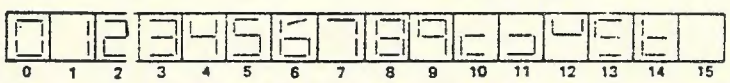
The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control ($\overline{RBI}$ and $\overline{RBO}$). Lamp test ($\overline{LT}$) of these types may be performed at any time when the $\overline{BI}/\overline{RBO}$ node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input ($\overline{BI}$), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the '5' and the '5' with tails and were designed to offer the designer a choice between two indicator fonts.



SEGMENT IDENTIFICATION



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS					$\overline{BI}/\overline{RBO}$†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

NOTES. 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{RBI}$) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are off regardless of the levels of any other input.
3. When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output ($\overline{RBO}$) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

†$\overline{BI}/\overline{RBO}$ is wire-AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$).

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Peak output current ($t_w \leq 1$ ms, duty cycle $\leq 10\%$) . . . . . 200 mA
Current forced into any output in the off state . . . . . 1 mA
Operating free-air temperature range: SN54LS47 . . . . . −55°C to 125°C
SN74LS47 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1. Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS47			SN74LS47			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
Off-state output voltage, $V_{O(off)}$	a thru g			15			15	V
On-state output current, $I_{O(on)}$	a thru g			12			24	mA
High-level output current, I_{OH}	$\overline{BI}/\overline{RBO}$			−50			−50	μA
Low-level output current, I_{OL}	$\overline{BI}/\overline{RBO}$			1.6			3.2	mA
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		SN54LS47			SN74LS47			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN,	I_I = −18 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	$\overline{BI}/\overline{RBO}$	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2 V, I_{OH} = −50 μA	2.4	4.2		2.4	4.2		V
V_{OL}	Low-level output voltage	$\overline{BI}/\overline{RBO}$	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 1.6 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 3.2 mA					0.35	0.5	
$I_{O(off)}$	Off-state output current	a thru g	V_{CC} = MAX, V_{IL} = V_{IL} max,	V_{IH} = 2 V, $V_{O(off)}$ = 15 V			250			250	μA
$V_{O(on)}$	On-state output voltage	a thru g	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	$I_{O(on)}$ = 12 mA		0.25	0.4		0.25	0.4	V
				$I_{O(on)}$ = 24 mA					0.35	0.5	
I_I	Input current at maximum input voltage		V_{CC} = MAX,	V_I = 7 V			0.1			0.1	mA
I_{IH}	High-level input current		V_{CC} = MAX,	V_I = 2.7 V			20			20	μA
I_{IL}	Low-level input current	Any input except $\overline{BI}/\overline{RBO}$	V_{CC} = MAX,	V_I = 0.4 V			−0.4			−0.4	mA
		$\overline{BI}/\overline{RBO}$					−1.2			−1.2	
I_{OS}	Short-circuit output current	$\overline{BI}/\overline{RBO}$	V_{CC} = MAX		−0.3		−2	−0.3		−2	mA
I_{CC}	Supply current		V_{CC} = MAX,	See Note 2		7	13		7	13	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
NOTE 2: I_{CC} is measured with all outputs open and all inputs at 4.5 V.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{pHL}	Turn-off time from A input	C_L = 15 pF, R_L = 665 Ω, See Note 3			100	ns
t_{pLH}	Turn-on time from A input				100	
t_{pHL}	Turn-off time from $\overline{RBI}$ input, outputs latched				100	ns
t_{pLH}	Turn-on time from $\overline{RBI}$ input, outputs latched				100	

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

2-165

TTL Devices