

# UNIVERSIDAD DON BOSCO



## "DISEÑO Y CONSTRUCCION DE UNA CENTRAL TELEFONICA SPC"

PRESENTADO POR:

**JUAN CARLOS NUÑEZ RODRIGUEZ  
ELLIOT ALEJANDRO LAINEZ SOLORZANO**

PREVIA OPCION AL TITULO DE  
**TECNICO EN INGENIERIA ELECTRONICA**

MARZO, 1994

SAN SALVADOR, EL SALVADOR, CENTRO AMERICA

## INDICE.

PAGINA

INTRODUCCION

OBJETIVOS

CAPITULO I. INTRODUCCION A LAS CENTRALES SPC.	1
1.1 Determinación de los requerimientos	1
1.2 Realización de funciones	2
1.3 El aparato telefónico	5
1.4 La parte de conmutación	6
1.5 Descripción general de la central telefónica	7
CAPITULO II. DISEÑO DEL CIRCUITO INTERFACE DE LINEA	8
2.1 Introducción	8
2.2 Detector de cruce por cero con histéresis	9
2.2.1 Definición de la histéresis	9
2.3 Detectores de nivel de voltaje con histéresis	10
2.3.1 Introducción	10
2.3.2 Detector no inversor de nivel de voltaje con histéresis	12
2.3.3 Detector inversor de nivel de voltaje con histéresis	13
2.4 Detector de nivel de voltaje con ajuste indepen- diente de la histéresis y del voltaje centrado	14
2.5 CI comparador de precisión, 311	16
2.5.1 Introducción	16
2.5.2 Operación de la terminal de salida	16
2.6 Diseño del circuito	18
CAPITULO III. EL CIRCUITO DECODIFICADOR DE TONO, KR	20
3.1 Introducción	20
3.2 Phase Locked Loop	21
3.2.1 Introducción	21
3.2.3 El CI 567	23
3.3 Diseño del circuito	23
3.4 El CI 555	26

3.5 Tono de marcar	27
CAPITULO IV. EL CIRCUITO BS	29
4.1 Introducción	29
4.2 Diseño del Circuito	29
CAPITULO V. LA MATRIZ DE CONMUTACION	31
5.1 Introducción	31
5.2 Switch Amplificador para relé	32
5.3 Circuito ABJ	34
CAPITULO VI. PROGRAMA DE CONTROL	36
6.1 Introducción	36
6.2 Programa en Código de Máquina	37
ANEXO 1. HOJA DE MATERIALES Y COSTOS	38
ANEXO 2. APLICACIONES DEL PROYECTO	39
ANEXO 3. PROBLEMAS SURGIDOS EN LA IMPLEMENTACION	40
ANEXO 4. CONCLUSIONES	41
ANEXO 5. BIBLIOGRAFIA	42
ANEXO 6. HOJAS TECNICAS DE LOS ELEMENTOS UTILIZADOS	43

## INTRODUCCION

El objetivo principal del siguiente trabajo es brindar la información necesaria y los cálculos básicos para la construcción de los circuitos que operan en una central SPC; mostrando a la vez una descripción general de la central y de cada una de sus partes. Para que el lector pueda comprender el funcionamiento de la central telefónica, el método y la secuencia de pasos para la construcción de la misma, es necesario que tome como referencia los conceptos básicos que este trabajo escrito expone y pueda interpretar los diagramas y cálculos aquí contenidos.

Es necesaria para una mayor comprensión del lector, plantear una introducción a las centrales SPC. Esta información se encuentra en el capítulo I de este reporte. Además, se enuncian las partes de que consta la central telefónica y se explica ampliamente cada una de ellas.

Los criterios de diseño, los diagramas y el funcionamiento de cada parte se presentan en capítulos individuales (del II al V), y el capítulo VI presenta el programa de control, el cual es el corazón de la central telefónica. Los diagramas y hojas de datos de los elementos empleados en la construcción de la central son de mucha importancia ya que es necesario conocer a fondo las características eléctricas de cualquier componente a la hora de hacer un diseño. La experiencia dice que la práctica es distinta a la teoría, por eso se plantean algunos de los problemas más importantes surgidos durante la construcción de la central.

Se incluye en el reporte una lista de libros consultados para el diseño de la central telefónica. Además, ésta bibliografía incluye libros que el lector puede ocupar para ahondar más en el tema.

Las conclusiones presentan las experiencias que se obtienen al diseñar e implementar los circuitos que componen una central telefónica manejada por programa almacenado (SPC). Se incluye una lista de aplicaciones prácticas de la central telefónica y una hoja de costos que describe parte de la inversión necesaria para implementarla.

## OBJETIVOS

### OBJETIVO GENERAL

Diseñar y construir los circuitos que componen a una central telefónica controlada por programa almacenado (SPC).

### OBJETIVOS ESPECIFICOS

1. Presentar la información introductoria a las centrales SPC y una descripción detallada de cada una de sus partes. Plantear el funcionamiento básico de cada una de ellas y como se relacionan entre sí.
2. Presentar los diagramas que describen la central telefónica. Mostrar la hoja de datos de los elementos utilizados en la construcción de la central, planteando al mismo tiempo la importancia de estas en la implementación del circuito.
3. Presentar un reporte que sea la guía para entender el funcionamiento de la central SPC que se ha implementado.

## CAPITULO I. INTRODUCCION A LAS CENTRALES SPC.

### 1.1 DETERMINACION DE LOS REQUERIMIENTOS.

Con miras a demostrar los principios básicos de un sistema controlado por el programa almacenado (SPC), se construirá una pequeña central para llamadas internas, solamente con tres abonados que tienen aparatos telefónicos de teclado (push-button) de tipo ordinario. La central opera de acuerdo con las siguientes reglas:

- Un abonado que desee hacer una llamada (abonado A) levanta su microteléfono. La central deberá entonces enviar tono de marcar a este abonado.
- Cuando el abonado A oye el tono de marcar, puede informar por medio de su teclado, a la central, con qué abonado desea comunicarse, es decir envía el número del abonado deseado.
- Cuando la central ha recibido el número del abonado deseado (abonado B), debe enviar la señal de timbre al abonado B y el tono de llamada al abonado A.
- Cuando el abonado B responde (=descuelga su microteléfono) la señal de timbre y el tono de llamada deben terminar, estableciendo una conexión de habla entre los abonados A y B.
- Cuando cualquiera de los abonados repone su microteléfono la vía de habla debe ser desconectada y al otro abonado enviarle tono de ocupado.
- La central sólo aceptará información digital de un solo abonado al tiempo. Si otro abonado trata de iniciar una llamada al mismo tiempo, recibirá tono de ocupado.

- La capacidad de la planta es de una conversación al tiempo.

## 1.2 REALIZACION DE FUNCIONES.

El primer paso para estructurar el comportamiento de la central es obtener un diagrama en bloques de las diferentes funciones. Esto se hace desde dos puntos de vista: La división de hardware o la división puramente funcional.

La división de hardware (circuitaría) significa que anteriormente hemos ya delineado a groso modo, los tipos de funciones que serán realizadas con técnica de circuitos y las que serán realizadas con técnica de procesamiento de datos. Este método es fácil de entender para quienes esten acostumbrados a empezar desde un fenómeno concreto y luego investigan la filosofía abstracta sobre la cual esta basado dicho fenómeno.

División funcional significa que, basados en las reglas de comportamiento para la central, se limitan los bloques de funciones sin contar con el tipo de técnica que se va a utilizar para su realización. Este método es correcto desde el punto de vista lógico y es usado en el diseño de las centrales SPC reales.

En la figura 1.1, se muestra una forma particular de hardware. Asumiremos como base la estructura tradicional de una central SPC.

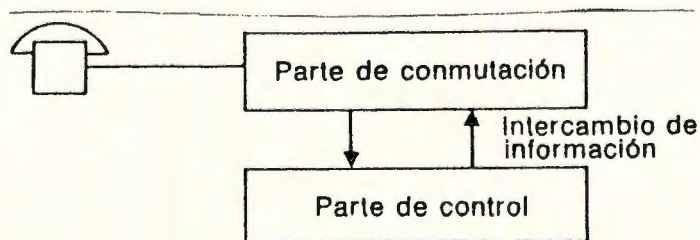


figura 1.1

(Los abonados están conectados a la parte de conmutación)

La parte de conmutación contiene conductores y contactos, sobre los cuales tiene lugar la conexión y el habla y también la transmisión de señales conocida como red de conmutación. La parte de conmutación también contiene circuitos para funciones simples de telefonía, tales como generadores de tono para obtener tono de marcar y tono de llamada, circuitos para recepción de señales de descuelgue y de aparatos de teclado para traducción de estas a una forma adecuada para la parte de control.

La parte de control contiene circuitos y programas que atienden las funciones "más inteligentes" de la central, tales como identificación e interpretación de los cambios de estado en la parte de conmutación, y la operación de circuitos en la parte de conmutación de acuerdo con los programas basados en los requerimientos del comportamiento de la central en las diferentes situaciones.

Para el diseño de los circuitos de la central, debemos tener una parte interface, a fin de lograr la comunicación en la parte de conmutación con la parte de control. Por un lado, los elementos electromecánicos generalmente requieren para su operación voltajes o corrientes superiores que los necesarios para los circuitos electrónicos, y por otro lado la velocidad de operación de los circuitos es diferente. Para los elementos electromecánicos los cambios de estado requieren de algunos milisegundos, mientras que los electrónicos en la parte de control requieren de unos pocos microsegundos, en otras palabras estos son mil veces más rápidos que aquellos.

La parte interface consta de circuitos electrónicos, bastante rápidos para reaccionar a nivel de microsegundos, y con un elemento de memoria que retenga la orden recibida de la parte de control y la transfiera a la parte de conmutación, con una duración suficiente para lograr su aceptación por parte de los elementos que forman la parte de conmutación.

Se construirá la parte de conmutación principalmente con relés (fig. 1.2), los que se encuentran controlados por un microprocesador (en el diseño de esta central se usará el 6502), el cual es un computador que controla un sistema en tiempo real, es decir, que el microprocesador debe reaccionar rápidamente todo el tiempo a señales externas y actuar de acuerdo a las señales recibidas. Se dice que el microprocesador controla un proceso, que en este caso es el de conmutación para conexiones telefónicas.

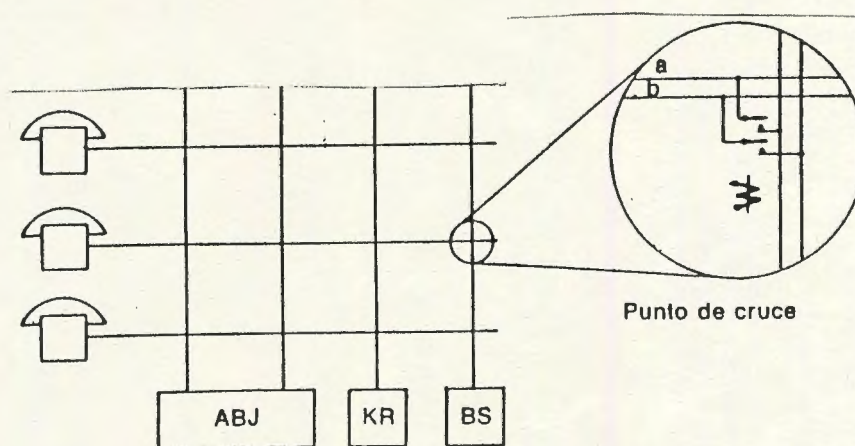


figura 1.2

El microprocesador debe conocer lo que está sucediendo en todo el tiempo en la parte de conmutación, por ejemplo si un abonado hace una llamada o repone su microteléfono. El microprocesador debe también activar la parte de conmutación para conseguir la conexión de un abonado a otro. Por tanto debe existir un intercambio de información en ambas direcciones. Esta información pasa vía a los circuitos de interface. Ver figura 1.3.

El procesador chequea, vía la parte interface, lo que sucede en la parte de conmutación, usando señales de dirección. En este caso la PIA (Peripheral Interface Adapter) se encargará de manejar los relés en la parte de conmutación.

### 1.3 EL APARATO TELEFONICO.

Cada abonado tiene un aparato telefónico de teclado.

Desde el punto de vista funcional el aparato telefónico está dividido en cuatro partes principales: circuito de habla, contacto de horquilla, campana y tablero de teclado con generadores de tono.

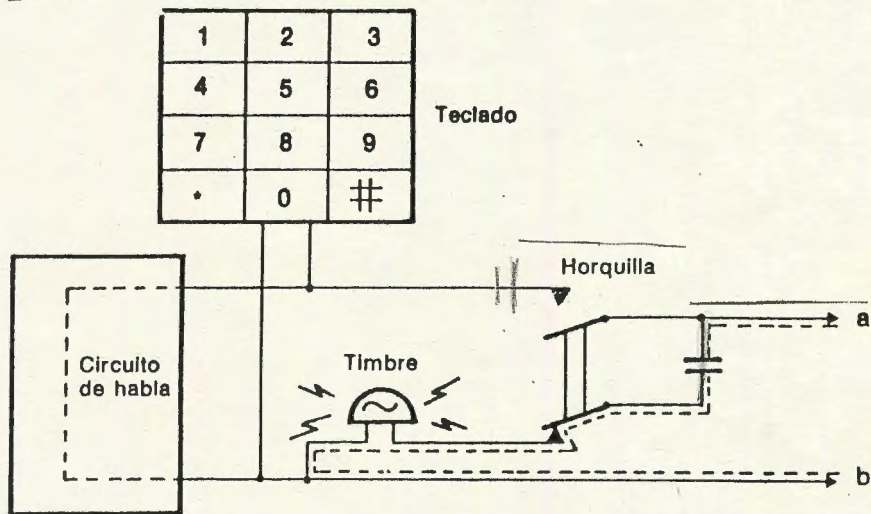


figura 1.3

El circuito de habla comprende el micrófono, el receptor y el transformador de habla. Los dos primeros están incorporados en el microteléfono.

El contacto de horquilla se conmuta cuando se levanta o repone el microteléfono. Se usa para señalización de la llamada, de desconexión y respuesta.

El timbre o campana es del tipo AC, la que se conecta a los hilos a y b (figura 1.3) de la línea de abonado vía un condensador y al contacto de horquilla.

El tablero de teclado es utilizado para el envío de los dígitos de 0 a 9 como también de las dos señales especiales, estrella (\*) y marcos (#), (Estas dos no tienen nada que ver con los signos para números hexadecimales sino son acceso a servicios

especiales en redes más avanzadas). Cuando se oprime una tecla se generan dos tonos de frecuencia de acuerdo con la tabla de la figura 1.4.

Hz →	1209	1336	1477
697	1	2	3
770	4	5	6
852	7	8	9
941	.	0	#

figura 1.4

#### 1.4 LA PARTE DE CONMUTACION.

Los tres abonados de la central están conectados a la red de contactos en la que los dispositivos de contacto son relés. En la figura 1.5 hay un relé en cada punto de cruce de una línea horizontal y una vertical. Por consiguiente se tendrá doce relés en total. Cada relé será controlado por la PIA.

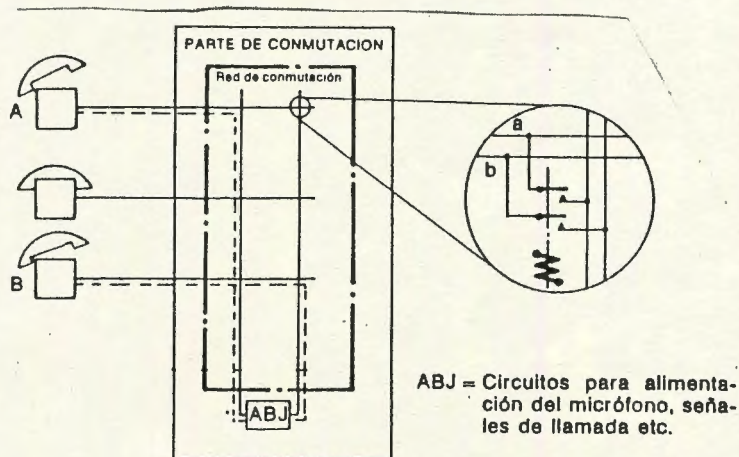


figura 1.5

Aparte de la red de contactos, la parte de conmutación consta de un número de dispositivos con diferentes funciones.

El abonado puede estar conectado vía los relés de conmutación para una conversación por medio del dispositivo ABJ ("AB Junctor"), para enviar señales desde su teclado a un KR ("Key Set Receiver", receptor de teclado) o a un BS ("Busy Sender", transmisor del tono de ocupado) si la conexión requerida no puede realizarse.

### 1.5 DESCRIPCION GENERAL DE LA CENTRAL TELEFONICA.

- Una central que esta construida en base a un sistema controlado por programa almacenado recibe el nombre de central SPC. La central esta hecha con miras demostrativas solamente para tres abonados que tienen aparatos telefónicos de teclado (push-button) de tipo ordinario.

- Se define al abonado A como el que realiza la llamada y que accesa en primer lugar a la central. El abonado B se puede definir como el que recibe la llamada y como el que accesa en segundo lugar a la central.

- Los circuitos que conforman una central SPC son:

- El interfaz de linea (LI).
- El circuito decodificador de tono (KR).
- El tono de ocupado (BS).
- El juntor AB (ABJ).
- La matriz de relés.
- La microcomputadora y el programa de control.

## CAPITULO II. DISEÑO DEL CIRCUITO INTERFACE DE LINEA.

### 2.1 INTRODUCCION.

Para conocer el estado de los contactos de horquilla de los abonados, se necesita un circuito que detecte y envíe esta información al microprocesador. A este circuito se le denomina INTERFACE DE LINEA (LI).

Generalmente este dispositivo contiene compuertas que son del tipo especial, en las cuales los estados lógicos de las entradas conectadas a las líneas de los abonados están caracterizadas por voltajes diferentes a los normales, es decir cero voltios y cinco voltios. Esto es debido a que la alimentación de abonado requiere voltajes mayores que los utilizados en circuitos lógicos. (Ver figura 2.1).

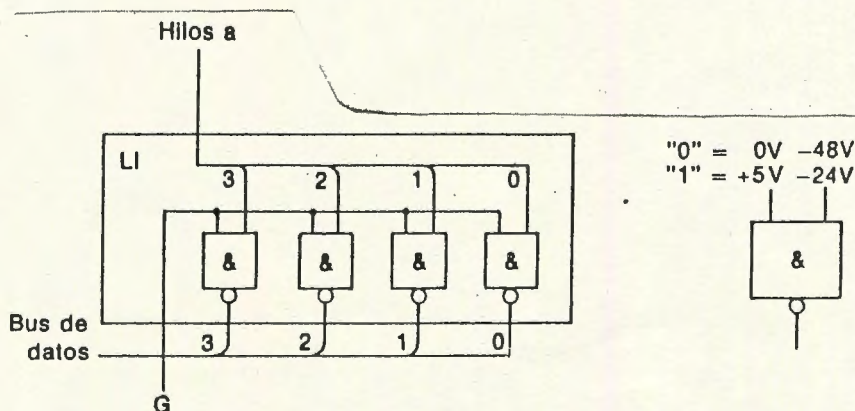


figura 2.1

Existe otro método para diseñar el circuito LI y es el de usar amplificadores operacionales como comparadores.

Un comparador analiza una señal de voltaje en una entrada con un voltaje de referencia en la otra entrada. El amp-op de propósitos generales se utilizó como un sustituto para los CI diseñados específicamente para aplicaciones de comparación.

Desafortunadamente, el voltaje de salida del  $\text{amp op}$  no cambia con mucha velocidad. También, sus cambios de salida entre los límites fijados por los voltajes de saturación,  $+V_{\text{sat}}$  y  $-V_{\text{sat}}$ , en forma típica son alrededor de  $\pm 3\text{V}$ . Por tanto, su salida no puede impulsar dispositivos, tales como CI de lógica digital TTL, que requiere niveles de voltaje entre 0 y 5V. Estas desventajas se eliminan por un integrado que haya sido diseñado específicamente para actuar como un comparador. Un dispositivo de este tipo es el 311 que se verá más adelante, porque, es el que se usará en este diseño.

## 2.2 DETECTOR DE CRUCE POR CERO CON HISTERESIS

### 2.1.1 Definición de histéresis

Hay una técnica estándar para mostrar el comportamiento de un comparador en una gráfica. Al graficar el voltaje de entrada,  $E_i$ , en el eje horizontal y el voltaje de salida,  $V_o$ , en el eje vertical, se obtiene la característica de voltaje de entrada-salida, como en la figura 2.2. Para  $E_i$  menor que el voltaje de umbral inferior,  $V_{LT}$ ,  $V_o = +V_{\text{sat}}$ . La línea vertical (a) muestra  $V_o$  que va desde  $+V_{\text{sat}}$  hasta  $-V_{\text{sat}}$  conforme  $E_i$  se vuelve mayor que el voltaje de umbral superior,  $V_{UT}$ . La línea vertical (b) muestra  $V_o$  cambiando desde  $-V_{\text{sat}}$  hasta  $+V_{\text{sat}}$  cuando  $E_i$  se vuelve menor que  $V_{LT}$ . La diferencia de voltajes entre  $V_{UT}$  y  $V_{LT}$  se denomina **VOLTAJE DE HISTERESIS,  $V_H$** .

Siempre que cualquier circuito cambia de un estado a un segundo estado a cierta señal de entrada, entonces revierte del segundo al primer estado a una señal de entrada diferente, se dice que el circuito exhibe HISTERESIS. Entonces la diferencia en las señales de entrada es:

$$V_H = V_{UT} - V_{LT} \quad (2.1)$$

Si el voltaje de histéresis está diseñado para ser mayor que

el voltaje de ruido de pico a pico, no habrá cruces falsos de salida. Por tanto,  $V_H$  indica que tanto ruido de pico a pico puede soportar el circuito.

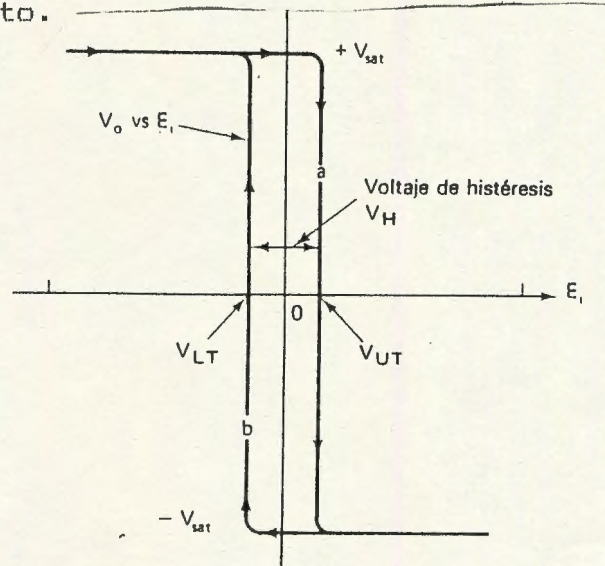


figura 2.2

## 2.3 DETECTORES DE NIVEL DE VOLTAJE CON HISTERESIS.

### 2.3.1 Introducción

En los detectores de cruce por cero, el voltaje de histéresis  $V_H$  está centrado en el cero del voltaje de referencia  $V_{ref}$ . (Ver figura 2.3).

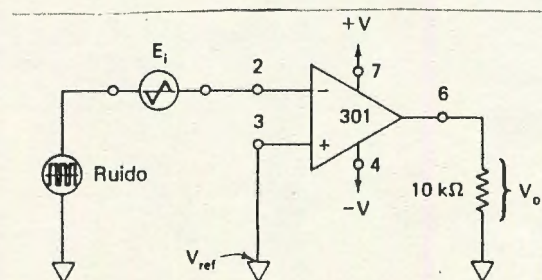


figura 2.3

También es deseable una colección de circuitos que presente histéresis alrededor de un voltaje de centro que es positivo o negativo. Por ejemplo, una aplicación puede requerir una salida positiva,  $V_o$ , cuando una entrada  $E_i$ , asciende a un voltaje de umbral superior de  $V_{UT} = 12$  Voltios. También puede desearse que  $V_o$  pase a negativo cuando  $E_i$  desciende a un voltaje de umbral más bajo de, por ejemplo,  $V_{LT} = 8$  volts. Estos requisitos se resumen en la gráfica de  $V_o$  comparado con  $E_i$  en la figura 2.4.  $V_H$  se evalúa por medio de la ecuación (2.1) como:

$$V_H = V_{UT} - V_{LT} = 12 \text{ V} - 8 \text{ V} = 4 \text{ V}$$

El voltaje de histéresis  $V_H$  debe centrarse en el promedio de  $V_{UT}$  y  $V_{LT}$ . Este promedio se denomina "Voltaje Centrado  $V_{ctr}$ ", donde:

$$V_{ctr} = (V_{UT} + V_{LT})/2 = (12 + 8)V/2 = 10 \text{ V}$$

Cuando se trata de construir este tipo de detector de nivel de voltaje, es deseable tener cuatro características: (1) Un resistor ajustable para establecer y refinar el valor de  $V_H$ ; (2) Un resistor ajustable separado para establecer el valor de  $V_{ctr}$ ; (3) El ajuste de  $V_H$  y  $V_{ctr}$  no debe interaccionar; (4) El voltaje centrado  $V_{ctr}$  debe igualar o estar relacionado en forma simple con un valor de voltaje externo de referencia  $V_{ref}$ .

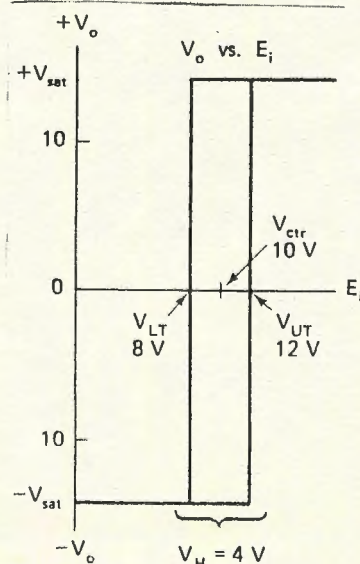


figura 2.4

### 2.3.2 Detector no inversor de nivel de voltaje con histéresis.

El resistor de retroalimentación positiva de la salida a la entrada (+) indica la presencia de histéresis en el circuito de la figura 2.5. Si se aplica a través de R a la entrada (+), de modo que el circuito es no inversor. El voltaje de referencia  $V_{ref}$  se aplica a la entrada (-) del amp op.

Los voltajes de umbral superior e inferior pueden encontrarse por las siguientes ecuaciones:

$$V_{UT} = V_{ref}(1 + 1/n) - ((-V_{sat})/n) \quad (2.2)$$

$$V_{LT} = V_{ref}(1 + 1/n) - ((+V_{sat})/n) \quad (2.3)$$

El voltaje de histéresis  $V_H$  se expresa por:

$$V_H = V_{UT} - V_{LT} = (+V_{sat}) - (-V_{sat}) / n \quad (2.4)$$

En los detectores de cruce por cero,  $V_H$  está centrado en la referencia de cero voltios. Para el circuito de la figura 2.5,  $V_H$  no está centrado en  $V_{ref}$  pero es simétrico alrededor del valor promedio de  $V_{UT}$  y  $V_{LT}$ . Este valor se denomina voltaje centrado  $V_{crt}$  y se encuentra por la ecuación:

$$V_{crt} = V_{UT} + V_{LT} / 2 = V_{ref}(1 + 1/n) \quad (2.5)$$

Observese que  $n$  aparece en ambas ecuaciones (2.4 y 2.5). Esto significa que cualquier ajuste en el resistor  $nR$  afecta tanto a  $V_{crt}$  como a  $V_H$ .

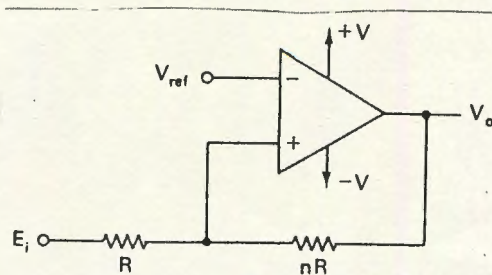


figura 2.5.

### 2.3.3. Detector inversor de nivel de voltaje con histéresis.

Si se intercambian  $E_i$  y  $V_{ref}$  en la figura 2.5 el resultado es el detector de nivel de voltaje inversor con histéresis. Las expresiones para  $V_{UT}$  y  $V_{LT}$  son:

$$V_{UT} = (n / n + 1)(V_{ref}) + (+V_{sat} / n + 1) \quad (2.6)$$

$$V_{LT} = (n / n + 1)(V_{ref}) + (-V_{sat} / n + 1) \quad (2.7)$$

Entonces se encuentra que  $V_{crt}$  y  $V_H$  son:

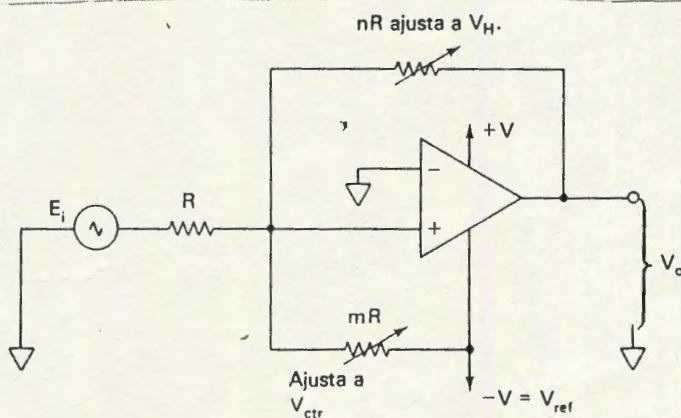
$$V_{crt} = V_{UT} + V_{LT} / 2 = (n / n + 1)(V_{ref}) \quad (2.8)$$

$$V_H = V_{UT} - V_{LT} = (+V_{sat} - (-V_{sat})) / n + 1 \quad (2.9)$$

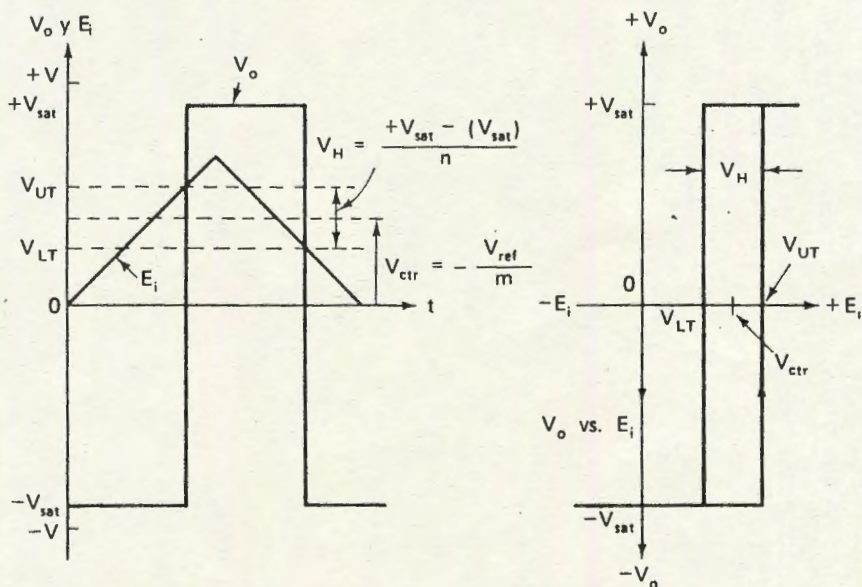
Observese que ambos  $V_{crt}$  y  $V_H$  dependen de  $n$  y, por tanto, no son ajustables en forma independiente.

### 2.3 DETECTOR DE NIVEL DE VOLTAJE CON AJUSTE INDEPENDIENTE DE LA HISTERESIS Y DEL VOLTAJE CENTRADO.

El circuito de la figura 2.6 es un detector de nivel de voltaje no inversor con ajuste independiente de la histéresis y del voltaje centrado.



(a) Comparador con ajustes independientes para la histéresis y el voltaje de referencia



(b) Formas de onda de  $V_o$  y  $E_i$

En este circuito, el voltaje centrado  $V_{crt}$  esta determinado tanto por el resistor  $mR$  como por el voltaje de referencia  $V_{ref}$ . El voltaje de referencia puede ser el voltaje de alimentación  $+V$  o  $-V$ . El voltaje de histéresis  $V_H$  esta determinado por el resistor  $nR$ . Si el resistor  $nR$  es variable, entonces  $V_H$  puede ajustarse independientemente de  $V_{crt}$ . Al ajustar el resistor  $mR$  se situa a  $V_{crt}$  sin afectar  $V_H$ . Los voltajes clave se muestran en la figura 2.6 y estan diseñados o evaluados por medio de las siguientes ecuaciones:

$$V_{UT} = - (-V_{sat} / n) - (V_{ref} / m) \quad (2.10)$$

$$V_{LT} = (-V_{ref} / m) - (+V_{sat} / n) \quad (2.11)$$

$$V_H = V_{UT} - V_{LT} = (+V_{sat} - (-V_{sat}) / n \quad (2.12)$$

$$V_{crt} = V_{UT} + V_{LT} / 2 = - (V_{ref} / m) - (+V_{sat} + (-V_{sat}) / 2 \quad (2.13)$$

la ecuación general para  $V_{ctr}$  parece compleja, sin embargo, si las magnitudes de  $+V_{sat}$  y  $-V_{sat}$  son casi iguales, entonces  $V_{ctr}$  se expresa en forma simple por:

$$V_{ctr} = - V_{ref} / m \quad (2.14)$$

De modo que  $V_{ctr}$  solo depende de  $m$ , y  $V_H$  depende solo de  $n$ .

Este es el circuito más importante porque es el que se utilizará en el diseño del LI. Pero antes se va a realizar un breve estudio del CI 311, se verán las ventajas y el porque de su uso en el diseño del circuito del LI.

## 2.5 CI COMPARADOR DE PRECISION, 311.

### 2.5.1 Introducción.

El comparador 311 es un CI que ha sido diseñado y optimizado para rendimiento superior en las aplicaciones de detector de nivel de voltaje.

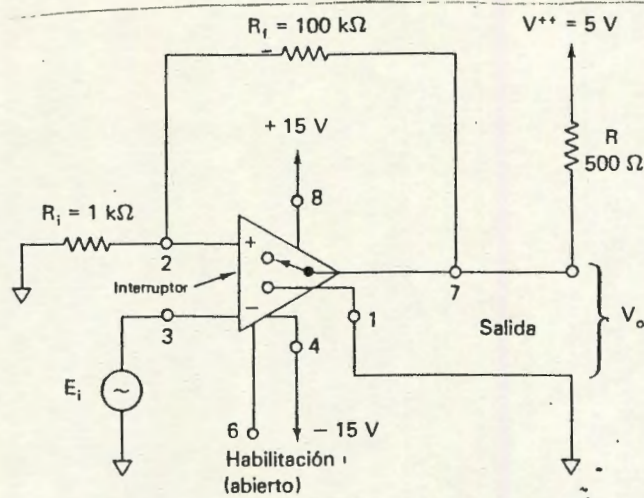
El comparador 311 es una elección excelente por su versatilidad. Su salida está diseñada para no variar entre  $\pm V_{sat}$ , pero puede cambiarse con bastante facilidad. De hecho, si se tiene una interface con un sistema con diferente alimentación de voltaje, simplemente se conecta la salida de la nueva alimentación de voltaje a través de un resistor apropiado.

### 2.5.2 Operación de la terminal de salida.

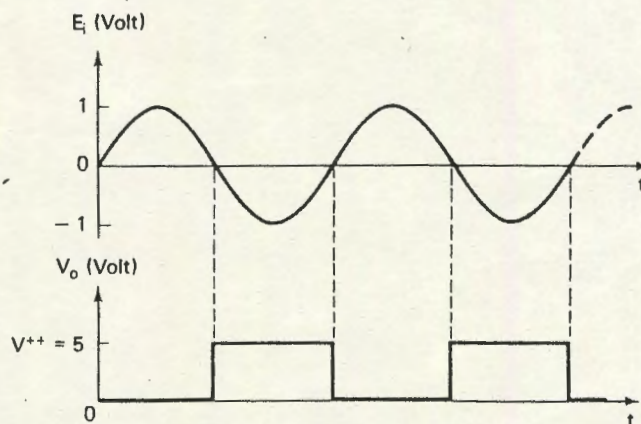
En la figura 2.7 un modelo simplificado del 311 muestra que su salida se comporta como un interruptor sw conectado entre la terminal 7 y la 1. La terminal 7 puede alambrarse a cualquier voltaje  $V_{++}$  de magnitud hasta de 40 V más positiva que la terminal de alimentación  $-V$  (terminal 4). Cuando la entrada (+) es más positiva que la entrada (-), el interruptor de salida equivalente del 311 está abierto.  $V_o$  se determina entonces por  $V_{++}$  y es +5V.

Cuando la entrada (+) es menos positiva que la entrada (-), el interruptor de salida equivalente del 311 cierra y extiende la tierra en la terminal 1 a la de salida 7.  $R_f$  y  $R_i$  agregan cerca de 50 mV de histéresis para minimizar los efectos del ruido, de modo que la terminal 2 está en esencia a 0V. Las formas de onda para  $V_o$  y  $E_i$  se muestran en la figura 2.7 (b).  $V_o$  está a 0V para los medios ciclos positivos de  $E_i$ .  $V_o$  está a +5V para los medios ciclos negativos de  $E_i$ . Este es un circuito típico de interface; esto es, los voltajes pueden variar entre los niveles de +15V y -15V, pero  $V_o$  está restringido dentro de +5V y 0V, los cuales

son niveles típicos de señal digital. De modo que el 311 puede usarse para convertir niveles de voltaje analógico en niveles digitales.



(a) 311 Detector de cruce por cero con histéresis



(b) Voltajes de entrada y salida

## 2.6 DISEÑO DEL CIRCUITO.

En la figura 2.8 (a) se muestra el circuito LI que se va a diseñar. Nótese que el circuito es un detector inversor contrario al que se presentó anteriormente, y en la figura 2.8 (b) se observan las formas de onda de  $V_o$  y  $E_i$ .

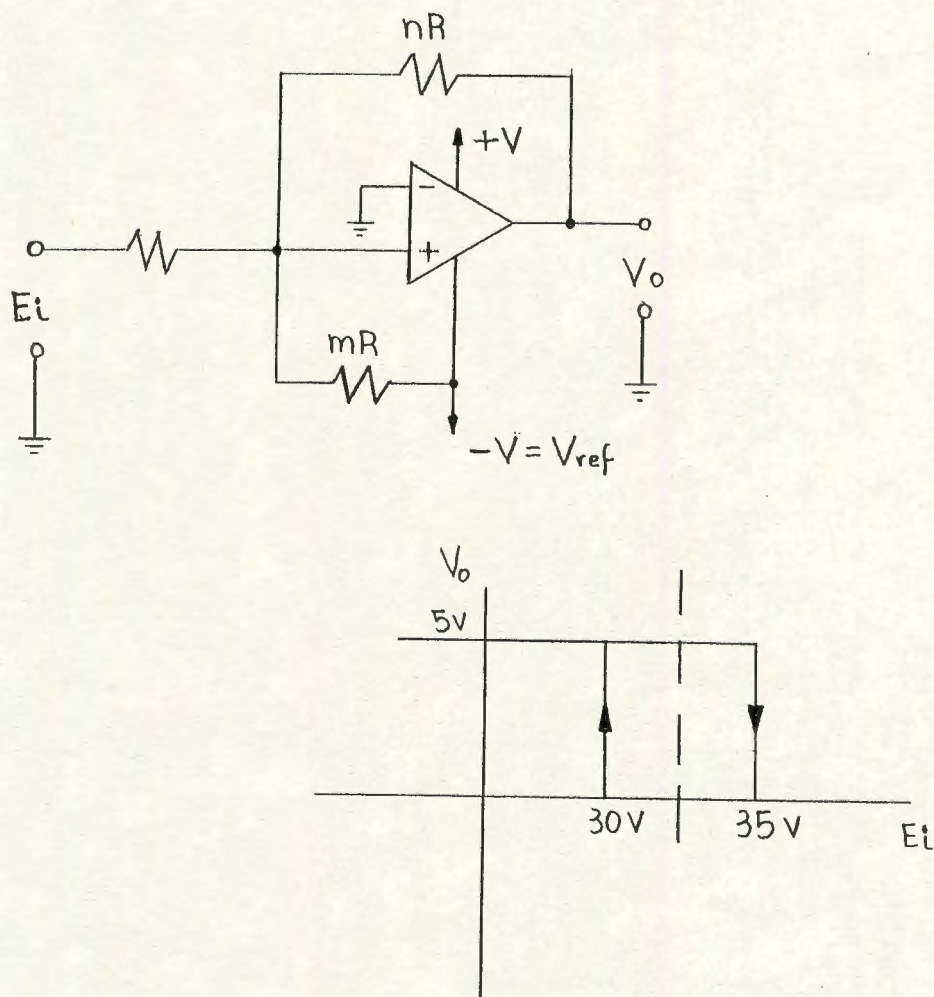


figura 2.8.

Lo primero que se debe saber es que voltajes están presentes en la línea de abonado. Cuando el microteléfono está colgado, el voltímetro indica una lectura de -48V, y cuando el microteléfono está descolgado la lectura indica -10V. De modo que los voltajes VUT y VLT son -48V y -10V respectivamente, pero por cuestiones de seguridad los voltajes de umbral se eligen como VUT = 35V y VLT = 30V (se escriben positivos por comodidad de los cálculos). Entonces el voltaje de histéresis se calcula por medio de la ecuación (2.1):

$$V_H = V_{UT} - V_{LT} = 35 - 30 = 5V$$

El coeficiente m se obtiene mediante la ecuación (2.14):

$$m = -V_{ref} / V_{ctr} = -(-12) / 32.5 = 0.369$$

El valor de n se obtiene por:

$$n = +V_{sat} - (-V_{sat}) / V_H = 20 / 5 = 4$$

Se elige una R = 100 k ohmios. De modo que:

$$mR = 36.9 \text{ k ohmios}$$

$$nR = 400 \text{ k ohmios}$$

El valor comercial de mR es de 39 k ohmios y para nR es de 390 k ohmios.

### CAPITULO III. EL CIRCUITO DECODIFICADOR DE TONO, KR

#### 3.1 INTRODUCCION.

El circuito KR (Key set Receiver) contiene filtros para las siete frecuencias del teclado y un generador de frecuencia para el tono de marcar. Cuando los generadores de frecuencia en el aparato telefónico del abonado están conectados a los hilos a y b, los filtros que corresponden a esa frecuencia darán un lógico 0. Las salidas de los filtros se conectan a compuertas NOR, cuyas salidas darán el número en forma de un 1 en uno de los ocho hilos conectados al bus de datos. La figura 3.1 muestra un circuito típico de KR. Solamente un dígito está conectado desde las salidas de los filtros hasta las compuertas.

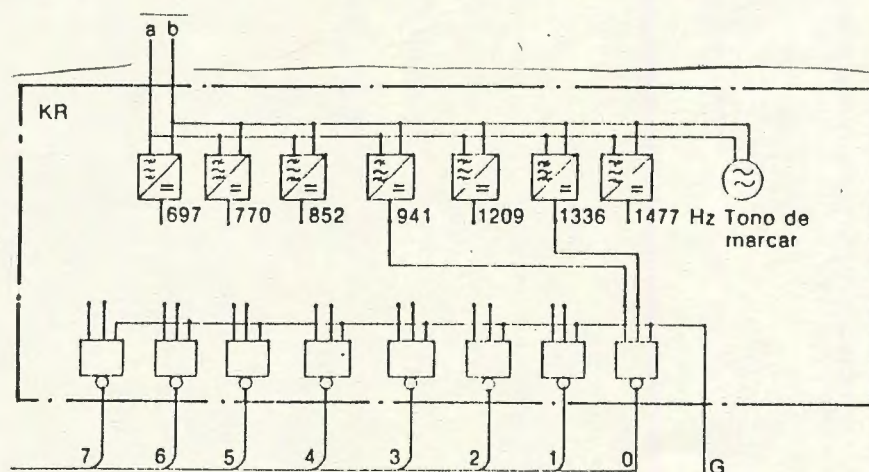


figura 3.1.

De esta manera en receptor del teclado KR mostrado en la fig. 3.1 decodifica los dígitos con lógica cableada. Esto se hace para lograr un entendimiento sencillo de los dígitos por parte del procesador.

Cuando el abonado A ha recibido el tono de marcar, y ha marcado el número del abonado B en su teclado, el tono de marcar

tendrá que suspenderse. En esta central no se necesita ningún dispositivo para este efecto. El abonado A será conectado al abonado B y el KR se desconectará. Esto sucede tan rápidamente que el abonado A lo experimenta como si el tono de marcar hubiese cesado inmediatamente después de que se ha marcado el número del abonado B.

Los filtros del KR se contruirán con el CI 567, que es un PLL (Phase Locked Loop) especialmente diseñado para la función de decodificador de tono.

### 3.2 PHASE LOCKED LOOP.

#### 3.2.1 Introducción.

El PLL es básicamente un sistema electrónico de realimentación por lazo que consiste en tres partes importantes:

- 1- Detector de fase, comparador.
- 2- Filtro pasabajos.
- 3- Un VCO (Oscilador Controlado por Voltaje).

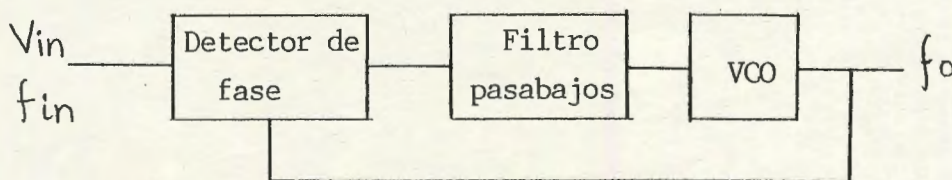


figura 3.2

El VCO es un oscilador conectado como oscilador de frecuencia libre, dicha frecuencia es normalmente determinada por un capacitor-resistor externos. La frecuencia del VCO es retroalimentada a el detector de fase donde es comparada con la frecuencia de la señal de entrada  $f_{in}$ . La salida del detector de fase es lo que se llama voltaje de error. Este voltaje es un

promedio de DC de dicha señal la cual es proporcional a la diferencia de frecuencia ( $F_{in} - F_o$ ) y la fase de la señal de entrada y el VCO. El error de voltaje es luego filtrado para remover los trazos de ruido de alta frecuencia. Este luego es alimentado al VCO para alimentar el lazo. El error de voltaje, fuerza a la frecuencia del VCO a cambiar en una dirección en la cual tiende a reducir la diferencia entre la frecuencia de entrada y la frecuencia del VCO. Una vez el VCO comienza a cambiar frecuencia se dice que el lazo está en estado de captura. Este proceso continua hasta que las frecuencias de entrada y del VCO son iguales. En este punto, el lazo se encuentra sincronizado, o enganchado en fase. Durante el enganche de fase, la frecuencia del VCO es idéntica a la de la entrada excepto por una diferencia de fase finita esta diferencia es requerida para generar el suficiente error de voltaje que desplaza la frecuencia de VCO manteniendo el lazo enllavado en fase. Esta acción repetitiva del sistema de lazo luego captura o sigue cualquier cambio en la frecuencia de entrada mientras el lazo se encuentra enllavado. Podríamos decir que el PLL tiene tres estados distintos:

- 1- Oscilacion libre.
- 2- Estado de captura.
- 3- Enllavado.

El rango sobre el cual el sistema seguirá los cambios en la entrada de frecuencia se conoce como rango de enllavado.

En otras palabras, el rango de frecuencia en el cual el sistema se encuentra en estado de captura, nunca es más grande que el rango en el que se encuentra en estado de enllavado. Las características dinámicas del PLL, son controladas primordialmente por el filtro pasabajos. Si la diferencia de frecuencia entre la entrada del VCO son demasiado grandes, la señal estaría fuera de alcance (captura) de el lazo.

### 3.2.2. El CI 567.

El SE/NE 567 es un decodificador de frecuencia y tono, es un PLL de alta estabilidad que posee una circuiteria de potencia a la salida, su función principal es manejar una carga siempre y cuando este presente en la entrada una frecuencia determinada (o se encuentre una frecuencia que pertenezca a un ancho de banda específica en base a una frecuencia central).

La frecuencia central, el ancho de banda y el retardo de salida son determinados independientemente por cuatro componentes externos.

### 3.3 DISEÑO DEL CIRCUITO.

En la siguiente parte del reporte se explicarán los criterios básicos tomados para el diseño del KR.

Puesto que la central es de solo tres abonados, se utilizará del teclado unicamente las teclas 1 (697 Hz y 1209 Hz), 2 (697 Hz y 1336 Hz) y 3 (697 Hz y 1477 Hz). Representando la tecla 1 al abonado 1, la tecla 2 al abonado 2 y la tecla 3 al abonado 3.

Como se puede observar, se utilizan cuatro frecuencias para la determinación de los abonados, luego es lógico la utilización de unicamente cuatro filtros en el diseño.

En la figura 3.3 se muestra la configuración de un detector de tono con todos sus componentes externos.

Es requisito indispensable para los filtros, el tener un ancho de banda muy selectivo debido ala cercania de las frecuencias a manejar. Por eso se ha hecho uso de filtros con PLL, ya que con ellos se puede lograr una selectividad mayor para una frecuencia específica (en otras palabras haciendo más pequeño el ancho de banda).

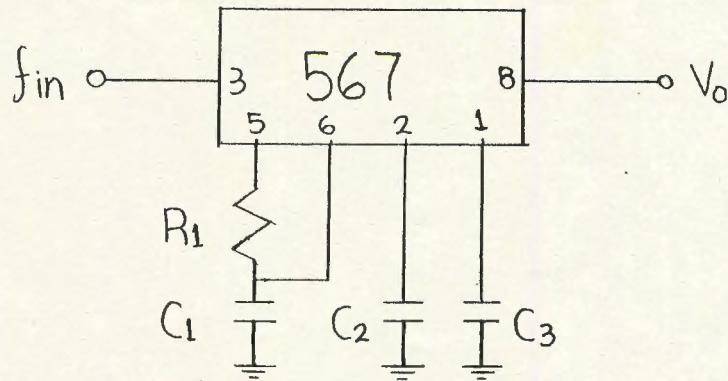


figura 3.3

Los valores típicos de  $C_1$ ,  $C_2$  y  $C_3$  para esta aplicación son de 0.1 microfaradios, 1 microfaradio y 2.2 microfaradios respectivamente y los valores de  $R_1$  se calculan con la siguiente expresión:

$$R_1 = 1.1 / (f_o C_1) \quad (3.1)$$

Ahora se presentan los calculos de  $R_1$  para distintas frecuencias:

$$f_o = 697 \text{ Hz} \quad R_1 = 1.1 / (697)(0.1 \text{ micro})$$

$$R_1 = 15.6K \text{ ohmios}$$

$$f_o = 1209 \text{ Hz} \quad R_1 = 1.1 / (1209)(0.1 \text{ micro})$$

$$R_1 = 9.1K \text{ ohmios}$$

$$f_o = 1336 \text{ Hz} \quad R_1 = 1.1 / (1336)(0.1 \text{ micro})$$

$$R_1 = 8.2k \text{ ohmios}$$

$$f_o = 1477 \text{ Hz} \quad R_1 = 1.1 / (1477)(0.1 \text{ micro})$$

$$R_1 = 7.4K \text{ ohmios}$$

Se utilizará un potenciómetro de rango de 0 a 20K ohmios.

En la figura 3.4 se muestra el diagrama completo del KR ha utilizar.

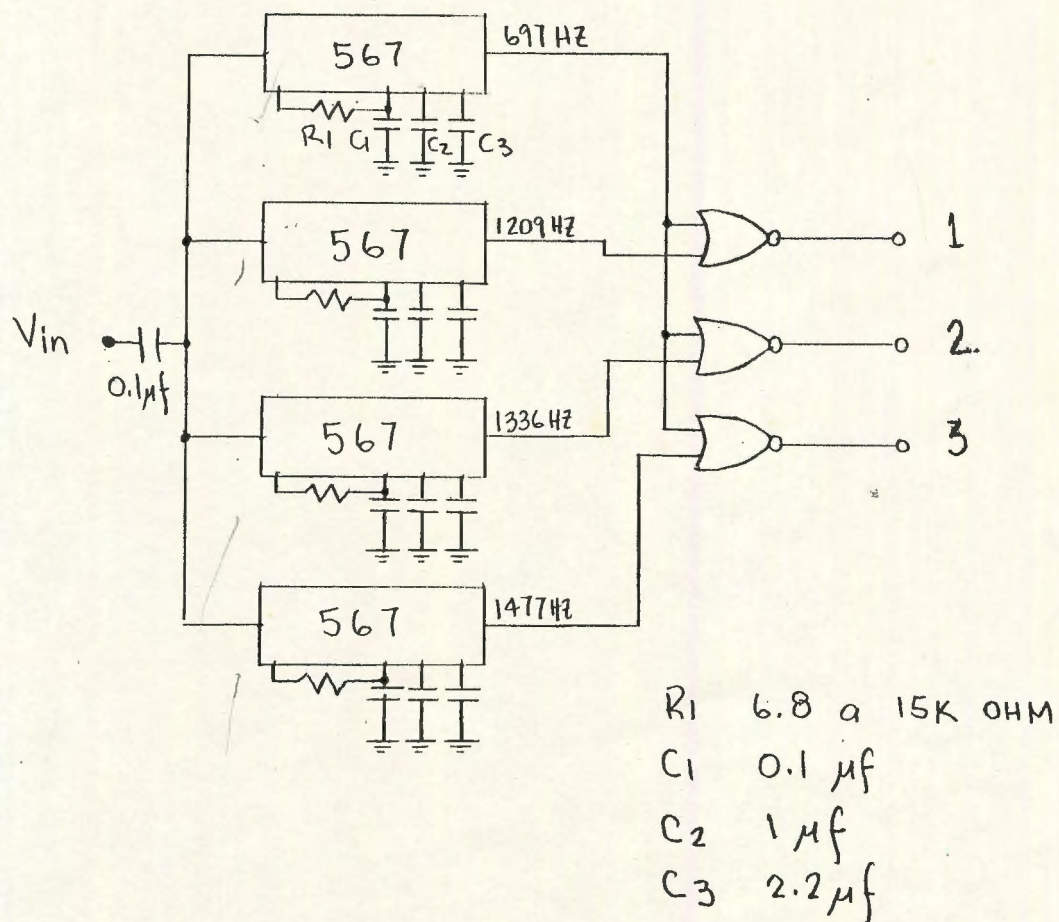


figura 3.4

### 3.4 EL CI 555.

En la central presentada es muy importante el uso de los osciladores astables para la generación de tonos tales como el de llamada, el de marcar y el de ocupado. Con el 555 se logra en configuración astable la generación de estos tonos. Se vera a continuación unas generalidades del 555 para que el lector este mas familiarizado con los elementos de la central telefónica.

Este dispositivo puede operar en dos modos:

1. Como un oscilador produciendo una onda cuadrada continua de frecuencia variable y ciclo de trabajo variable (el cual es definido como el tiempo en alto entre el tiempo en bajo).
2. Como un generador de un solo pulso con una duración exacta de tiempo. Este modo es llamado modo monoestable.

El 555 puede ser usado como un generador de tono si es configurado como se muestra en la figura 3.5. En operación el capacitor se carga a través de R1 y R2 entonces la expresión para el tiempo de carga es:

$$T_c = 0.693(R1 + R2)C \quad (3.2)$$

Y el tiempo de descarga es:

$$T_d = 0.693(R2)C \quad (3.3)$$

Por consiguiente el período total es:

$$T = 0.693(R1 + 2R2)C \quad (3.4)$$

La frecuencia es el recíproco del período:

$$f = 1.44 / (R_1 + 2R_2)C \quad (3.5)$$

El ciclo de trabajo es definido como el tiempo en alto dividido entre el tiempo en bajo. Para el 555, la ecuación para encontrar esta razón es:

$$\text{ciclo de trabajo} = (R_1 + R_2) / R_2 \quad (3.6)$$

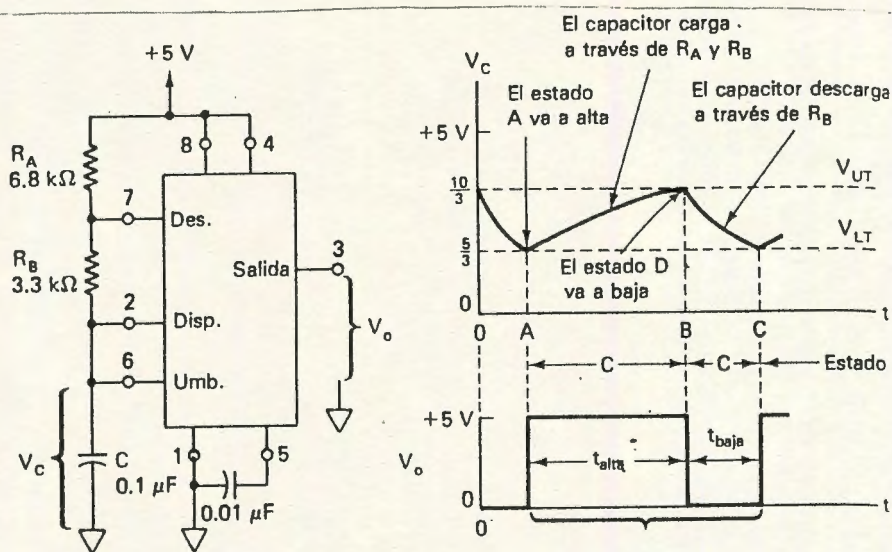


figura 3.5

### 3.5 TONO DE MARCAR.

Conectado en paralelo al KR, se encuentra el tono de marcar que indica al abonado, que la central esta lista para recibir el número deseado. Es un tono continuo (no interrumpido) de 450 Hz.

Los cálculos del diseño del tono de marcar se presentan a continuación:

Primero observamos la figura 3.5, que muestra al 555 en configuración astable. El capacitor que está conectado al pin 5 se elige de 0.01 microfaradios. Se necesita un ciclo de trabajo del 100%, pero si se observa la ecuación (3.6) eso es imposible de lograr. Pero se puede aproximar haciendo que  $R2 \gg R1$ . Ahora  $R2$  se calcula con la ecuación (3.5), y tomando  $C = 0.01$  microfaradios entonces:

$$R2 = 1.44 / 2(450)(0.01 \text{ micro})$$

$$R2 = 160 \text{ K ohmios}$$

Para  $R2$  se usara el valor comercial de 150 K ohmios. Como  $R2 \gg R1$  entonces  $R1$  se toma de 1 K ohmio.

Al ser retirado el KR del abonado A, automaticamente sera desconectado tambien el tono de marcar.

## CAPITULO IV. EL CIRCUITO BS.

### 4.1 INTRODUCCION.

El circuito BS (Busy Tone Sender) contiene un generador de tono para ser acoplado al abonado cuando su solicitud de conexión no puede ser satisfecha porque el abonado B está ya ocupado o por que los dispositivos de conexión (ABJ o KR) se encuentran ocupados. Es indispensable que el circuito BS sea de baja resistencia óhmica, así que varios abonados pueden estar a él conectados simultáneamente.

El BS es conectado al abonado directamente por un relé en la matriz de relés (se estudiará posteriormente) y por una instrucción del programa de control.

### 4.2 DISEÑO DEL CIRCUITO.

Primero hay que tomar en cuenta que el BS es un tono no continuo (con interrupción), por lo que se utilizarán dos 555, uno que genere el tono de 450 Hz y otro que genere una ventana de interrupciones como se muestra en la figura 4.1.

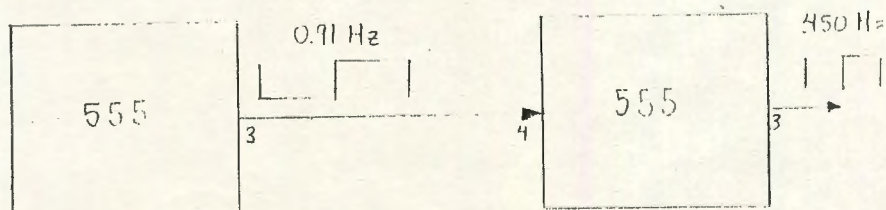


figura 4.1

El tono de 450 Hz fué diseñado en el capítulo III, entonces se diseñará la ventana de interrupciones. En la figura 4.2 se muestra el tiempo en alta y el tiempo en baja de interrupciones, de modo que:

$$\text{Ciclo de trabajo} = (R1 + R2) / R2 = 0.6 / 0.5 = 1.2$$

$$R1 = 0.2R2 \quad (3.7)$$

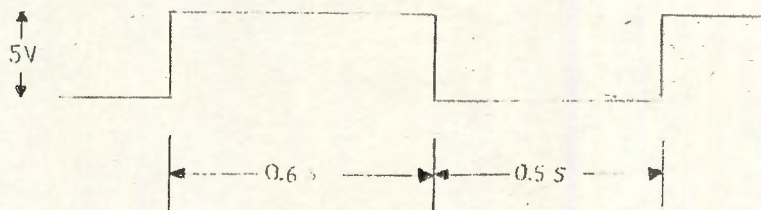


figura 4.2

La frecuencia es el inverso del período, entonces:

$$f = 1 / T = 1 / 1.1 = 0.91 \text{ Hz}$$

Se elige  $C = 2.2$  microfaradios, el valor de  $R2$  se calcula introduciendo la ecuación (3.7) en la ecuación (3.5) y se obtiene:

$$0.91 = 1.44 / (0.2R2 + 2R2)(2.2 \text{ micro})$$

$$R2 = 327.3 \text{ K Ohmios}$$

$$R1 = 0.2(327.3 \text{ K}) = 65.5 \text{ K Ohmios}$$

El valor comercial de  $R2$  es 330K Ohmios y el de  $R1$  es 68K Ohmios.

## CAPITULO V. LA MATRIZ DE CONMUTACION.

### 5.1 INTRODUCCION.

Los abonados, el circuito LI, el decodificador de tono y el BS, están interconectados por una red de contactos llamada MATRIZ DE CONMUTACION.

Esta matriz, está compuesta de relés que son del tipo REED-SWITCH, que son dos láminas de metal flexible de propiedades magnéticas, en el interior de una ampolla de vidrio con gas inerte; esta es la estructura básica de un REED-RELE que se muestra en la figura 5.1.



figura 5.1

Los relés serán activados por medio del programa de control.

En la figura 5.2 se muestra un diagrama de la matriz de conmutación donde también están conectados los abonados y los distintos circuitos de la central.

Los relés para ser activados, necesitan de una corriente de 16 mA, a 5V en la bobina, por lo que un circuito integrado TTL no puede activarlo, por lo que es necesario un switch amplificador que se muestra en la siguiente sección.

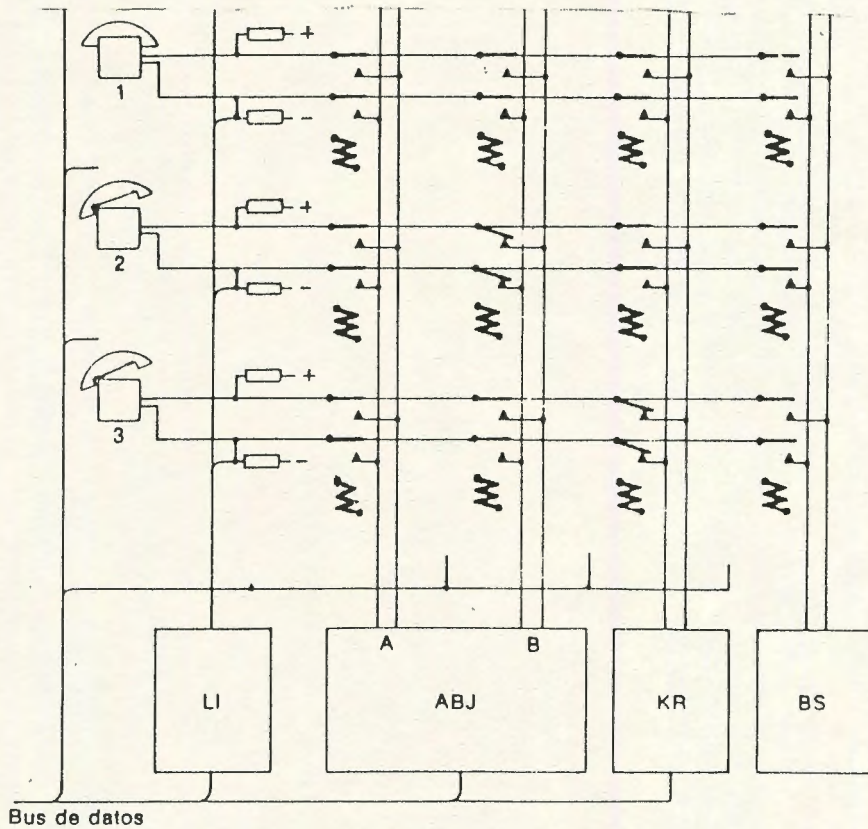


figura 5.2

## 5.2 SWITCH AMPLIFICADOR PARA RELE.

En la figura 5.3 se muestra el circuito amplificador que será usado para manejar los relés en la matriz de conmutación. Una salida TTL tiene aproximadamente las siguientes características:

ON - 3.5V,  $I_{sal} < 800$  microamperios

OFF - 0.2V,  $I_{sal} < 1.6$ mA

La corriente que activará al relé es de 16mA, entonces  $I_c = 16\text{mA}$ , y el voltaje de colector-emisor se elige de 0.3V por estar el transistor en saturación. De la gráfica de la figura 2 en la hoja de datos del 2N2222 que se encuentra en la siguiente página, se toma el factor de sobremanejo de la curva de 50mA para  $V_{ce} = 3\text{V}$ . Entonces:

$$hFE_o / hFE_f = 1.3$$

El  $hFE_o$  que da el fabricante está entre 100 y 300. Para este diseño se usa el peor de los casos que es 100. De modo que:

$$hFE_f = hFE_o / 1.3 = 100 / 1.3 = 76.9$$

Entonces el  $hFE_f$  se aproxima a 75. La corriente de base será:

$$I_B = I_C / hFE_f = 16\text{mA} / 75 = 213 \text{ mA}$$

$R_c$  se encuentra aplicando una LVK al circuito de colector-emisor:

$$V_{CC} = I_{C_{RC}} + V_{CE} + 4.5$$

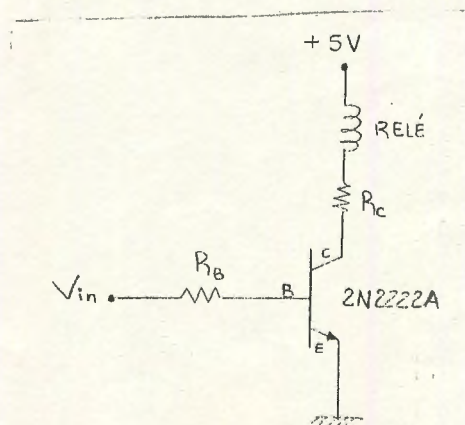


figura 5.3

$$RC = 5 - 4.5 - 0.3 / 16mA$$

$$RC = 12.5 \text{ Ohmios}$$

El valor comercial para RC es de 10 Ohmios.

La RB se calcula aplicando una LVK al circuito base-emisor.

$$V_{hi} = I_{BRB} + V_{BE}$$

$$RB = 3.5 - 0.7 / 213 \text{ micro}$$

$$RB = 13145.5 \text{ Ohmios}$$

El valor comercial para RB es de 15K Ohmios.

### 5.3 CIRCUITO ABJ.

El circuito ABJ es el encargado de lograr la comunicación directa entre los abonados A y B, en algunos sistemas convencionales se le conoce como SNR (juego de relés del circuito de cordón). Su labor es juntar las corrientes voz pero separadas de sus respectivas componentes de d.c. En esta forma el estado del contacto de horquilla de uno de los abonados no afectará la lectura del estado del contacto de horquilla del otro abonado.

El ABJ contiene circuitos para el envío de señales de llamada para el abonado denominado B y de tono de llamada para el abonado A (que hace la llamada), circuitos para desconexión de todas estas señales (corte de señal de llamada) una vez que el abonado B conteste.

En el manejo del ABJ es muy importante el programa de control, ya que éste reparte las instrucciones necesarias para conectar y desconectar los abonados A y B, además el programa se

encarga de la conexión y desconexión del tono de llamada y la señal de ring para el abonado B. El procesador es el que se encarga de dar la orden de conexión de dos abonados en sus respectivos terminales de ABJ.

La central telefónica después de haber determinado el abonado A y decodificado quien es el abonado B (por medio del KR) y si está libre, procede a conectar el ABJ a ambos abonados. El abonado B recibe la señal de ring y el abonado A recibe el tono de llamada. Cuando el abonado B contesta, el procesador desconecta el envío de la señal y el tono, luego procede a entablar la comunicación directa entre los abonados A y B. Cuando el abonado A cuelga su teléfono, el ABJ es retirado por el procesador y continua con los siguientes pasos del programa.

El tono de llamada es un tono no continuo (interrumpido) de 450Hz, el cual se genera por medio de 2 integrados 555 en configuración astable. El primer 555 genera una ventana que habilita o deshabilita la generación del tono; tiene una duración de tiempo en alto de 1.5 segundos y en bajo de 1.0 segundo. Con el tiempo en alto se genera el tono y con el tiempo en bajo se da la interrupción. El segundo 555 es el que provee la frecuencia de 450Hz y cuyos cálculos son similares a los hechos anteriormente para los otros tonos.

La señal del ring se conecta al abonado B (el que recibe la llamada). Es una señal senoidal de 90 voltios rms que activa la campana del teléfono y que le es retirada al abonado cuando descuelga. Para la generación de esta señal se ocupa un transformador reductor de 120 o 90 voltios.

La interrupción de esta señal se hace por medio del 555 que genera la ventana y que se discutió anteriormente. Con la señal del 555 se activa y desactiva un relé al que está conectado el ring, de esta forma se hace interrumpir la señal que le llega al abonado B y luego al descolgar éste, el relé queda apagado permanentemente.

## CAPITULO VI. EL PROGRAMA DE CONTROL.

### 6.1 INTRODUCCION.

El programa de control es una parte esencial en el funcionamiento de la central telefónica. La correcta elaboración del programa y la secuencia lógica hacen un funcionamiento más efectivo y lo hacen más compacto y fácil de corregir en caso de algún error.

Se ha utilizado para el corazón de la central una microcomputadora con el microprocesador 6502. El programa ha sido grabado en una EPROM para evitar estarlo introduciendo cada vez que se enciende la máquina.

El diagrama de la microcomputadora se presenta en la figura 6.1 y es de vital importancia para el entendimiento del funcionamiento de la central telefónica. Son utilizados de la microcomputadora como el interfaz adaptador para periféricos (PIA) y un LATCH que se accesa a una dirección específica.

El puerto A de la PIA esta configurado para salida y junto con el LATCH se encargan de manejar los relés que van a ser activados en la matriz. El puerto B esta configurado para la recepción de datos y se encargara de recolectar la información proveniente del LI y del KR.

El programa debe estar siempre activo en espera de que algún abonado levante su teléfono y quiera establecer una comunicación. Es necesario determinar quien es este abonado (se convertirá en abonado A) que decodificado por el KR dirá quien es el abonado B. Hay que verificar con el programa si el abonado B esta en condición de recibir la llamada; sino es así entonces se pone un tono de ocupado al abonado A. Si la comunicación con el abonado B es posible el programa debe hacer el enlace por medio del circuito ABJ.

El programa debe dar la orden de colocar el tono de llamada al abonado A y la señal del ring al abonado B. Luego, es necesaria la verificación del estado de la horquilla del abonado B; cuando este levante, el tono y la señal deben ser retirados y deberá hacerse el enlace directo de comunicación entre ambos abonados.

Si un tercer abonado desea comunicarse con alguno de los otros dos, la microcomputadora inmediatamente da la orden de colocarsele la orden de ocupado por medio de la activación de un relé en la matriz de conmutación.

En la figura 6.2 se presenta el orden en que los relés están conectados a la microcomputador por la PIA. En la figura 6.3 se muestra el pin-out de la PIA 6520.

## 6.2 PROGRAMA EN CODIGO DE MAQUINA.

A continuación se presenta el programa que gobierna la central, especificando las direcciones en la memoria, los códigos de operación y los Mnemónicos en lenguaje ensamblador.

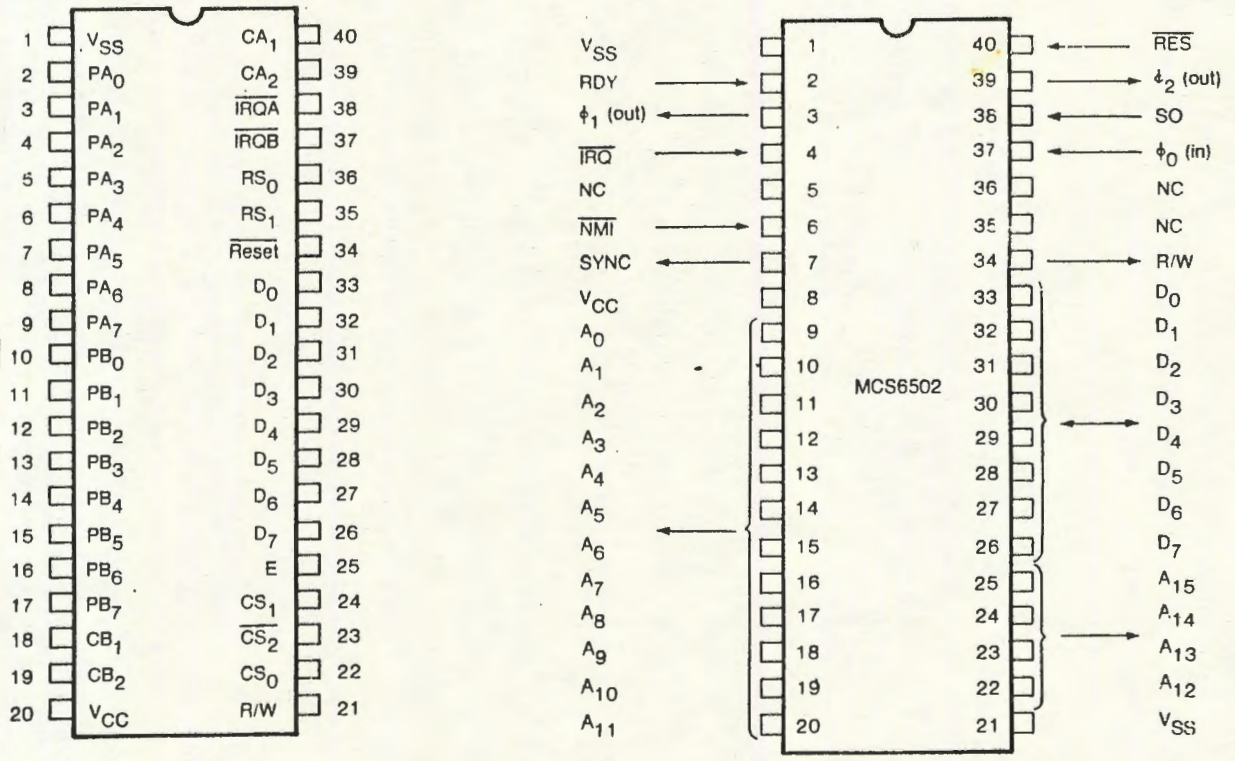
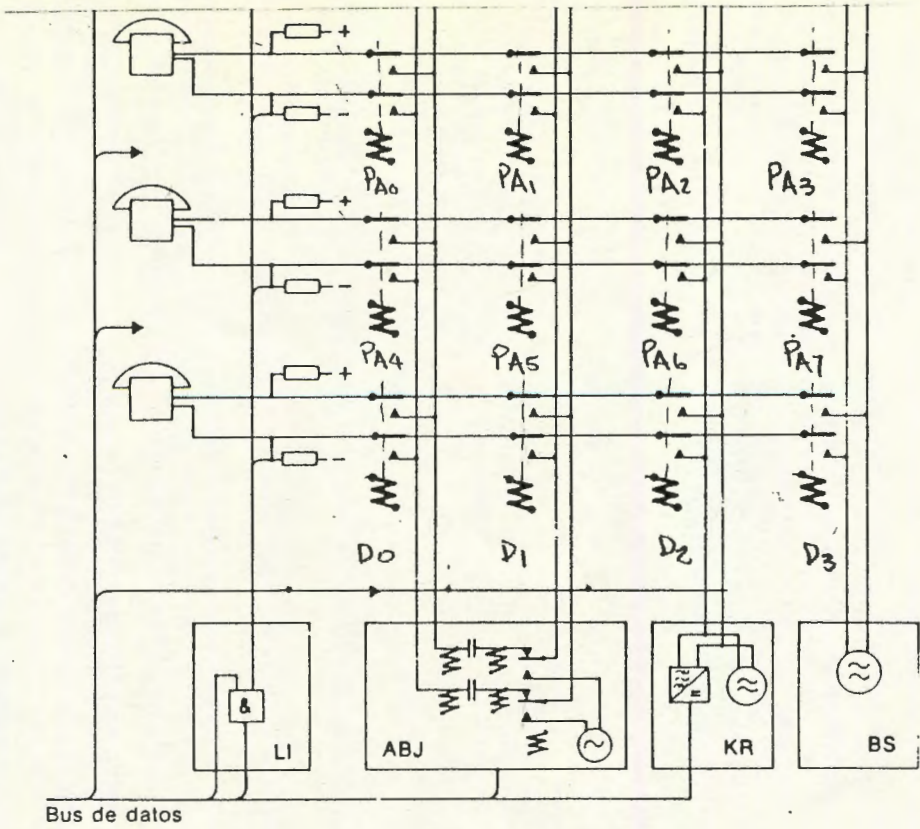
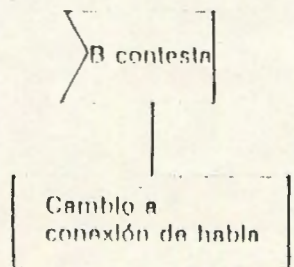
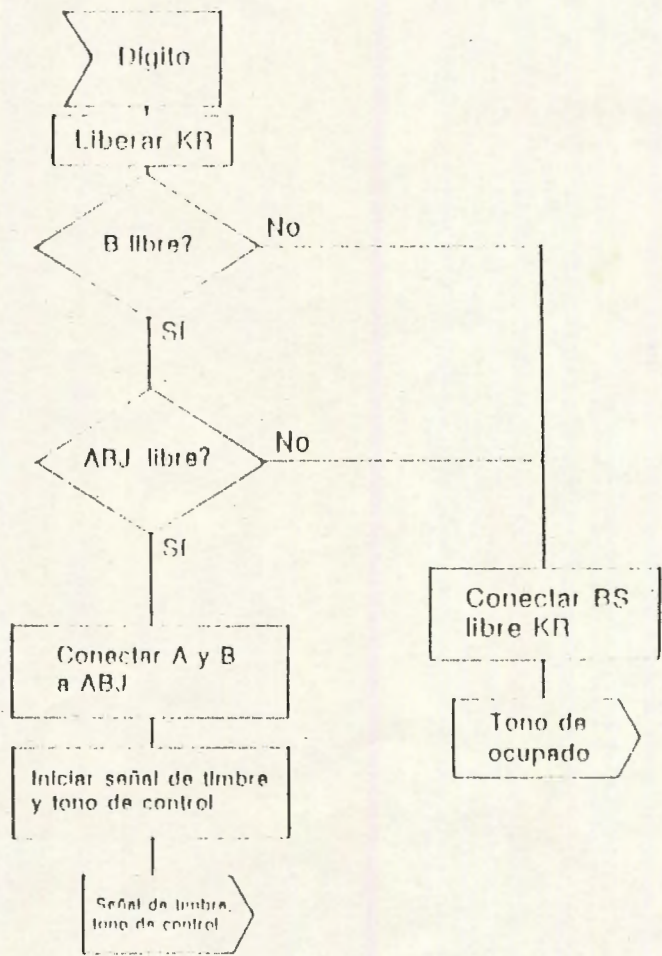
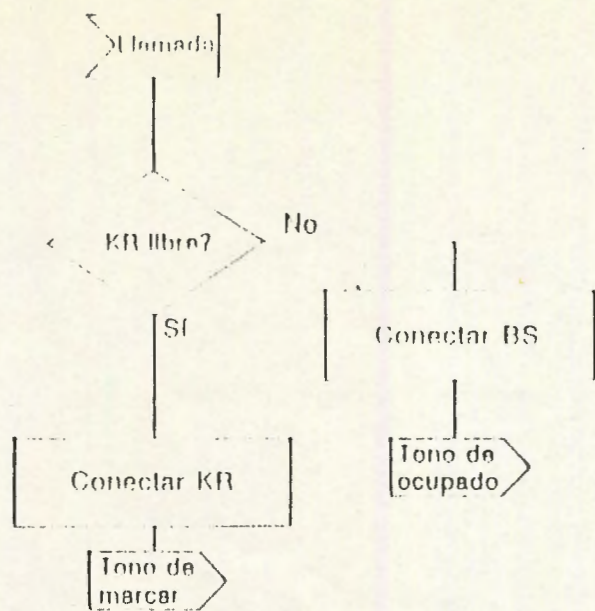


Fig. 6.2



DIRECCION	DATO	MNEMONICO.
0100	A9	LDA#\$00
	00	
0102	8D	STA\$CRA
	0104	
0105	A9	LDA#\$FF
	FF	
0107	8D	STA\$DDRA
	0004	
010A	A9	LDA#\$04
	04	
010C	8D	STA\$CRA
	0104	
010F	A9	LDA#\$00
	00	
0111	8D	STA\$CRB
	0304	
0114	A9	LDA#\$00
	00	
0116	8D	STA\$DDRB
	0204	
0119	A9	LDA#\$04
	04	
011B	8D	STA\$CRB
	0304	
011E	AD	LDA\$0402
	0204	
0121	8D	STA\$0006
	0000	

11

02F9	DO	BNE\$02FE
	03	
02FB	4C	JMP\$0332
	3203	
02FE	A9	LDA#\$12
	12	
0300	80	STA\$0400
	0004	
0303	A9	LDA#\$04
	04	
0305	8D	STA\$0406
	0604	
0308	AD	LDA\$0402
	0204	
0302	8D	STA\$0000
	0000	
030E	A9	LDA#\$38
	38	
0310	2D	AND\$0000
	0000	
0313	DO	BNE\$0318
	03	
0315	4C	JMP\$0322
	2203	
0318	A9	LDA#\$12
	12	
031A	8D	STA\$0400
	0004	
031D	A9	LDA#\$08
	08	
031F	8D	STA\$0406
	0604	

0273	8D	STA\$0000
	0000	
0276	A9	LDA#\$02
	02	
027B	2D	AND\$0000
	0000	
027E	D0	BNE\$0283
	03	
0280	4C	JMP\$03D0
	D003	
0283	A9	LDA#\$40
	40	
0285	8D	STA\$0400
	0004	
0288	A9	LDA#\$00
	00	
028A	8D	STA\$0406
	0604	
028D	AD	LDA\$0402
	0204	
0290	8D	STA\$0000
	0000	
0293	A9	LDA#\$10
	10	
0295	2D	AND\$0000
	0000	
0298	D0	BNE\$029D
	03	
029A	4C	JMP\$02BA
	BA02	
029D	A9	LDA#\$80
	80	

02CC	8D 0004	STA\$0400
02CF	A9 30	LDA#\$30
02D1	8D 0604	STA\$0406
02D4	AD 0204	LDA\$0402
02D7	8D 0000	STA\$0000
02DA	A9 01	LDA#\$01
02DC	2D 0000	AND\$0000
02DF	D0 03	BNE\$02E4
02E1	4C 3203	JMP\$0332
02E4	A9 12	LDA#\$12
02E6	8D 0004	STA\$ 0400
02E9	A9 00	LDA#\$00
02EB	8D 0604	STA\$0406
02EE	AD 0204	LDA\$0402
02F1	8D 0000	STA\$0000
02F4	A9 04	LDA#\$04
02F6	2D 0000	AND\$0000



029F	8D	STA\$0400
	0004	
02A2	A9	LDA#\$00
	00	
02A4	8D	STA\$0406
	0604	
02A7	AD	LDA\$0402
	0204	
02AA	8D	STA\$0000
	0000	
02AD	A9	LDA#\$FD
	FD	
02AF	0D	ORA\$0000
	0000	
02B2	F0	BEQ\$02B7
	03	
02B4	4C	JMP\$02A7
	A702	
02B7	4C	JMP\$011E
	1E01	
02BA	AD	LDA\$0402
	0204	
02BD	8D	STA\$0000
	0000	
02C0	A9	LDA#\$08
	08	
02C2	2D	AND\$0000
	0000	
02C5	D0	BNE\$02CA
	03	
02C7	4C	JMP\$0345
	4503	
02CA	A9	LDA#\$12
	12	

11

01FA	8D	STA\$0400
	0004	
01FD	A9	LDA#\$32
	32	
01FF	8D	STA\$0406
	0604	
0202	AD	LDA\$0402
	0204	
0205	8D	STA\$0000
	0000	
0208	A9	LDA#\$04
	04	
020A	2D	AND\$0000
	0000	
020D	D0	BNE\$0212
	03	
020F	4C	JMP\$0260
	6002	
0212	A9	LDA#\$01
	01	
0214	8D	STA\$0400
	0004	
0217	A9	LDA#\$02
	02	
0219	8D	STA\$0406
	0604	
021C	AD	LDA\$0402
	0204	
021F	8D	STA\$0000
	0000	
0222	A9	LDA#\$02
	02	

024D	8D	STA\$0406
	0604	
0250	AD	LDA\$0402
	0204	
0253	8D	STA\$0000
	0000	
0256	A9	LDA#\$FD
	FD	
0258	0D	ORA\$0000
	0000	
025B	F0	BEQ\$021C
	BF	
025D	4C	JMP\$0260
	6002	
0260	AD	LDA\$0402
	0204	
0263	8D	STA\$0000
	0000	
0266	A9	LDA#\$FA
	FA	
0268	0D	ORA\$0000
	0000	
026B	F0	BEQ\$0270
	03	
026D	4C	JMP\$0202
	0202	
0270	4C	JMP\$011E
	1E01	
0273	AD	LDA\$0402
	0204	

0224	2D	AND\$0000
	0000	
0227	D0	BNE\$0229
	03	
0229	4C	JMP\$0260
	6002	
0212	A9	LDA#\$41
	41	
022E	8D	STA\$0400
	0004	
0231	A9	LDA#\$02
	02	
0233	8D	STA\$0406
	0604	
0236	AD	LDA\$0402
	0204	
0239	8D	STA\$0000
	0000	
023C	A9	LDA#\$38
	38	
023E	2D	AND\$0000
	0000	
0241	D0	BNE\$0246
	03	
0243	4C	JMP\$0250
	5002	
0246	A9	LDA#\$81
	81	
0248	8D	STA\$0400
	0004	
024B	A9	LDA#\$02
	02	

01D0	F0	BEQ\$0196
	C4	
01D2	4C	JMP\$01D5
	D501	
01D5	AD	LDA\$0402
	0204	
01D8	8D	STA\$0000
	0000	
01DB	A9	LDA#\$FC
	FC	
01DD	0d	ORA\$0000
	0000	
01E0	F0	<sup>EQ</sup> BQE\$01E5
	03	
01E2	4C	JMP\$017C
	7C01	
01E5	4C	JMP\$011E
	1E01	
01E8	AD	LDA\$0402
	0204	
01EB	8D	STA\$0000
	0000	
01EE	A9	LDA#\$20
	20	
01F0	2D	AND\$0000
	0000	
01F3	D0	BNE\$01F8
	03	
01F5	4C	JMP\$011E
	1E01	
01F8	A9	LDA#\$01
	01	

01A3	4C	JMP\$01D5
	D501	
01A6	A9	LDA#\$21
	21	
01AB	8D	STA\$0400
	0004	
01AB	A9	LDA#\$04
	04	
01AD	8D	STA\$0406
	0604	
01B0	AD	LDA\$0402
	0204	
01B3	8D	STA\$0000
	0000	
01B6	A9	LDA#\$38
	38	
01B8	2D	AND\$0000
	0000	
01BB	D0	BNE\$0100
	03	100
01BD	4C	JMP\$01C5
	C501	
01C0	A9	LDA#\$08
	08	
01C2	8D	STA\$0406
	0604	
01C5	AD	LDA\$0402
	0204	
01C8	8D	STA\$0000
	0000	
01CB	A9	LDA#\$FB
	FB	
01CD	0D	ORA\$0000
	0000	

0179	8D 0004	STA\$0406
017C	AD 0204	LDA\$0402
017F	8D 0000	STA\$0000
0182	A9 02	LDA#\$02
0184	2D 0000	AND\$0000
0187	D0 03	BNE\$018C
0189	4C D501	VMP\$01D5
018C	A9 21	LDA#\$21
018E	8D 0004	STA\$0400
0191	A9 00	LDA#\$00
0193	8D 0604	STA\$0406
0196	AD 0204	LDA\$0402
0199	8D 0000	STA\$0000
019C	A9 04	LDA#\$04
019E	2D 0000	AND\$0000
01A1	D0 03	BNE\$01A6

0124	A9	LDA#\$01
	01	
0126	2D	AND\$0000
	0000	
0129	D0	BNE\$012E
	03	
012B	4C	JMP\$0273
	7302	
012E	A9	LDA#04
	04	
0130	8D	STA\$0400
	0004	
0133	A9	LDA#\$00
	00	
0135	8D	STA\$0406
	0604	
0138	AD	LDA\$0402
	0204	
013B	8D	STA\$0000
	0000	
013E	A9	LDA#\$08
	08	
0140	2D	AND\$0000
	0000	
0143	D0	BNE\$0148
	03	
0145	4C	JMP\$0162
	6201	
0148	A9	LDA#\$08
	08	
014A	8D	STA\$0400
	0004	
014D	A9	LDA#\$00
	00	

014F	8D 0604	STA\$0406
0152	AD 0204	LDA\$0402
0155	8D 0000	STA\$0000
0158	A9 FE	LDA#\$FE
015A	0D 0000	ORA\$0000
015D	F0 BF	BEQ\$011E
015F	4C 5201	JMP\$0152
0162	AD 0204	LDA\$0402
0165	8D 0000	STA\$0000
0168	A9 10	LDA#\$10
016A	2D 0000	AND\$0000
016D	D0 03	BNE\$0172
016F	4C E801	JMP\$01E8
0172	A9 21	LDA#\$21
0174	8D 0004	STA\$0400
0177	A9 30	LDA#\$30
0179	8D 0604	STA\$0406

## ANEXO I. HOJA DE MATERIALES Y COSTOS.

Los materiales utilizados para la implementación de la central telefónica y su costo respectivo son los siguientes:

COMPONENTE	CANTIDAD	COSTO(¢)
IC 555	5	25.00
IC IM311	3	21.00
IC SN7432	1	8.00
IC NE567	4	68.00
XTOR 2N2222A	14	112.00
RESIS. Y CAPACITORES	-	50.00
RELES	14	-----
XFORMADOR 110 V A 95 V	1	100.00
		-----
	COSTO TOTAL:	284.00 ¢

NOTA: los relés y algunos otros elementos fueron proporcionados por ANTEL ya que solo ellos los poseen y no se encuentran en el comercio.

Aspectos como éste redujeron los costos grandemente.

## ANEXO 2. APLICACIONES DEL PROYECTO.

Una central SPC puede ser de gran utilidad en las comunicaciones telefónicas internas de una empresa o de un edificio determinado (bancos, almacenes, hospitales, etc.). Pueden entablarse redes de comunicación entre los locales de una empresa, manteniendo así la privacidad de los datos transferidos y evitando el espionaje telefónico.

Al conectarle una computadora personal se puede lograr programas más complejos que pueden llevar incluso un conteo de llamadas y de tiempo de un abonado determinado.

Todas estas aplicaciones son referidas a la central telefónicas SPC que hemos implementado.

### ANEXO 3. PROBLEMAS SURGIDOS EN LA IMPLEMENTACION.

1. El primer problema que aparecio fue de diseño; los filtros del KR deben de ser de una gran selectividad debido a la cercania de las frecuencias provenientes del teclado. Se utilizó en primer lugar filtros hechos con amplificadores operacionales, pero no se logró los resultados deseados. Entonces se recurrió a filtros un poco más complejos diseñados con PLL, los cuales serán capaces de responder a una determinada frecuencia con un ancho de banda lo suficientemente pequeño que no permitia la intromisión de otras frecuencias. El diseño resultante se puede apreciar en el contenido de este reporte.

2. El siguiente problema se presento a la hora de diseñar el LI. Pero con un diseño especial con amplificadores operacionales se logró vencer esta barrera aplicando algunos conceptos de histerésis. Igualmente el diseño resultante puede ser apreciado en el reporte.

3. Otro problema fue conseguir un transformador reductor de 110 voltios ac a 90 voltios ac. Se encontraba en el comercio pero con precios demasiados elevados. Se consiguió uno de 110 voltios a 95 voltios en calidad de préstamo que trabaja de manera aceptable y que no causa ningún problema a la central.

4. Los otros problemas más importantes que surgieron son en la implementación del circuito, debido a la dificultad de encontrar ciertos elementos como los relés de la matriz, las breadboards, etc. La fuente de alimentación con capacidad de corriente necesaria para alimentar a la central también fue un problema que solventar, pero fue posible conseguirla también en calidad de préstamo.

#### ANEXO 4. CONCLUSIONES.

1- Para el diseño de los circuitos de la central telefónica se necesita el conocimiento de las siguientes áreas de la electrónica:

- Circuitos con transistores.
- Electrónica lineal integrada.
- Programación de microprocesadores.
- Interfaces para microprocesadores.
- Telefonía y conmutación digital y analógica.

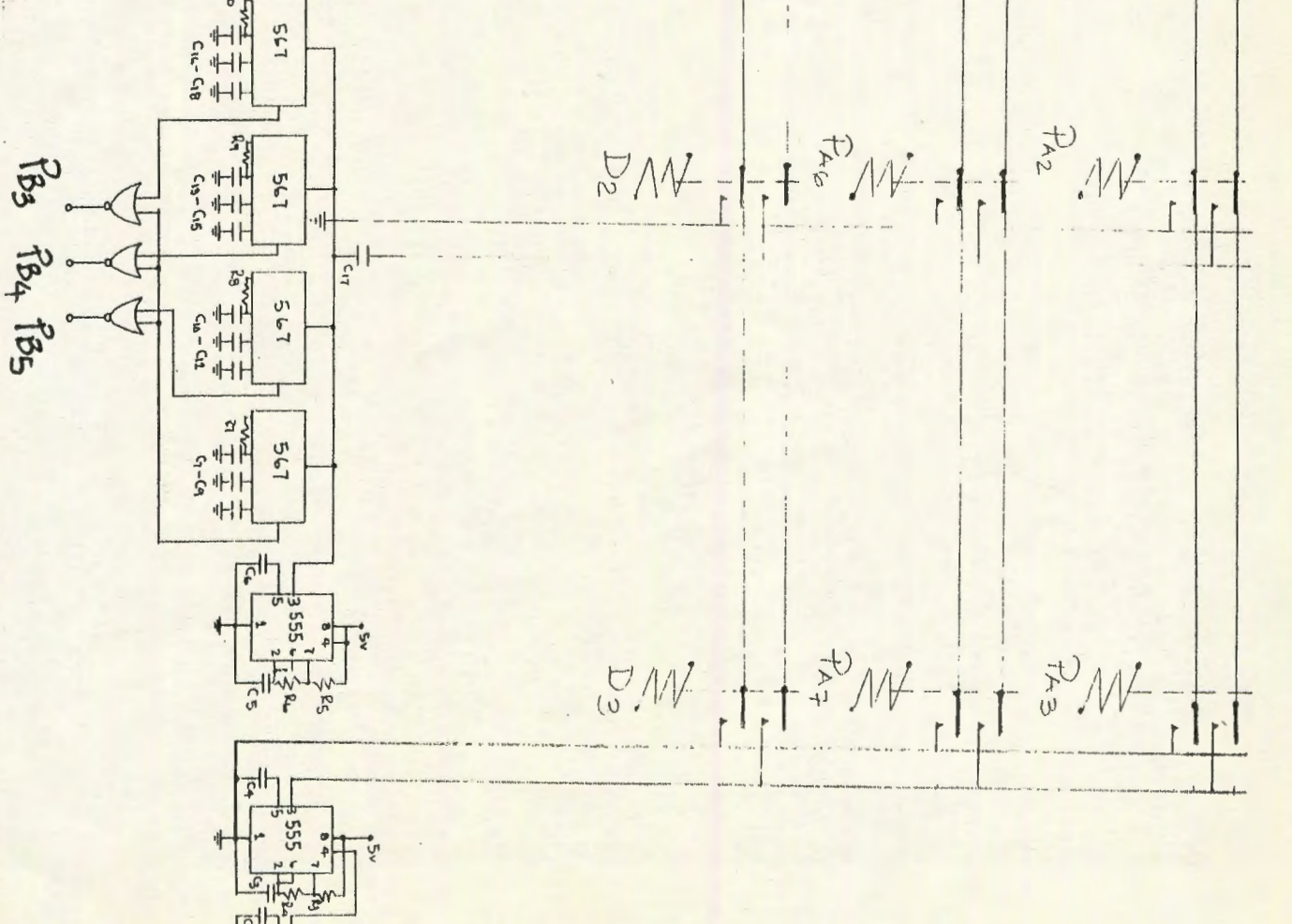
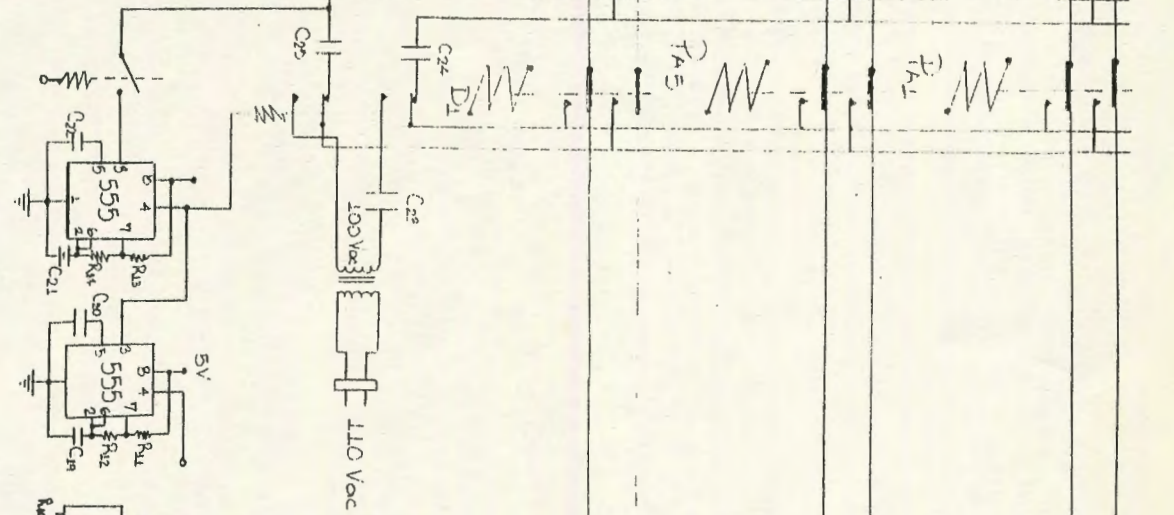
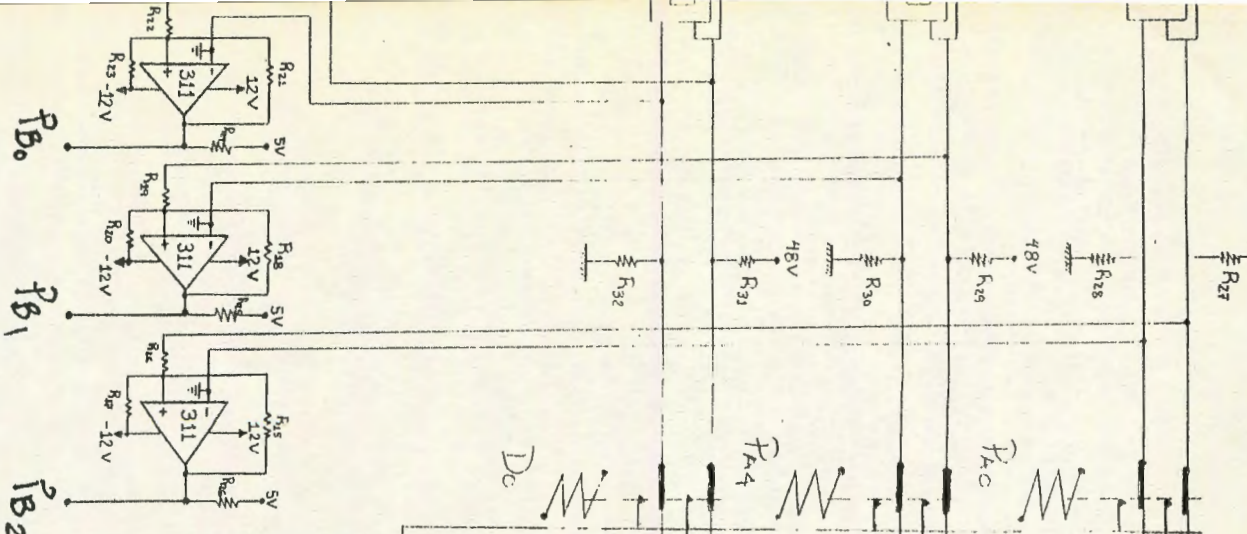
2- Es necesario tomar en cuenta a la hora de diseñar un sistema electrónico los siguientes aspectos: los materiales y elementos disponibles (circuitos integrados, relés, transistores o elementos especiales) y la bibliografía existente.

Para el diseño de la central fue necesario acogerse a tecnologías tales como la TTL que es la más común en el mercado nacional y utilizar elementos especiales (relés) facilitados por ANTEL.

3- Originalmente se estableció como meta que la central telefónica fuera de cuatro abonados pero debido a que los costos eran demasiado altos se diseñó para tres abonados.

## ANEXO 5. BIBLIOGRAFIA.

- Título: Circuitos Integrados Lineales y Amplificadores Operacionales.  
Autor: Coughlin Robert F. y Driscoll Frederick.  
México, 1987.
  
- Título: Modern Electronic Communication.  
Autor: Miller Gary M.  
Englewood Cliffs, 1988.
  
- Título: Circuitos Integrados Lineales.  
Autor: Bogart Theodore F.  
México, 1989.
  
- Título: Microprocessor - Microcomputer Technology.  
Autor: Driscoll Frederick.  
Massachusetts, 1976.
  
- Título: Principios Fundamentales de la Técnica SPC.  
Autor: Bilkenroth Olof, Wahlberg Nicke, Raid Karl-Anton.  
Barcelona, 1980.



**Comparador de voltaje LM 311**

**Descripción general**

El LM311 es un comparador de voltaje que tiene corriente de entrada más de cien veces más pequeña que dispositivos como el LM 306 o el LM710C. También está diseñado para operar en un rango más amplio de voltajes de alimentación: desde la alimentación normal de + 15V para amplificadores operativos hasta la fuente única de 5V utilizada para lógica de C.I. Su salida es compatible con LRT, LDT y LTT así como con circuitos MOS. Además, puede manejar lámparas o relevadores, voltajes de conmutación mayores de 40V a corrientes tan altas como 50 mA.

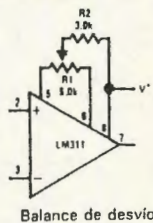
**Características**

- Opera con una sola fuente de 5V
- Corriente máxima de entrada: 250 nA
- Corriente máxima de desvío 50 nA

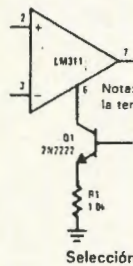
- Rango de voltaje de entrada diferencial:  $\pm 30V$
- Consumo de energía: 135 mW. A  $\pm 15 V$

La entrada y la salida del LM 311 pueden aislarse de la tierra del sistema y la salida puede manejar cargas referidas a tierra, la alimentación positiva o la alimentación negativa. Se suministran balance de desvío y capacidad de selección y las salidas pueden alambrarse en forma "O". Aunque más lento que el LM306 y el LM710 C (200 ns de tiempo de respuesta vs. 40 ns) el dispositivo casi no tiene oscilaciones falsas. El LM311 tiene la misma configuración de terminales que el LM306 y el LM710 C. Ver las "Sugerencias de aplicación" del LM311 para facilitar su aplicación.

**Circuitos auxiliares**

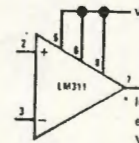


Balance de desvío



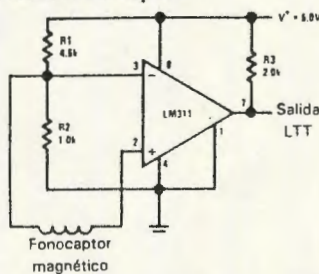
Selección

\*\* Nota: Las conexiones de terminales que se muestran en el diagrama esquemático y las aplicaciones típicas son para el encapsulado TO-5.

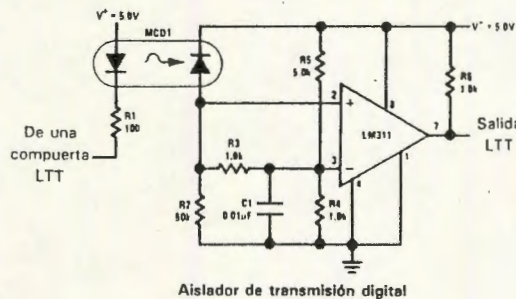


\* Incremento de la derivada en modo común de 7.0 V.µs a 18 V.µs

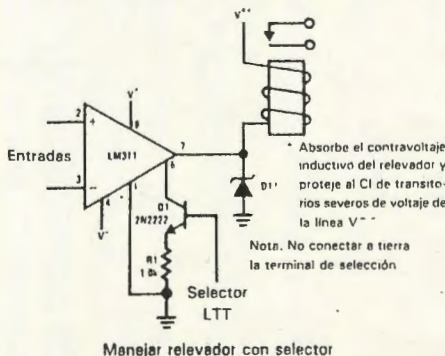
**Aplicaciones típicas**



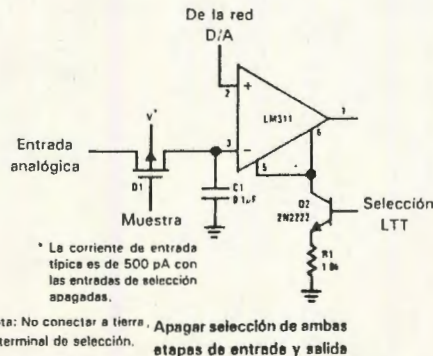
Fonocaptor magnético  
Detector para transductor magnético



De una compuerta LTT  
Aislador de transmisión digital

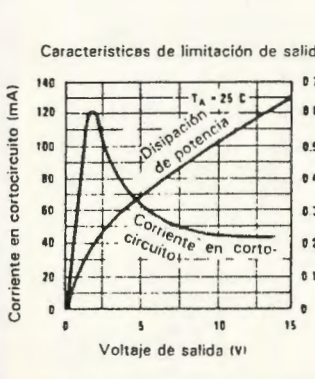
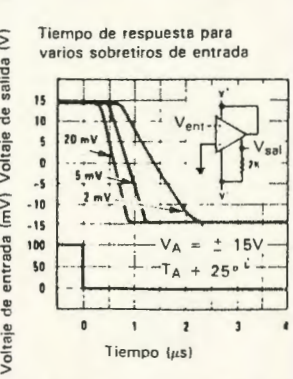
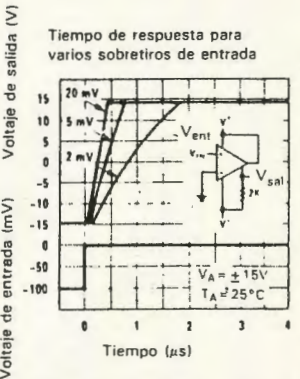
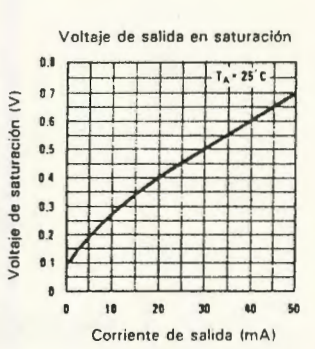
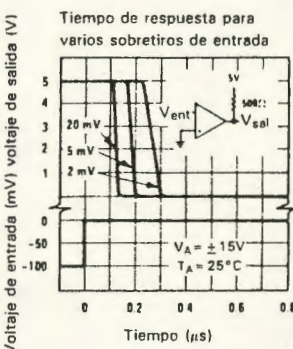
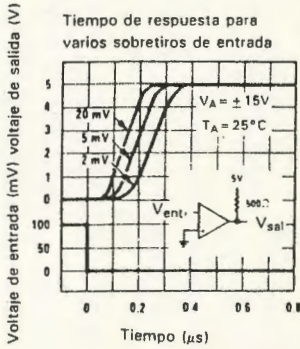
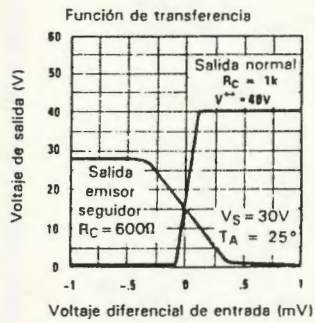
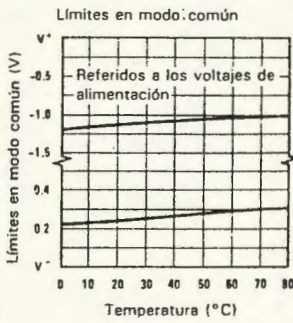
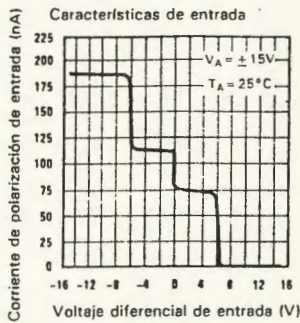
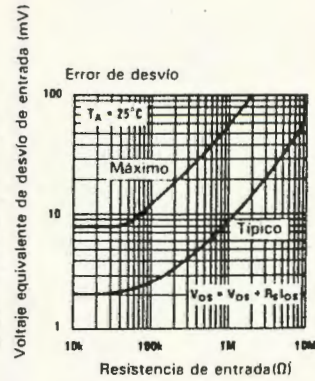
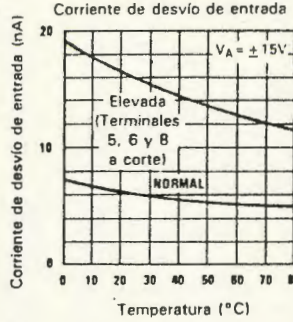
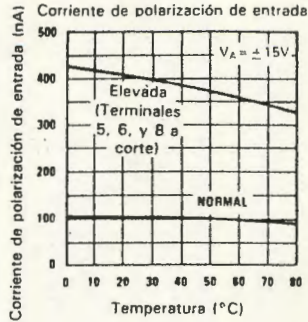


Manejar relevador con selector



De la red D/A  
Entrada analógica  
Muestra  
Nota: No conectar a tierra. Apagar selección de ambas etapas de entrada y salida

Características de funcionamiento típicas



Disipación de potencia (W)

## Capacidades absolutas máximas

Voltaje de alimentación total ( $V_{B4}$ )	36V
Voltaje de alimentación negativo a salida ( $V_{74}$ )	40V
Voltaje de alimentación negativo a tierra ( $V_{14}$ )	30V
Voltaje diferencial de entrada	$\pm 30V$
Voltaje de entrada (Nota 1)	$\pm 15V$
Disipación de Potencia (Nota 2)	500 mW
Duración de corto circuito a la salida	10 seg.
Rango de temperatura de operación	0°C a 70°C
Rango de temperatura de almacenamiento	-65°C a 150°C
Temperatura de terminal (soldando, 10 seg.)	300°C
Voltaje en la terminal de selección	$V^- -5V$

## Característica eléctricas (Nota 3)

PARÁMETRO	CONDICIONES	MÍN	TYP	MÁX	UNIDADES
Voltaje de desvío de entrada (Nota 4)	$T_A = 25^\circ C, R_s \leq 50k$		2.0	7.5	mV
Corriente de desvío de entrada (Nota 4)	$T_A = 25^\circ C$		6.0	50	nA
Corriente de polarización de entrada	$T_A = 25^\circ C$		100	250	nA
Ganancia de voltaje	$T_A = 25^\circ C$	40	200		V/mV
Tiempo de respuesta (Nota 5)	$T_A = 25^\circ C$		200		ns
Voltaje de saturación	$V_{ent} \leq -mV, I_{sal} = 50 mA$		0.75	1.5	V
Corriente de encendido de selección	$T_A = 25^\circ C$		3.0		mA
Corriente de fuga a la salida	$V_{ent} \geq 10mV, V_{sal} = 35V$		0.2	50	nA
Voltaje de desvío de entrada (Nota 4)	$T_A = 25^\circ C, I_{selecc.} = 3 mA$			10	mV
Corriente de desvío de entrada (Nota 4)	$R_s \leq 50k$			70	nA
Corriente de polarización de entrada				300	nA
Rango del voltaje de entrada		-14.5	13.8, -14.7	13.0	V
Voltaje de saturación	$V^+ \geq 4.5V, V^- = 0$		0.23	0.4	V
Corriente de alimentación positiva	$V_{ent} \leq -10mV,$ $I_{sumin} \leq 8 mA$		5.1	7.5	mA
Corriente de alimentación negativa	$T_A = 25^\circ C$		4.1	5.0	mA

**Nota 1:** Esta capacidad se aplica para alimentación de  $\pm 15V$ . El límite del voltaje de entrada positivo está 30V por arriba de la alimentación negativa. El límite del voltaje de entrada negativo es igual al voltaje de alimentación negativo o 30V por abajo de la alimentación positiva, cualquiera es menor.

**Nota 2:** La máxima temperatura de unión del LM 311 es 110°C para operar a temperaturas mayores, a los dispositivos en el encapsulado TO-5 debe considerarse una pérdida de disipación sobre la base de una resistencia térmica de 150°C/W, de la unión del ambiente o 45 C/W, de la unión al encapsulado la resistencia térmica del encapsulado doble paralelo es 100°C/W de la unión al ambiente.

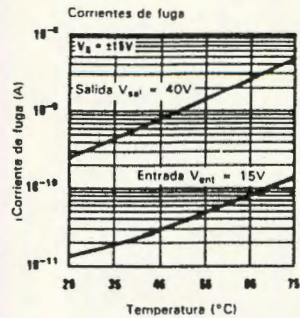
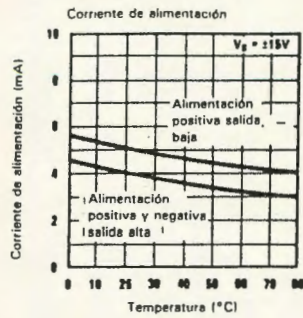
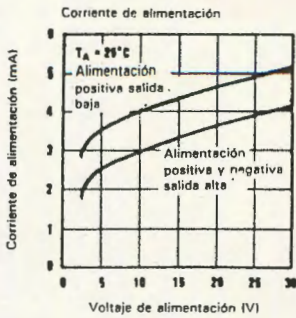
**Nota 3:** Estas especificaciones se aplican para  $V_S = \pm 15V$  y la terminal de tierra en tierra y  $0^\circ C < T_A < +70^\circ C$ , a menos que se especifique otra cosa. Las especificaciones de voltajes y corrientes de desvío y corriente de polarización se aplican para cualquier voltaje de alimentación desde una fuente de +5V hasta alimentaciones de  $\pm 15V$ .

**Nota 4:** Los voltajes y corrientes de desvío dados son los valores máximos que se requieren para llevar la salida en el rango de un volt de una u otra alimentación con 1 mA de carga. Por tanto, estos parámetros definen una banda de error y toman en cuenta los efectos del peor caso para ganancia de voltaje e impedancia de entrada.

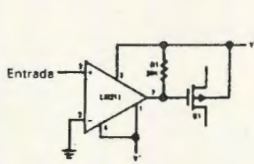
**Nota 5:** El tiempo de respuesta especificado (ver definiciones) es para un escalón de voltaje de entrada con 5 mV. de sobretiro.

**Nota 6:** No cortocircuite la terminal de selección a tierra; manejaría una corriente de 3 a 5 mA.

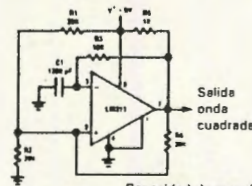
### Características de funcionamiento típicas (Continuación)



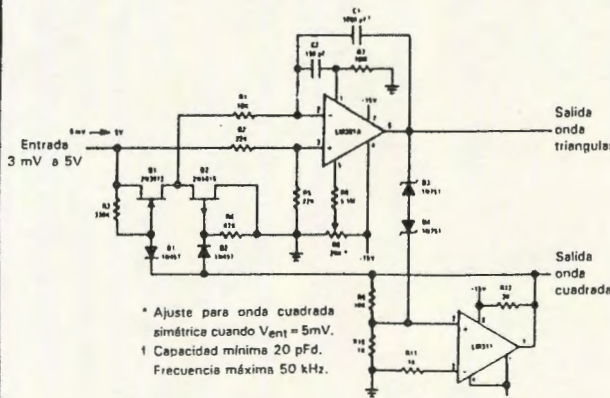
### Aplicaciones típicas



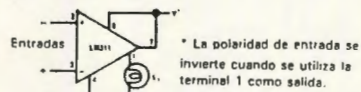
Detector de cruce por cero  
manejador de interruptor MOS



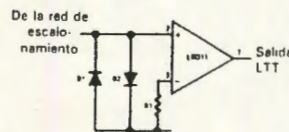
Multivibrador estable de 100 kHz.  
Capacidad de manejo 2 LTT o LDT



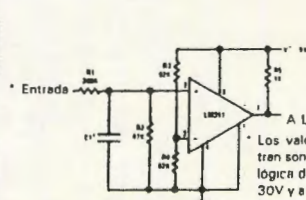
Oscilador controlado de voltaje de 10 Hz e 10 kHz



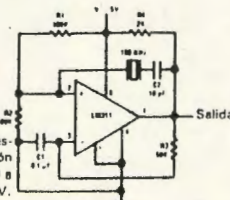
Manejo de una carga referida a tierra



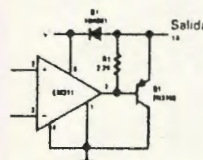
Utilizando diodos sujetadores para mejorar respuesta



Interfase para LTT con alto nivel lógico



Oscilador a cristal



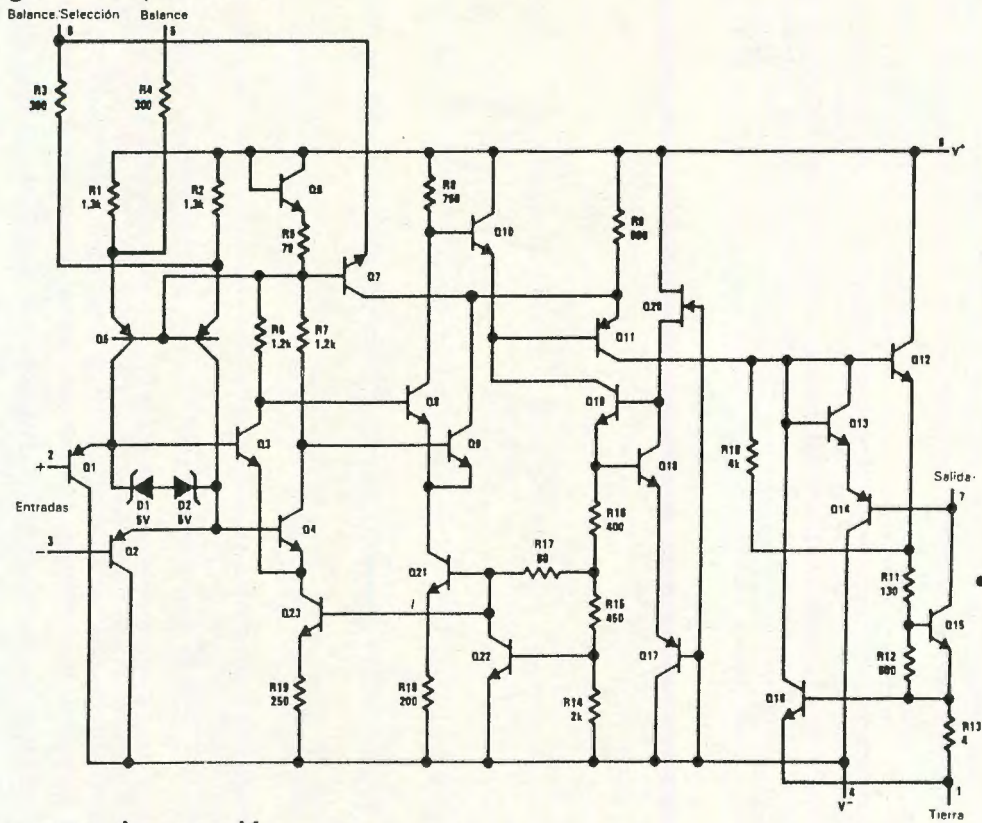
Comparador y manejador de solenoide

\* Ajuste para onda cuadrada simétrica cuando  $V_{ent} = 5mV$ .  
† Capacidad mínima 20 pF.  
Frecuencia máxima 50 kHz.

\* La polaridad de entrada se invierte cuando se utiliza la terminal 1 como salida.

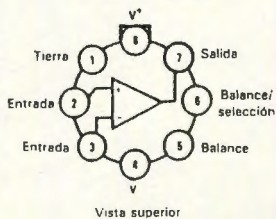
\* Los valores que se muestran son para una excursión lógica de oscilación de 0 a 30V y un umbral de 15V.  
† Puede agregarse para controlar la susceptibilidad a picos de ruido.

### Diagrama esquemático



### Diagramas de conexión

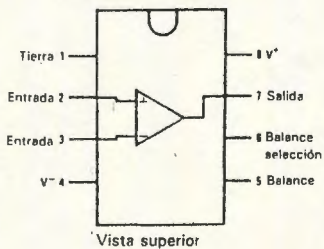
Encapsulado metálico



Número de orden LM 311 H véase encapsulado NS, HOBC

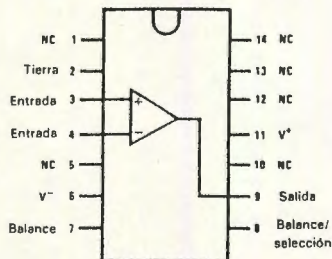
Vista superior

Encapsulado doble en paralelo



Vista superior

Encapsulado doble en paralelo



Número de orden LM311N-14 véase encapsulado NS N14A  
Número de orden LM311J, véase encapsulado NS J14A

Número de orden LM311N véase encapsulado NS, NOBB  
Número de orden LM311 1-8 véase encapsulado NS, JOBA

Las conexiones que se muestran en el diagrama esquemático y las aplicaciones típicas son para el encapsulado TO-5

Nota: Terminal 6 conectada al fondo del encapsulado

## Temporizador LM555/LM555C

### Descripción general

El LM555 es un dispositivo sumamente estable para generar tiempos precisos de oscilación o retraso. Se suministran terminales adicionales si se desea disparar o reiniciar. En el modo de operación de tiempo de retraso, el tiempo se controla exactamente con un condensador y un resistor externos. Para operación estable como oscilador, la frecuencia de oscilación y el ciclo de trabajo se controlan exactamente con dos resistores y un condensador externos. El circuito puede ser disparado y reiniciado con formas de onda descendentes y el circuito de salida puede suministrar o consumir más de 200 mA o manejar circuitos de LTT.

- Ciclo de trabajo ajustable
- La salida puede suministrar o consumir 200 mA.
- Salida y alimentación compatible con LTT
- Estabilidad en temperatura mejor que 0.005% por °C
- Salidas normalmente encendida y normalmente apagada

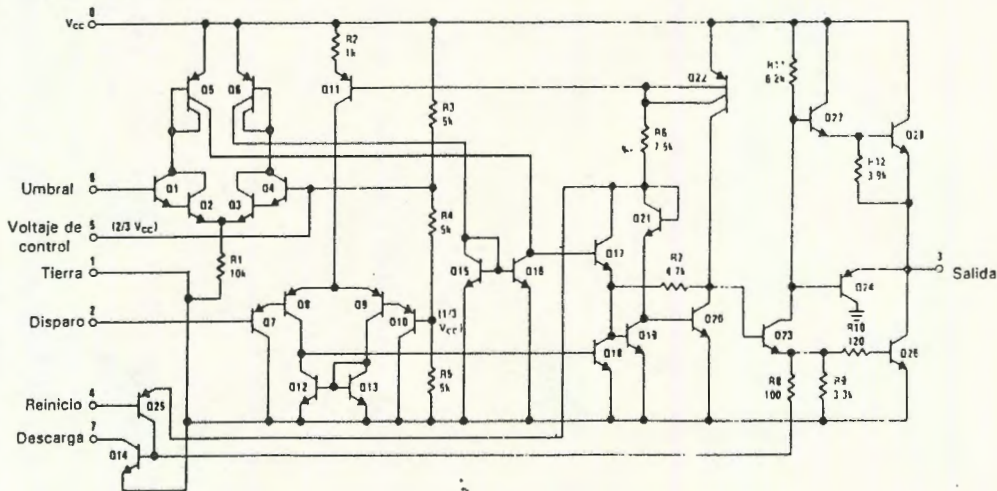
### Aplicaciones

- Temporización precisa
- Generación de pulsos
- Temporización secuencial
- Generación de tiempo de retraso
- Modulación por ancho de pulso
- Modulación por posición de pulso
- Generador de rampa lineal

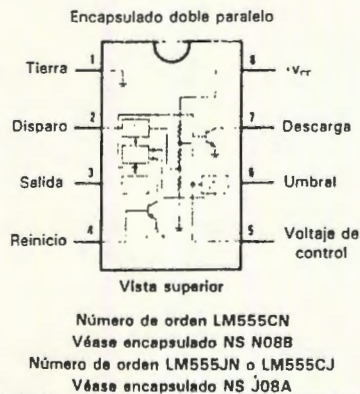
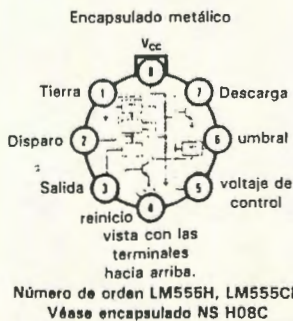
### Características

- Reemplazo directo para el SE555/NE555
- Tiempos de microsegundos hasta horas
- Opera en ambos modos, estable y monoestable

### Diagrama esquemático



### Diagramas de conexión



## Rangos absolutos máximos

Voltaje de alimentación	+18V
Disipación de potencia (Nota 1)	600 mW
Rango de temperatura de operación	
LM555C	0°C a +70°C
LM555	-55°C a +125°C
Rango de temperatura de almacenamiento	-65°C a +150°C
Temperatura de terminal (soldando, 10 segundos)	300°C

Características eléctricas ( $T_A = 25^\circ\text{C}$ ,  $V_{CC} = +5\text{V}$  a  $+15\text{V}$ , a menos que se especifique otra cosa)

PARÁMETRO	CONDICIONES	LÍMITES						UNIDADES
		LM555			LM555C			
		MÍN	TYP	MÁX	MÍN	TYP	MÁX	
Voltaje de alimentación		4.5		18	4.5		16	V
Corriente de alimentación	$V_{CC} = 5\text{V}$ , $R_L = \infty$		3	5		3	6	mA
	$V_{CC} = 15\text{V}$ , $R_L = \infty$ (Estado bajo) (Nota 2)		10	12		10	15	mA
Error de tiempo monoestable								
Precisión inicial			0.5			1		%
Corrimiento con la temperatura	$R_A, R_B = 1\text{k}$ a $100\text{k}$ , $C = 0.1\mu\text{F}$ , (Nota 3)		30			50		ppm/°C
Precisión con la temperatura			1.5			1.5		%
Corrimiento con la alimentación			0.05			0.1		%V
Error de tiempo, estable								
Precisión inicial			1.5			2.25		%
Corrimiento con la temperatura			90			3.0		ppm/°C
Precisión con la temperatura			2.5			3.0		%
Corrimiento con la alimentación			0.15			0.30		%V
Voltaje de umbral			0.667			0.667		$\times V_{CC}$
Voltaje de disparo	$V_{CC} = 15\text{V}$	4.8	5	5.2		5		V
	$V_{CC} = 5\text{V}$	1.45	1.67	1.9		1.67		V
Corriente de disparo			0.01	0.5		0.5	0.9	$\mu\text{A}$
Voltaje de reinicio		0.4	0.5	1	0.4	0.5	1	V
Corriente de reinicio			0.1	0.4		0.1	0.4	mA
Corriente de umbral	(Nota 4)		0.1	0.25		0.1	0.25	$\mu\text{A}$
Nivel de voltaje de control	$V_{CC} = 15\text{V}$	9.6	10	10.4	9	10	11	V
	$V_{CC} = 5\text{V}$	2.9	3.33	3.8	2.6	3.33	4	V
Terminal 7 fuga de salida alta			1	100		1	100	nA
Terminal 7 SAT (Nota 5)								
Salida Baja	$V_{CC} = 15\text{V}$ , $I_7 = 15\text{mA}$		150			180		mV
Salida Baja	$V_{CC} = 4.5\text{V}$ , $I_7 = 4.5\text{mA}$		70	100		80	200	mV
Caída del voltaje de salida (baja)	$V_{CC} = 15\text{V}$							
	$I_{\text{consumo}} = 10\text{mA}$		0.1	0.15		0.1	0.25	V
	$I_{\text{consumo}} = 50\text{mA}$		0.4	0.5		0.4	0.75	V
	$I_{\text{consumo}} = 100\text{mA}$		2	2.2		2	2.5	V
	$I_{\text{consumo}} = 200\text{mA}$		2.5			2.5		V
	$V_{CC} = 5\text{V}$							
	$I_{\text{consumo}} = 8\text{mA}$		0.1	0.25				V
	$I_{\text{consumo}} = 5\text{mA}$					0.25	0.35	V
Caída del voltaje de salida (alta)	$I_{\text{suministro}} = 200\text{mA}$ , $V_{CC} = 15\text{V}$		12.5			12.5		V
	$I_{\text{suministro}} = 100\text{mA}$ , $V_{CC} = 15\text{V}$	13	13.3		12.75	13.3		V
	$V_{CC} = 5\text{V}$	3	3.3		2.75	3.3		V
Tiempo de subida a la salida			100			100		ns
Tiempo de caída a la salida			100			100		ns

Nota 1: Para operar a temperaturas más elevadas el dispositivo deberá considerarse una pérdida de disipación sobre la base de una temperatura de unión máxima de  $150^\circ\text{C}$  y una resistencia térmica de  $+45^\circ\text{C/W}$  de la unión al encapsulado para el TO-5 y  $+150^\circ\text{C/W}$  de la unión al ambiente para ambos encapsulados.

Nota 2: La corriente de alimentación cuando la salida es alta es típicamente 1 mA menor en  $V_{CC} = 5\text{V}$ .

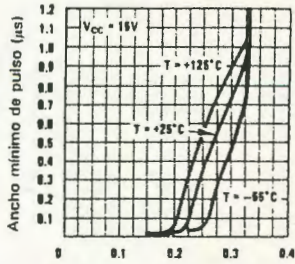
Nota 3: Probado en  $V_{CC} = 5\text{V}$  y  $V_{CC} = 15\text{V}$

Nota 4: Esto determinará el valor máximo de  $R_A + R_B$  para operación a  $+15\text{V}$ . El total máximo ( $R_A + R_B$ ) es 20 M $\Omega$

Nota 5: No es necesaria la protección contra corriente excesiva en la terminal 7 si no se excede el índice de disipación.

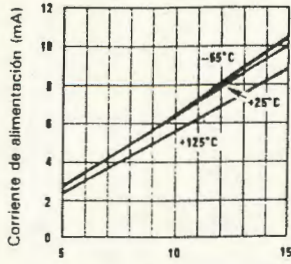
# Características de funcionamiento típicas

Ancho mínimo de pulso requerido para disparar



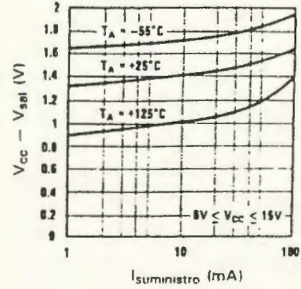
Nivel de voltaje mínimo del pulso de disparo (X V<sub>cc</sub>)

Corriente de alimentación vs. voltaje de alimentación

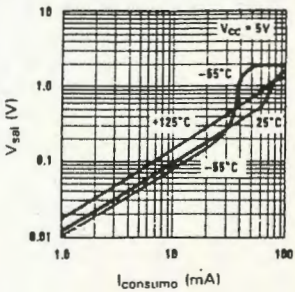


Voltaje de alimentación (V)

Voltaje de salida alto vs. corriente suministrada en la salida alta

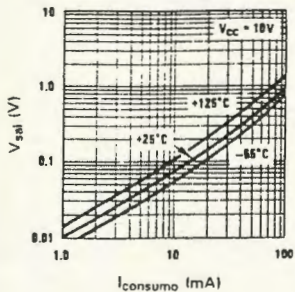


Voltaje de salida bajo vs. corriente consumida a la salida



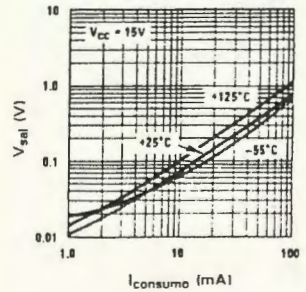
I<sub>consumo</sub> (mA)

Voltaje de salida bajo vs. corriente consumida a la salida



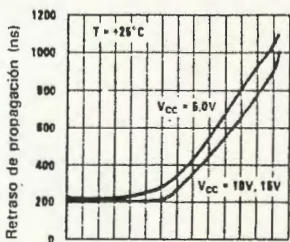
I<sub>consumo</sub> (mA)

Voltaje de salida bajo vs. corriente consumida a la salida



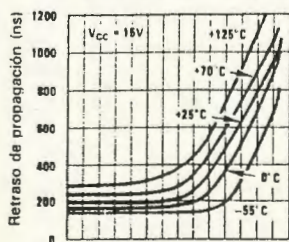
I<sub>consumo</sub> (mA)

Retraso de propagación a la salida vs. nivel de voltaje del pulso de disparo



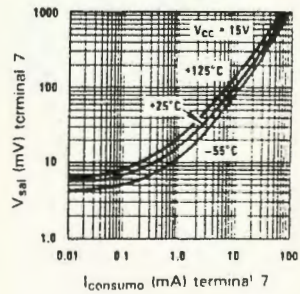
Nivel mínimo del pulso de disparo (X V<sub>cc</sub>)

Retraso de propagación a la salida vs. nivel de voltaje del pulso de disparo

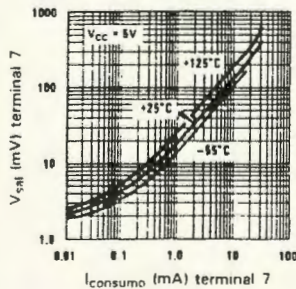


Nivel mínimo del pulso de disparo (X V<sub>cc</sub>)

Voltaje del transistor de descarga (Terminal 7) vs. consumo de corriente



Voltaje del transistor de descarga (Terminal 7) vs. consumo de corriente



## Información de aplicaciones

### OPERACIÓN MONOESTABLE

En este modo de operación, el temporizador funciona como un multivibrador monoestable (Figura 1). Inicialmente el condensador externo se mantiene descargado por un transistor interno del temporizador. Cuando se aplica un pulso de disparo negativo menor de  $1/3 V_{cc}$  a la terminal 2, el multivibrador se ajusta con lo cual libera el cortocircuito a través del condensador y lleva la salida a alto.

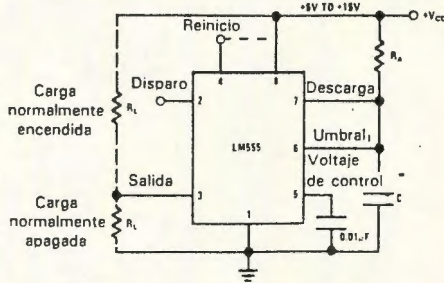
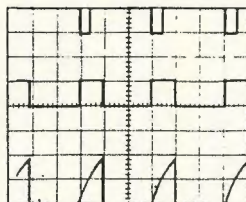


FIGURA 1. Multivibrador monoestable

Entonces el voltaje a través del condensador se incrementa exponencialmente por un periodo  $t = 1.1 R_A C$ , al final del cual el voltaje es igual a  $2/3 V_{cc}$ . Entonces, el comparador reinicia al multivibrador el cual a su vez descarga el condensador y lleva a su estado bajo a la salida. En la figura 2 se muestra este modo de operación. Puesto que la carga y el nivel de umbral del comparador son directamente proporcionales al voltaje de alimentación, la temporización interna es independiente de la alimentación.



$V_{cc} = 5V$   
 Tiempo = 0.1 ms/Div  
 $R_A = 9.1k\Omega$   
 $C = 0.01\mu F$   
 Trazo superior: Entrada 5V/Div  
 Trazo medio: Salida 5V/Div  
 Trazo inferior: Voltaje del condensador 2V/Div

FIGURA 2. Formas de onda del multivibrador monoestable

Durante el ciclo de temporización cuando la salida es alta, la aplicación de un pulso de disparo adicional no afectará el circuito. Sin embargo, el circuito puede reiniciarse durante este tiempo con la aplicación de un pulso negativo a la terminal de reinicio (4). Entonces la salida permanecerá en el estado bajo hasta que se aplique nuevamente un pulso de disparo.

Cuando no se utilice la función de reinicio, se recomienda que se conecte a  $V_{cc}$  para evitar cualquier posibilidad de un disparo falso.

La figura 3 es una gráfica para determinar fácilmente los valores de R, C para varios tiempos de retraso.

Nota: En la operación monoestable el disparo será llevado a "alto" antes del final del ciclo de temporización

### OPERACIÓN ASTABLE

Si el circuito se conecta como se muestra en la figura 4 (terminales 2 y 6 conectadas) se disparará a sí mismo y oscilará.

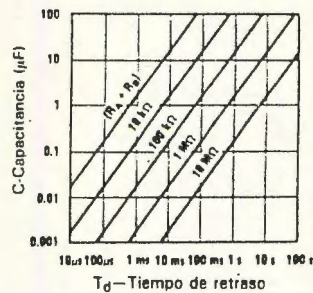


FIGURA 3. Tiempo de retraso

Como un multivibrador. El condensador externo se carga a través de  $R_A + R_B$  y se descarga a través de  $R_B$ . Por tanto, el ciclo de trabajo puede ajustarse exactamente por la relación de estos dos resistores.

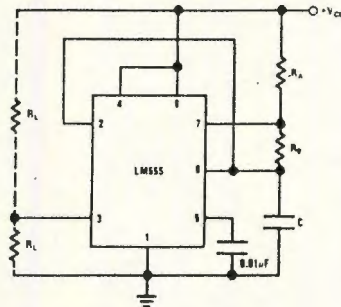
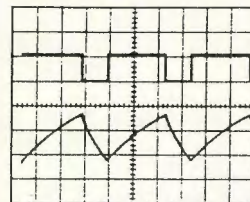


FIGURA 4. Multivibrador estable

En este modo de operación, el condensador se carga y descarga entre  $1/3 V_{cc}$  y  $2/3 V_{cc}$ . Como en el modo monoestable, los tiempos de carga y descarga y, por tanto, la frecuencia son independientes del voltaje de alimentación.

La figura 5 muestra las formas de onda y entradas en este modo de operación.



$V_{cc} = 5V$   
 Tiempo = 20µs/Div  
 $R_A = 3.9k\Omega$   
 $R_B = 3k\Omega$   
 $C = 0.01\mu F$   
 Trazo superior: salida 5V Div  
 Trazo inferior: Voltaje del condensador 1V Div

FIGURA 5. Formas de onda multivibrador estable

El tiempo de carga (salida alta) está dado por:  $t = 0.693 (R_A + R_B)C$

Y el tiempo de descarga (salida baja) por:  $t_2 = 0.693 (R_B)C$

Por tanto, el periodo total es  $T = t_1 + t_2 = 0.693 (R_A + 2 R_B)C$

## Información de aplicaciones (Continuación)

La frecuencia de oscilaciones:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

La figura 6 puede utilizarse para determinar rápidamente estos valores de RC

El ciclo de trabajo es:  $D = \frac{R_B}{R_A + 2R_B}$

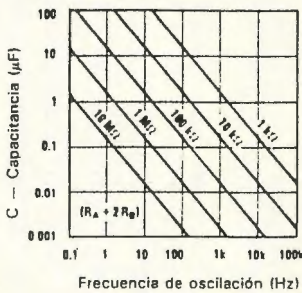
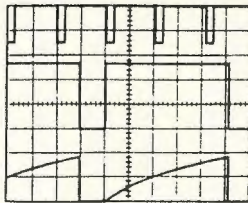


FIGURA 6. Frecuencia de oscilación

### DIVISOR DE FRECUENCIA

El circuito monoestable de la figura 1 puede utilizarse como un divisor de frecuencia sin ajustar la longitud del ciclo de temporización. La figura 7 muestra las formas de onda y entradas por un circuito que divide entre tres.



$V_{CC} = 5V$   
 Tiempo = 20µs/Div  
 $R_A = 9.1k\Omega$   
 $C = 0.01\mu F$   
 Trazo superior: Entrada 4V/Div  
 Trazo medio: Salida 2V/Div  
 Trazo inferior: Condensador 2V/Div

FIGURA 7. Divisor de frecuencia

### MODULADOR DE ANCHO DE PULSO

Cuando el temporizador se conecta en el modo monoestable y se dispara con un tren de pulsos continuos, el ancho del pulso de salida puede modularse por una señal aplicada a la terminal 5. La figura 8 muestra el circuito y la figura 9 algunas formas de onda de ejemplo.

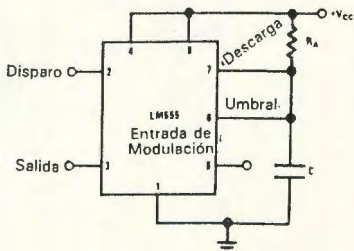
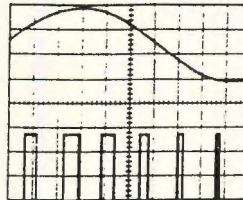


FIGURA 8. Modulador de ancho de pulso



$V_{CC} = 5V$   
 Tiempo = 0.2 ms/Div.  
 $R_A = 9.1k\Omega$   
 $C = 0.01\mu F$   
 Trazo superior: Modulación 1V Div  
 Trazo inferior: Salida 2V Div

FIGURA 9. Modulador de ancho de pulso

### MODULADOR DE POSICIÓN DE PULSO

Esta aplicación utiliza el temporizador conectado para operación astable, como en la figura 10, con una señal de modulación aplicada nuevamente a la terminal de voltaje de control. La posición del pulso varía con la señal de modulación, puesto que el umbral y, por tanto, el retraso de tiempo se varían.

La figura 11 muestra las formas de onda generadas por una señal de modulación de forma de onda triangular.

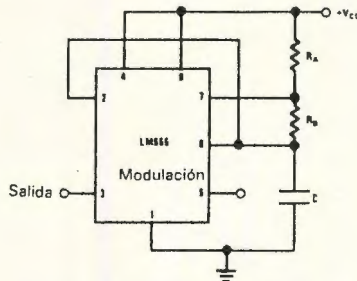
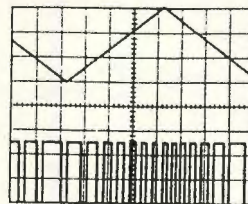


FIGURA 10. Modulador de posición de pulso



$V_{CC} = 5V$   
 Tiempo = 0.1µs/Div  
 $R_A = 3.9k\Omega$   
 $R_B = 3k\Omega$   
 $C = 0.01\mu F$   
 Trazo superior: Entrada de modulación 1V/Div  
 Trazo inferior: Voltaje del condensador 2V Div

FIGURA 11. Modulador de posición de pulso

### RAMPA LINEAL

Cuando en el circuito monoestable el resistor de subida se reemplaza por una fuente de corriente constante, se genera una rampa lineal.

### Información de aplicaciones (Continuación)

La figura 12 muestra una configuración de circuito que realizará esta función.

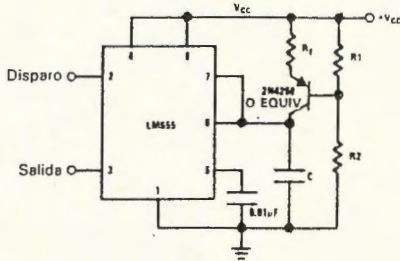


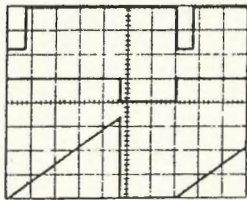
FIGURA 12.

La figura 13 muestra las formas de onda generadas por una rampa lineal.

El tiempo de intervalo está dado por:

$$T = \frac{2/3 V_{CC} R_E (R_1 + R_2) C}{R_1 V_{CC} - V_{BE} (R_1 + R_2)}$$

$$V_{BE} \approx 0.6V$$



$V_{CC} = 5V$   
 Tiempo = 20µs/Div.  
 $R_1 = 47 k\Omega$   
 $R_2 = 100 k\Omega$   
 $R_E = 2.7 k\Omega$   
 $C = 0.01\mu F$

Trazo superior: Entrada 5V/Div  
 Trazo medio: Salida 5V/Div  
 Trazo inferior: Voltaje de condensador 1V/Div

FIGURA 13. Rampa lineal

#### OSCILADOR CON CICLO DE TRABAJO DEL 50%

Para un ciclo de trabajo del 50%, los resistores  $R_A$  y  $R_B$  pueden conectarse como en la figura 14. El período para

la salida en alto es igual que antes,  $t_1 = 0.693 R_A C$ . Para la salida en bajo es  $t_2 =$

$$\left[ \frac{R_A R_B}{(R_A + R_B)} \right] C \ln \left[ \frac{R_B - 2R_A}{2R_B - R_A} \right]$$

Por tanto, la frecuencia de oscilación es:  $f = \frac{1}{t_1 + t_2}$

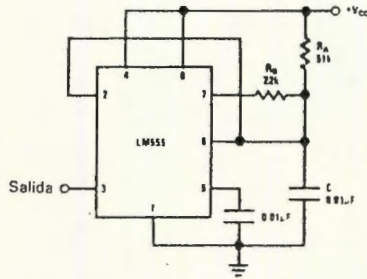


FIGURA 14. Oscilador con ciclo de trabajo del 50%

Nótese que este circuito no oscilará si  $R_B$  es más grande que  $1/2 R_A$  ya que la unión de  $R_A$  y  $R_B$  no puede llevar a la terminal 2 por abajo de  $1/3 V_{CC}$  y disparar el comparador inferior.

#### INFORMACIÓN ADICIONAL

Es necesario un acoplamiento de desvío adecuado para la fuente de alimentación para proteger los circuitos asociados. El mínimo recomendado es  $0.1\mu F$  en paralelo con  $1\mu F$  electrolítico.

El tiempo de almacenamiento del comparador inferior puede ser tan largo como  $10\mu s$  cuando la terminal 2 se lleva totalmente a tierra por el disparo. Esto limita el ancho del pulso monoestable a un mínimo de  $10\mu s$ .

El retraso del tiempo de reinicio es por lo general  $0.47\mu s$ . El ancho mínimo del pulso de reinicio debe ser por lo general  $0.3\mu s$ .

La corriente de la terminal 7 conmuta dentro de los  $30ns$  del voltaje de salida (terminal 3).

2N2218S, AS, 2N2219S, AS, 2N2221, A(SILICON)  
 2N2222, A, 2N5581, 2N5582

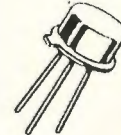
**NPN SILICON ANNULAR HERMETIC TRANSISTORS**

widely used "Industry Standard" transistors for applications as medium-speed switches and as amplifiers from audio to VHF frequencies.

- DC Current Gain Specified - 1.0 to 500 mAdc
- Low Collector-Emitter Saturation Voltage -
  - $V_{CE(sat)}$  @  $I_C = 500$  mAdc
    - = 1.8 Vdc (Max) - Non A Suffix
    - = 1.0 Vdc (Max) - A-Suffix
- High Current-Gain-Bandwidth Product -
  - $f_T = 250$  MHz (Min) @  $I_C = 20$  mAdc - All Types Except
  - $f_T = 300$  MHz (Min) @  $I_C = 20$  mAdc - 2N2219A, 2N2222A, 2N5582
- Complements to PNP 2N7904,A thru 2N2907,A
- JAN, JTX Available in all devices
- JTXV Available on 2N2222,A Series
- 2N2218 and 2N2219 available in TO-39 Package With 1/2" Leads (1)

**NPN SILICON SWITCHING AND AMPLIFIER TRANSISTORS**

CASE 79-02  
 TO-39  
 2N2218,A  
 2N2219,A



**SELECTION GUIDE**

Device Type	Characteristic			Package
	$V_{CE0}$ $I_C = 10$ mAdc Volts	$I_C = 150$ mAdc Min/Max	$h_{FE}$ $I_C = 500$ mAdc Min	
2N2218 2N2219	30	40/120 100/300	20 30	TO-5
2N2221 2N2222	30	40/120 100/300	20 30	TO-18
2N5581 2N5582	40	40/120 100/300	75 40	TO-46
2N2218A 2N2219A	40	40/120 100/300	25 40	TO-5
2N2221A 2N2222A	40	40/120 100/300	25 40	TO-18

CASE 72-03  
 TO-18  
 2N2218,A  
 2N2222,A

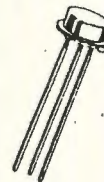


**\*MAXIMUM RATINGS**

Rating	Symbol	2N2218 2N2219 2N2221 2N2222	2N2218A 2N2219A 2N2221A 2N2222A	2N5581 2N5582	Unit
Collector-Emitter Voltage	$V_{CE0}$	30	40	40	Vdc
Collector-Base Voltage	$V_{CB}$	60	75	75	Vdc
Emitter-Base Voltage	$V_{EB}$	5.0	6.0	6.0	Vdc
Collector Current - Continuous	$I_C$	800	800	800**	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	0.8 5.33	0.5 3.33	0.5 3.33	Watt mW/ $^\circ\text{C}$
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	3.0 20	1.8 12	2.0 11.43	Watts mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	$T_{J, stg}$	-65 to +200			$^\circ\text{C}$

\*Indicates JEDEC Registered Data.  
 \*\*Motorola Guarantees this Data in Addition to JEDEC Registered Data.

CASE 26-03  
 TO-46  
 2N5581  
 2N5582



2N2218S,AS, 2N2219S,AS, 2N2221,A, 2N2222,A, 2N5581, 2N5582 (continued)

\*ELECTRICAL CHARACTERISTICS (Continued)

Characteristic		Symbol	Min	Max	Unit
<b>SMALL-SIGNAL CHARACTERISTICS</b>					
Current Gain-Bandwidth Product <sup>(2)</sup> ( $I_C = 20 \text{ mA dc}$ , $V_{CE} = 20 \text{ V dc}$ , $f = 100 \text{ MHz}$ )	All Types, Except 2N2219A, 2N2222A, 2N5582	$f_T$	250 300	— —	MHz
Output Capacitance <sup>(3)</sup> ( $V_{CB} = 10 \text{ V dc}$ , $I_E = 0$ , $f = 100 \text{ kHz}$ )		$C_{ob}$	—	8.0	pF
Input Capacitance <sup>(3)</sup> ( $V_{EB} = 0.5 \text{ V dc}$ , $I_C = 0$ , $f = 100 \text{ kHz}$ )	Non-A Suffix A-Suffix, 2N5581, 2N5582	$C_{ib}$	— —	30 25	pF
Input Impedance ( $I_C = 1.0 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582	$h_{ie}$	1.0 2.0	3.5 8.0	k ohms
( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582		0.2 0.25	1.0 1.25	
Voltage Feedback Ratio ( $I_C = 1.0 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582	$h_{re}$	— —	5.0 8.0	$\times 10^{-4}$
( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582		— —	2.5 4.0	
Small-Signal Current Gain ( $I_C = 1.0 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582	$h_{fe}$	30 50	150 300	—
( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582		50 75	300 375	
Output Admittance ( $I_C = 1.0 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582	$h_{oe}$	3.0 5.0	15 35	$\mu\text{mhos}$
( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 10 \text{ V dc}$ , $f = 1.0 \text{ kHz}$ )	2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582		10 25	100 200	
Collector-Base Time Constant ( $I_E = 20 \text{ mA dc}$ , $V_{CB} = 20 \text{ V dc}$ , $f = 31.6 \text{ MHz}$ )	A Suffix, 2N5581, 2N5582	$t_b' C_c$	—	150	ps
Noise Figure ( $I_C = 100 \mu\text{A dc}$ , $V_{CE} = 10 \text{ V dc}$ , $R_S = 1.0 \text{ k ohm}$ , $f = 1.0 \text{ kHz}$ )	2N2219A, 2N2222A	NF	—	4.0	dB

SWITCHING CHARACTERISTICS (A-Suffix, 2N5581 and 2N5582)

Delay Time	(V <sub>CC</sub> = 30 Vdc, V <sub>BE</sub> (off) = 0.5 Vdc, I <sub>C</sub> = 150 mA dc, I <sub>B1</sub> = 15 mA dc) (Figure 14)	t <sub>d</sub>	—	10	ns
Rise Time		t <sub>r</sub>	—	25	ns
Storage Time	(V <sub>CC</sub> = 30 Vdc, I <sub>C</sub> = 150 mA dc, I <sub>B1</sub> = I <sub>B2</sub> = 15 mA dc) (Figure 15)	t <sub>s</sub>	—	225	ns
Fall Time		t <sub>f</sub>	—	60	ns
Active Region Time Constant** (I <sub>C</sub> = 150 mA dc, V <sub>CE</sub> = 30 Vdc)		T <sub>A</sub>	—	2.5	ns

\* Indicates JEDEC Registered Data.

\*\* Motorola Guarantees this Data in Addition to JEDEC Registered Data

(1) Pulse Test: Pulse Width  $\leq 300 \mu\text{s}$ , Duty Cycle  $\leq 2.0\%$

(2)  $f_T$  is defined as the frequency at which  $|h_{fe}|$  extrapolates to unity.

(3) 2N5581 and 2N5582 are Listed C<sub>cb</sub> and C<sub>cb</sub> for these conditions and values.

**\*ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25°C unless otherwise noted)**

Characteristic		Symbol	Min	Max	Unit
<b>OFF CHARACTERISTICS</b>					
Collector-Emitter Breakdown Voltage (I <sub>C</sub> = 10 mA, I <sub>B</sub> = 0)	Non-A Suffix A Suffix, 2N5581, 2N5582	BV <sub>CEO</sub>	30 40	— —	V <sub>dc</sub>
Collector-Base Breakdown Voltage (I <sub>C</sub> = 10 μA, I <sub>E</sub> = 0)	Non-A Suffix A-Suffix, 2N5581, 2N5582	BV <sub>CBO</sub>	60 75	— —	V <sub>dc</sub>
Emitter-Base Breakdown Voltage (I <sub>E</sub> = 10 μA, I <sub>C</sub> = 0)	Non-A Suffix A-Suffix, 2N5581, 2N5582	BV <sub>EBO</sub>	5.0 6.0	— —	V <sub>dc</sub>
Collector Cutoff Current (V <sub>CE</sub> = 60 V <sub>dc</sub> , V <sub>EB</sub> (off) = 3.0 V <sub>dc</sub> )	A-Suffix, 2N5581, 2N5582	I <sub>CEX</sub>	—	10	nA <sub>dc</sub>
Collector Cutoff Current (V <sub>CB</sub> = 50 V <sub>dc</sub> , I <sub>E</sub> = 0)	Non-A Suffix	I <sub>CBO</sub>	—	0.01	μA <sub>dc</sub>
(V <sub>CB</sub> = 60 V <sub>dc</sub> , I <sub>E</sub> = 0)	A-Suffix, 2N5581, 2N5582		—	0.01	
(V <sub>CB</sub> = 50 V <sub>dc</sub> , I <sub>E</sub> = 0, T <sub>A</sub> = 150°C)	Non-A Suffix		—	10	
(V <sub>CB</sub> = 60 V <sub>dc</sub> , I <sub>E</sub> = 0, T <sub>A</sub> = 150°C)	A-Suffix, 2N5581, 2N5582		—	10	
Emitter Cutoff Current (V <sub>EB</sub> = 3.0 V <sub>dc</sub> , I <sub>C</sub> = 0)	A-Suffix, 2N5581, 2N5582	I <sub>EBO</sub>	—	10	nA <sub>dc</sub>
Base Cutoff Current (V <sub>CE</sub> = 60 V <sub>dc</sub> , V <sub>EB</sub> (off) = 3.0 V <sub>dc</sub> )	A-Suffix	I <sub>BL</sub>	—	20	nA <sub>dc</sub>
<b>ON CHARACTERISTICS</b>					
DC Current Gain (I <sub>C</sub> = 0.1 mA, V <sub>CE</sub> = 10 V <sub>dc</sub> )	2N2218, A, 2N2221, A, 2N5581(†) 2N2219, A, 2N2222, A, 2N5582(†)	h <sub>FE</sub>	20 35	— —	—
(I <sub>C</sub> = 1.0 mA, V <sub>CE</sub> = 10 V <sub>dc</sub> )	2N2218, A, 2N2221, A, 2N5581 2N2219, A, 2N2222, A, 2N5582		25 50	— —	
(I <sub>C</sub> = 10 mA, V <sub>CE</sub> = 10 V <sub>dc</sub> )	2N2218, A, 2N2221, A, 2N5581(†) 2N2219, A, 2N2222, A, 2N5582(†)		35 75	— —	
(I <sub>C</sub> = 10 mA, V <sub>CE</sub> = 10 V <sub>dc</sub> , T <sub>A</sub> = 75°C)	2N2218, A, 2N2221, A, 2N5581 2N2219, A, 2N2222, A, 2N5582		15 35	— —	
(I <sub>C</sub> = 150 mA, V <sub>CE</sub> = 10 V <sub>dc</sub> )(†)	2N2218, A, 2N2221, A, 2N5581 2N2219, A, 2N2222, A, 2N5582		40 100	120 300	
(I <sub>C</sub> = 150 mA, V <sub>CE</sub> = 1.0 V <sub>dc</sub> )(†)	2N2218, A, 2N2221, A, 2N5581 2N2219, A, 2N2222, A, 2N5582		20 50	— —	
(I <sub>C</sub> = 500 mA, V <sub>CE</sub> = 10 V <sub>dc</sub> )(†)	2N2218, 2N2221 2N2219, 2N2222 2N2218, A, 2N2221, A, 2N5581 2N2219, A, 2N2222, A, 2N5582		20 30 25 40	— — — —	
Collector-Emitter Saturation Voltage(†) (I <sub>C</sub> = 150 mA, I <sub>B</sub> = 15 mA)	Non-A Suffix A-Suffix, 2N5581, 2N5582	V <sub>CE(sat)</sub>	— —	0.4 0.3	V <sub>dc</sub>
(I <sub>C</sub> = 500 mA, I <sub>B</sub> = 50 mA)	Non-A Suffix A-Suffix, 2N5581, 2N5582		— —	1.6 1.0	
Base-Emitter Saturation Voltage(†) (I <sub>C</sub> = 150 mA, I <sub>B</sub> = 15 mA)	Non-A Suffix A-Suffix, 2N5581, 2N5582	V <sub>BE(sat)</sub>	0.6 0.6	2.0 1.2	V <sub>dc</sub>
(I <sub>C</sub> = 500 mA, I <sub>B</sub> = 50 mA)	Non-A Suffix A-Suffix, 2N5581, 2N5582		— —	2.6 2.0	

\* Indicates JEDEC Registered Data

FIGURE 1 - NORMALIZED DC CURRENT GAIN

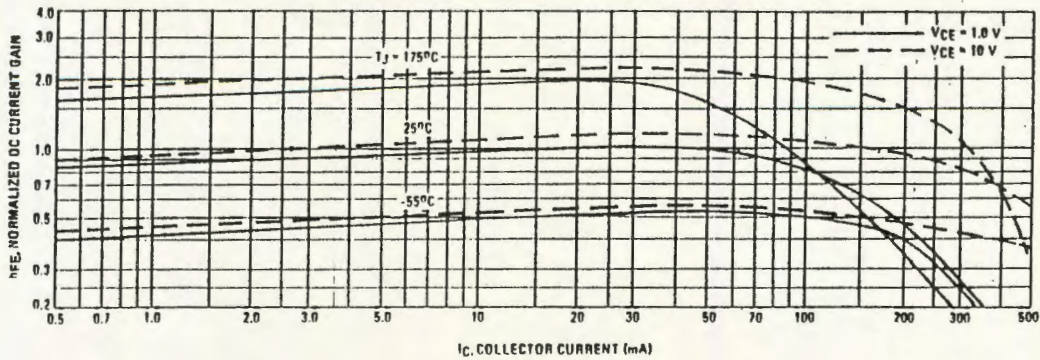
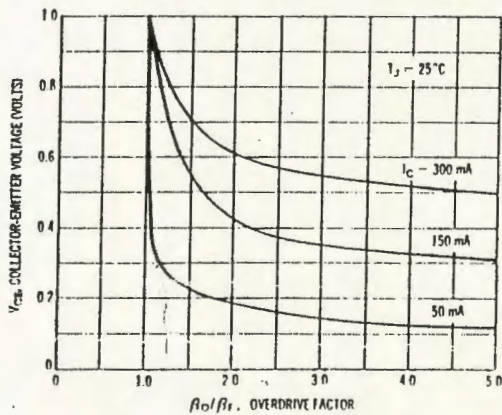


FIGURE 2 - COLLECTOR CHARACTERISTICS IN SATURATION REGION



This graph shows the effect of base current on collector current.  $\beta_o$  (current gain at the edge of saturation) is the current gain of the transistor at 1 volt, and  $\beta_r$  (forced gain) is the ratio of  $I_C/I_B$  in a circuit.

EXAMPLE: For type 2N2219, estimate a base current ( $I_B$ ) to insure saturation at a temperature of  $25^\circ\text{C}$  and a collector current of 150 mA.

Observe that at  $I_C = 150$  mA an overdrive factor of at least 2.5 is required to drive the transistor well into the saturation region. From Figure 1, it is seen that  $h_{FE}$  @ 1 volt is approximately 0.62 of  $h_{FE}$  @ 10 volts. Using the guaranteed minimum gain of 100 @ 150 mA and 10 V,  $\beta_o = 62$  and substituting values in the overdrive equation, we find:

$$\frac{\beta_o}{\beta_r} = \frac{h_{FE} @ 1.0V}{I_C/I_B} \quad 2.5 = \frac{62}{150/I_B} \quad I_B \approx 6.0 \text{ mA}$$

FIGURE 3 - "ON" VOLTAGES

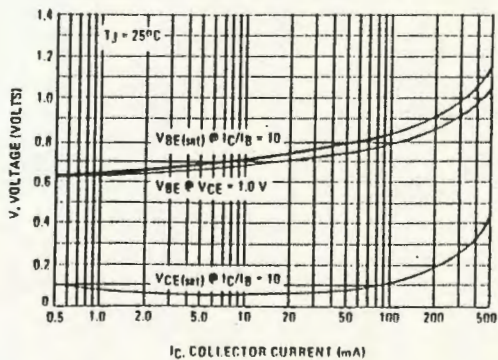
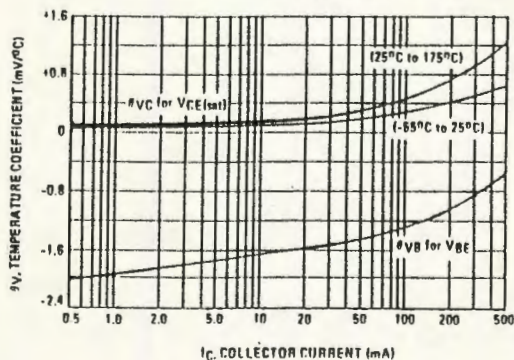
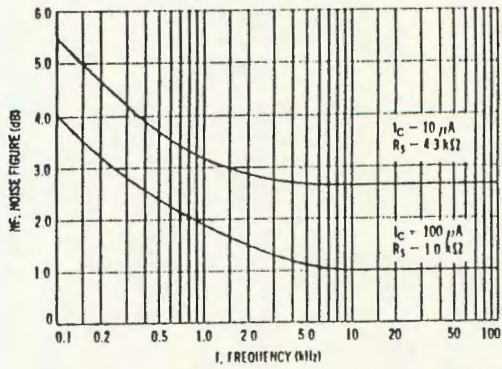


FIGURE 4 - TEMPERATURE COEFFICIENTS

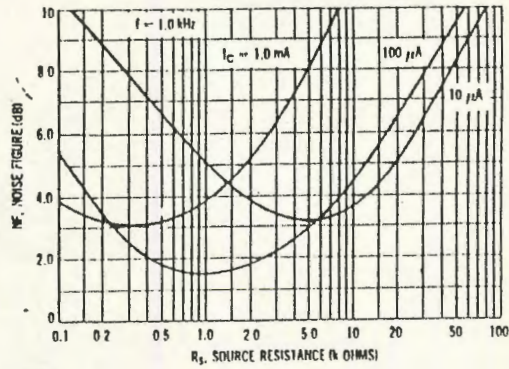


**NOISE FIGURE**  
 $V_{CE} = 10 \text{ V}, T_A = 25^\circ\text{C}$

**FIGURE 5 - FREQUENCY EFFECTS**



**FIGURE 6 - SOURCE RESISTANCE EFFECTS**

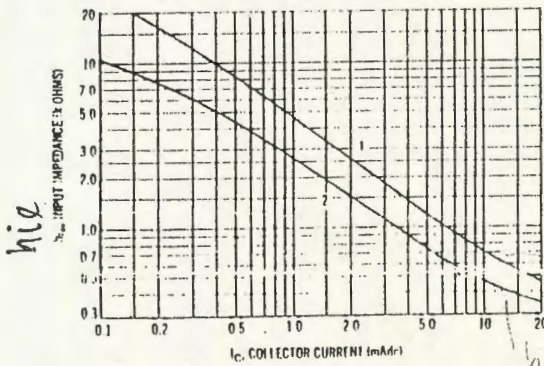


**h PARAMETERS**

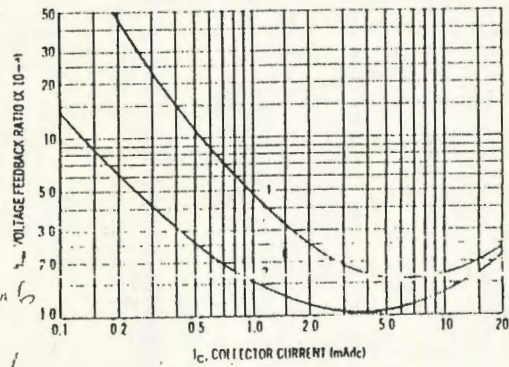
$V_{CE} = 10 \text{ Vdc}, f = 1.0 \text{ kHz}, T_A = 25^\circ\text{C}$

This group of graphs illustrates the relationship between  $h_{fe}$  and other "h" parameters for this series of transistors. To obtain these curves, a high gain and a low gain unit were selected and the same units were used to develop the correspondingly numbered curves on each graph.

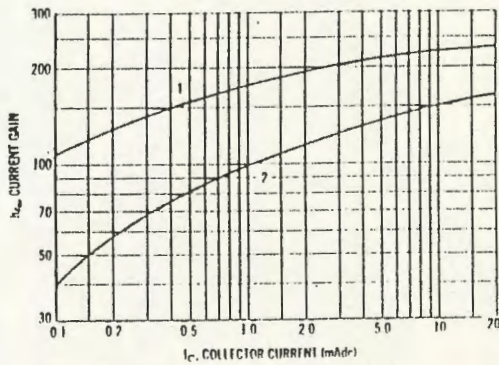
**FIGURE 7 - INPUT IMPEDANCE**



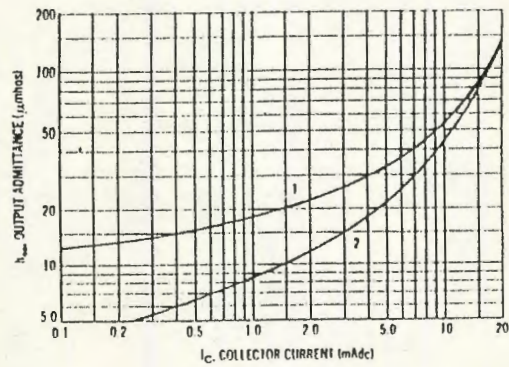
**FIGURE 8 - VOLTAGE FEEDBACK RATIO**



**FIGURE 9 - CURRENT GAIN**



**FIGURE 10 - OUTPUT ADMITTANCE**



## LINEAR INTEGRATED CIRCUITS

### DESCRIPTION

The SE/NE 567 tone and frequency decoder is a highly stable phase-locked loop with synchronous AM lock detection and power output circuitry. Its primary function is to drive a load whenever a sustained frequency within its detection band is present at the self-biased input. The bandwidth center frequency, and output delay are independently determined by means of four external components.

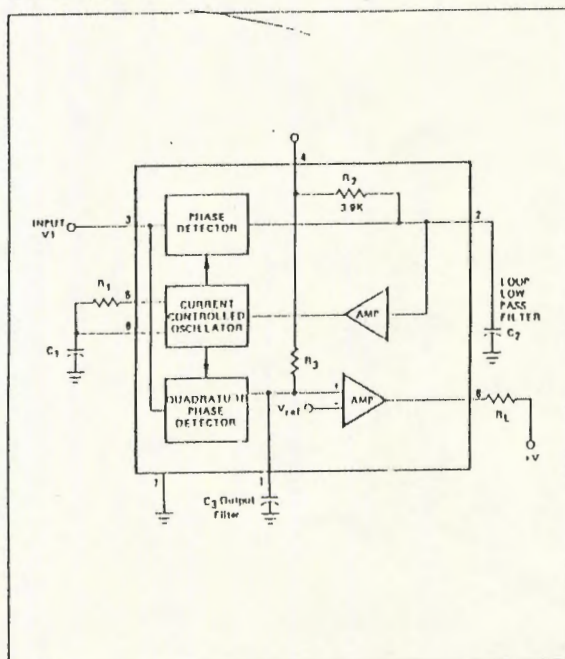
### FEATURES

- WIDE FREQUENCY RANGE (0.01Hz TO 500kHz)
- HIGH STABILITY OF CENTER FREQUENCY
- INDEPENDENTLY CONTROLLABLE BANDWIDTH (0 TO 14 PERCENT)
- HIGH OUT-BAND SIGNAL AND NOISE REJECTION
- LOGIC-COMPATIBLE OUTPUT WITH 100mA CURRENT SINKING CAPABILITY
- INHERENT IMMUNITY TO FALSE SIGNALS
- FREQUENCY ADJUSTMENT OVER A 20 TO 1 RANGE WITH AN EXTERNAL RESISTOR

### APPLICATIONS

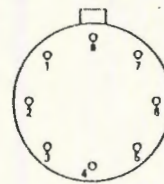
TOUCH TONE<sup>®</sup> DECODING  
 CARRIER CURRENT REMOTE CONTROLS  
 ULTRASONIC CONTROLS (REMOTE TV, ETC.)  
 COMMUNICATIONS PAGING  
 FREQUENCY MONITORING AND CONTROL  
 WIRELESS INTERCOM  
 PRECISION OSCILLATOR

### BLOCK DIAGRAM



### PIN CONFIGURATION

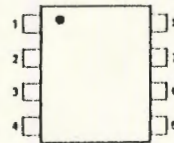
#### T PACKAGE (Top View)



- 1 Output Filter Capacitor  $C_3$
- 2 Low Pass Filter Capacitor  $C_2$
- 3 Input
- 4 Supply Voltage  $+V$
- 5 Timing Element  $R_1$
- 6 Timing Elements  $R_1$  and  $C_1$
- 7 Ground
- 8 Output

ORDER PART NOS. SE567T/NE567T

#### V PACKAGE



- 1 Output Filter Capacitor  $C_3$
- 2 Low Pass Filter Capacitor  $C_2$
- 3 Input
- 4 Supply Voltage  $+V$
- 5 Timing Element  $R_1$
- 6 Timing Elements  $R_1$  and  $C_1$
- 7 Ground
- 8 Output

ORDER PART NO. NE567V

### ABSOLUTE MAXIMUM RATINGS:

Operating Temperature	0°C to 70°C NE567 -55°C to 125°C SE567
Operating Voltage	10V
Positive Voltage at Input	0.5V above Supply Voltage (Pin 4)
Negative Voltage at Input	-10 VDC
Output Voltage (collector of output transistor)	15 VDC
Storage Temperature	-65°C to 150°C
Power Dissipation	300mW

SE/NE565 - PHASE LOCKED LOOP

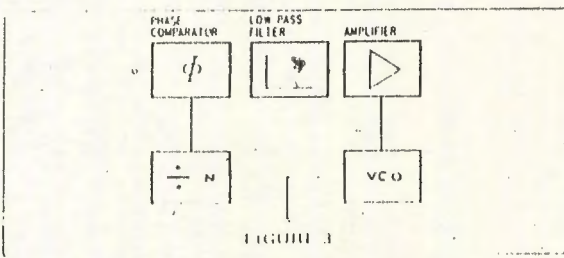
FREQUENCY MULTIPLICATION

There are two methods by which frequency multiplication can be achieved using the 565:

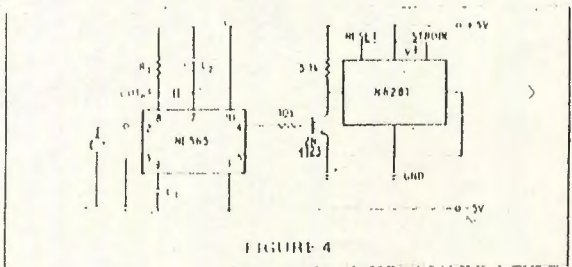
1. Locking to a harmonic of the input signal.
2. Inclusion of a digital frequency divider or counter in the loop between the VCO and phase comparator.

The first method is the simplest, and can be achieved by setting the free running frequency of the VCO to a multiple of the input frequency. A limitation of this scheme is that the lock range decreases as successively higher and weaker harmonics are used for locking. If the input frequency is to be constant with little tracking required, the loop can generally be locked to any one of the first 5 harmonics. For higher orders of multiplication, or for cases where a large lock range is desired, the second scheme is more desirable. An example of this might be a case where the input signal varies over a wide frequency range and a large multiple of the input frequency is required.

A block diagram of the second scheme is shown in Figure 3. Here the loop is broken between the VCO and the phase comparator, and a frequency divider is inserted. The funda-



mental of the divided VCO frequency is locked to the input frequency in this case, so that the VCO is actually running at a multiple of the input frequency. The amount of multiplication is determined by the frequency divider. A typical connection scheme is shown in Figure 4. To set up the circuit, the frequency limits of the input signal must be determined. The free running frequency of the VCO is then adjusted by means of R<sub>1</sub> and C<sub>1</sub> (as discussed under FM demodulation) so that the output frequency of the divider is midway between the input frequency limits. The filter capacitor, C<sub>2</sub>, should be large enough to eliminate variations in the demodulated output voltage (at pin 7), in order to stabilize the VCO frequency. The output can now be taken as the VCO squarewave output, and its fundamental will be the desired multiple of the input frequency (f<sub>1</sub>) as long as the loop is in lock.



SCA (BACKGROUND MUSIC) DECODER

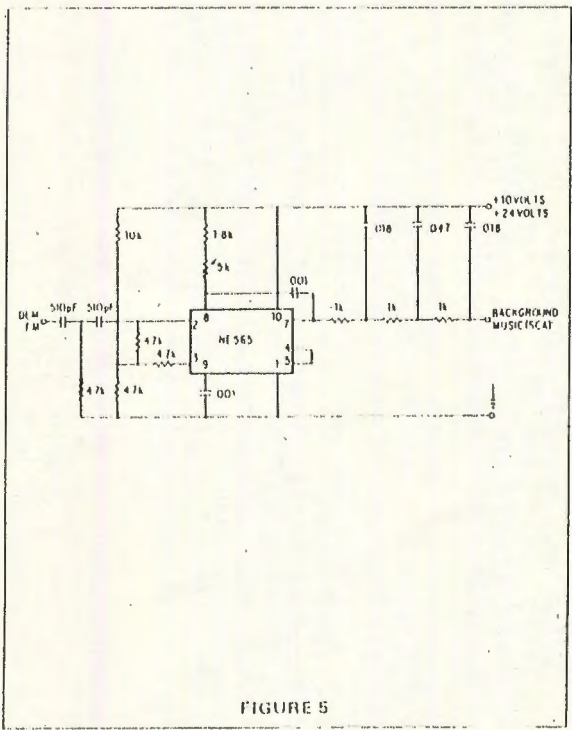
Some FM stations are authorized by the FCC to broadcast uninterrupted background music for commercial use. To do this a frequency modulated subcarrier of 67 kHz is used. The frequency is chosen so as not to interfere with the normal stereo or monaural program; in addition, the level of the subcarrier is only 10% of the amplitude of the combined signal.

The SCA signal can be filtered out and demodulated with the NE565 Phase Locked Loop without the use of any resonant circuits. A connection diagram is shown in Figure 5. This circuit also serves as an example of operation from a single power supply.

A resistive voltage divider is used to establish a bias voltage for the input (pins 2 and 3). The demodulated (multiplex) FM signal is fed to the input through a two-stage high-pass filter, both to effect capacitive coupling and to attenuate the strong signal of the regular channel. A total signal amplitude, between 80 mV and 300 mV, is required at the input. Its source should have an impedance of less than 10,000 ohms.

The Phase Locked Loop is tuned to 67 kHz with a 5000 ohm potentiometer; only approximate tuning is required, since the loop will seek the signal.

The demodulated output (pin 7) passes through a three-stage low pass filter to provide de emphasis and attenuate the high frequency noise which often accompanies SCA transmission. Note that no capacitor is provided directly at pin 7, thus, the circuit is operating as a first order loop. The demodulated output signal is in the order of 50 mV and the frequency response extends to 7 kHz.



## DESIGN FORMULAS

$$f_0 \approx \frac{1.1}{R_1 C_1}$$

$$BW \approx 1070 \sqrt{\frac{V_i}{f_0 C_2}} \text{ m \% of } f_0, V_i \leq 200 \text{ nV}$$

Where

$V_i$  Input Voltage (Volts)

$C_2$  Low Pass Filter Capacitor ( $\mu\text{F}$ )

PHASE LOCKED LOOP TERMINOLOGY  
CENTER FREQUENCY ( $f_0$ )

The free running frequency of the current controlled oscillator (CCO) in the absence of an input signal.

## DETECTION BANDWIDTH (BW)

The frequency range, centered about  $f_0$ , within which an input signal above the threshold voltage (typically 20mV rms) will cause a logical zero state on the output. The detection bandwidth corresponds to the loop capture range.

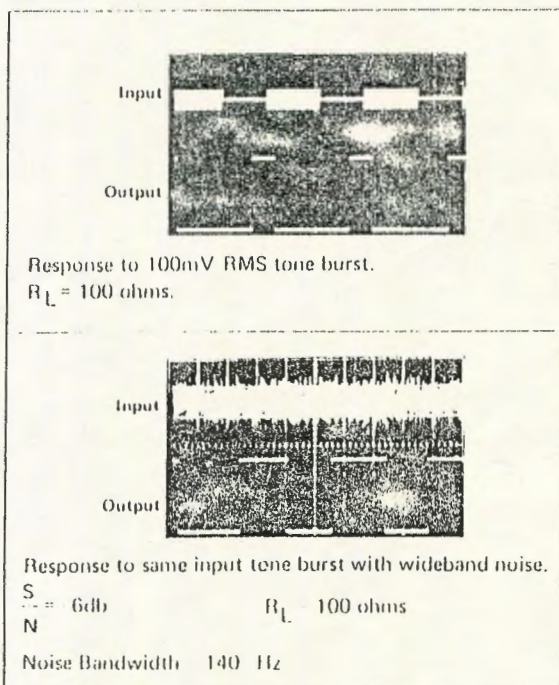
## LARGEST DETECTION BANDWIDTH

The largest frequency range within which an input signal above the threshold voltage will cause a logical zero state on the output. The maximum detection bandwidth corresponds to the loop lock range.

## DETECTION BAND SKEW

A measure of how well the largest detection band is centered about the center frequency,  $f_0$ . The skew is defined as  $(f_{\text{max}} + f_{\text{min}} - 2f_0)/f_0$  where  $f_{\text{max}}$  and  $f_{\text{min}}$  are the frequencies corresponding to the edges of the detection band. The skew can be reduced to zero if necessary by means of an optional centering adjustment.

## TYPICAL RESPONSE



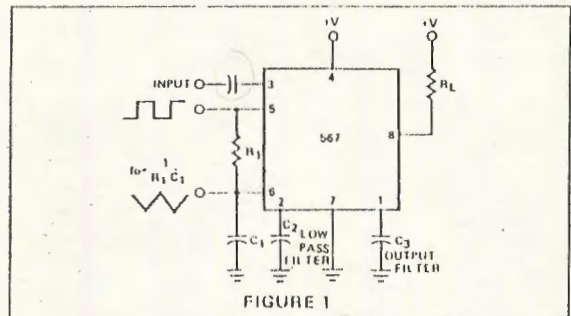
## OPERATING INSTRUCTIONS

Figure 1 shows a typical connection diagram for the 567. For most applications, the following three step procedure will be sufficient for choosing the external components  $R_1$ ,  $C_1$ ,  $C_2$  and  $C_3$ .

1. Select  $R_1$  and  $C_1$  for the desired center frequency. For best temperature stability,  $R_1$  should be between 2K and 20K ohm, and the  $R_1 C_1$  product should have sufficient stability, over the projected temperature range to meet the necessary requirements.

2. Select the low-pass capacitor,  $C_2$ , by referring to the Bandwidth versus Input Signal Amplitude graph. If the input amplitude variation is known, the appropriate value of  $f_0 C_2$  necessary to give the desired bandwidth may be found. Conversely, an area of operation may be selected on this graph and the input level and  $C_2$  may be adjusted accordingly. For example, constant bandwidth operation requires that input amplitude be above 200mVrms. The bandwidth, as noted on the graph, is then controlled solely by the  $f_0 C_2$  product ( $F_0$  (Hz),  $C_2$  ( $\mu\text{F}$ )).

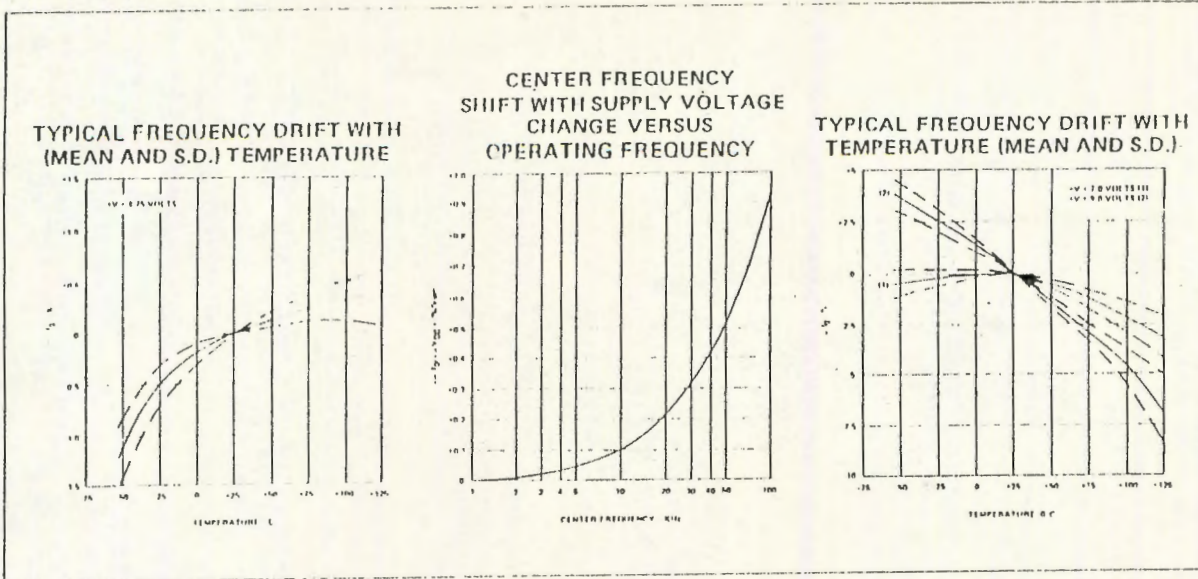
3. The value of  $C_3$  is generally non-critical.  $C_3$  sets the band edge of a low pass filter which attenuates frequencies outside the detection band to eliminate spurious outputs. If  $C_3$  is too small, frequencies just outside the detection band will switch the output stage on and off at the beat frequency, or the output may pulse on and off during the turn on transient. If  $C_3$  is too large, turn-on and turn-off of the output stage will be delayed until the voltage on  $C_3$  passes the threshold voltage. (Such a delay may be desirable to avoid spurious outputs due to transient frequencies.) A typical minimum value for  $C_3$  is  $2C_2$ .



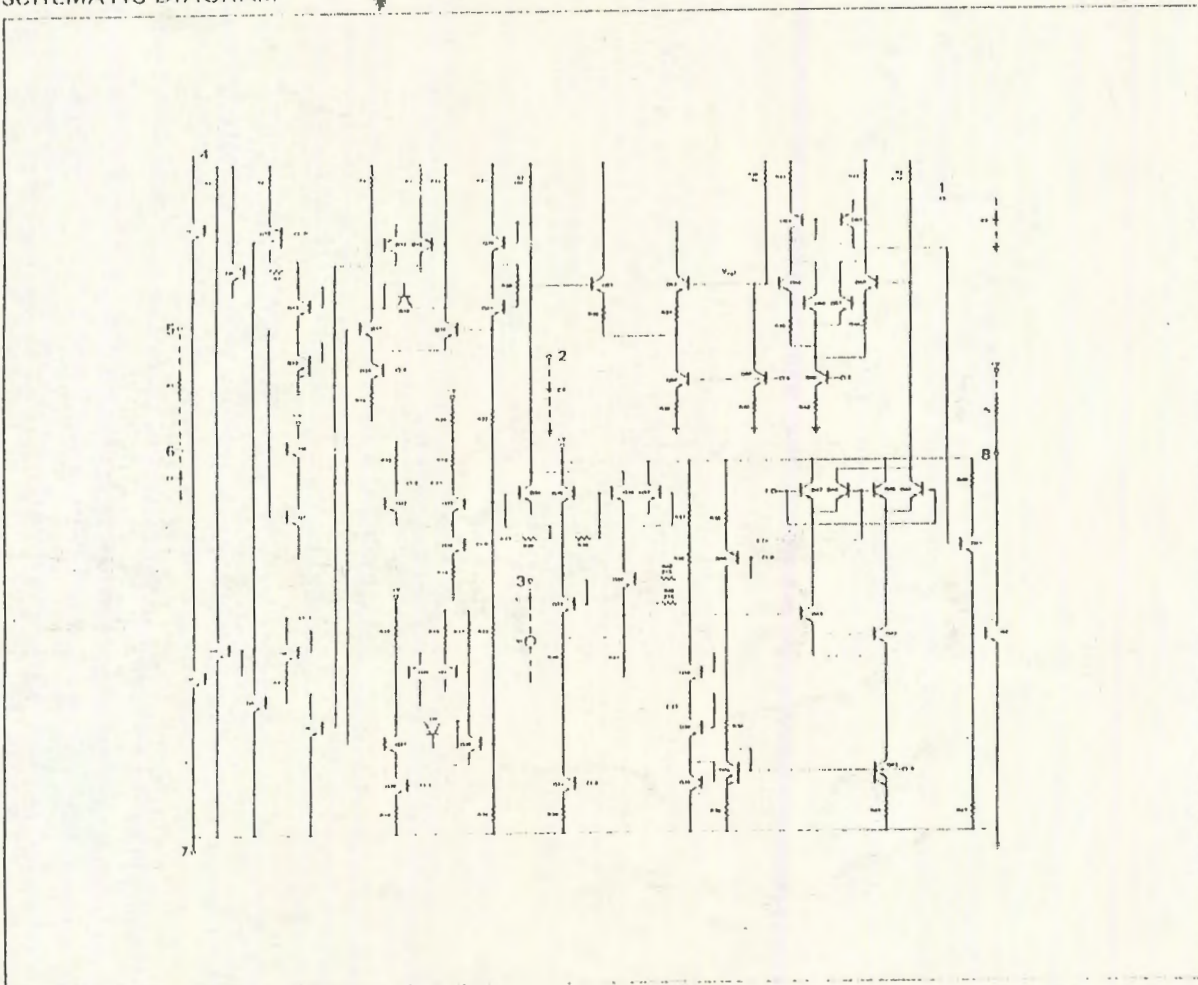
## AVAILABLE OUTPUTS (Figure 2)

The primary output is the uncommitted output transistor collector, pin 8. When an in band input signal is present, this transistor saturates; its collector voltage being less than 1.0 volt (typically 0.6V) at full output current (100mA). The voltage at pin 2 is the phase detector output, a linear function of frequency, over the range of 0.95 to 1.05  $f_0$ , with a slope of about 20mV/% frequency deviation. The average voltage at pin 1 is, during lock, a function of the in-band input amplitude in accordance with the transfer characteristic given. Pin 5 is the controlled oscillator square wave output of magnitude  $(V^+ - 2V_{be}) \approx (V^+ - 1.4V)$  having a dc average of  $V^+/2$ . A 1K $\Omega$  load may be driven from pin 5. Pin 6 is an exponential triangle of 1 volt peak-to-peak

TYPICAL CHARACTERISTIC CURVES (Cont'd.)



SCHEMATIC DIAGRAM



AVAILABLE OUTPUTS (Cont'd.)

with an average dc level of  $V^+ / 2$ . Only high impedance loads may be connected to pin 6 without affecting the CCO duty cycle or temperature stability.

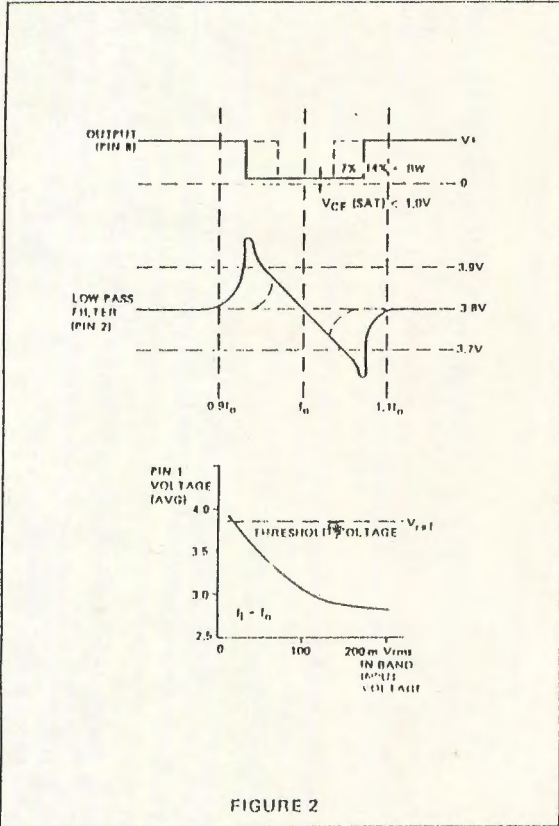


FIGURE 2

OPERATING PRECAUTIONS

A brief review of the following precautions will help the user attain the high level of performance of which the 567 is capable

1. Operation in the high input level mode (above 200mV) will free the user from bandwidth variations due to changes in the in band signal amplitude. The input stage is now limiting, however, so that out band signals or high noise levels can cause an apparent bandwidth reduction as the in band signal is suppressed. Also, the limiting action will create in band components from subharmonic signals, so the 567 becomes sensitive to signals at  $f_0/3, f_0/5$ , etc.
2. The 567 will lock onto signals near  $(2n+1) f_0$ , and will give an output for signals near  $(4n+1) f_0$  where  $n = 0, 1, 2$ , etc. Thus, signals at  $5 f_0$  and  $9 f_0$  can cause an unwanted output. If such signals are anticipated, they should be attenuated before reaching the 567 input.
3. Maximum immunity from noise and out band signals is afforded in the low input level (Below 200mVrms) and reduced bandwidth operating mode. However, decreased loop damping causes the worst-case lock up time to increase, as shown by the Greatest Number of Cycles Before Output vs. Bandwidth graph.

4. Due to the high switching speeds (20ns) associated with 567 operation, care should be taken in lead routing. Lead lengths should be kept to a minimum. The power supply should be adequately bypassed close to the 567 with an  $0.01\mu F$  or greater capacitor; grounding paths should be carefully chosen to avoid ground loops and unwanted voltage variations. Another factor which must be considered is the effect of load energization on the power supply. For example, an incandescent lamp typically draws 10 times rated current at turn-on. This can cause supply voltage fluctuations which could, for example, shift the detection band of narrow band systems sufficiently to cause momentary loss of lock. The result is a low frequency oscillation into and out of lock. Such effects can be prevented by supplying heavy load currents from a separate supply, or increasing the supply filter capacitor.

SPEED OF OPERATION

Minimum lock-up time is related to the natural frequency of the loop. The lower it is, the longer becomes the turn on transient. Thus, maximum operating speed is obtained when  $C_2$  is at a minimum. When the signal is first applied, the phase may be such as to initially drive the controlled oscillator away from the incoming frequency rather than toward it. Under this condition, which is of course unpredictable, the lock-up transient is at its worst and the theoretical minimum lock-up time is not achievable. We must simply wait for the transient to die out.

The following expressions give the values of  $C_2$  and  $C_3$  which allow highest operating speeds for various band center frequencies. The minimum rate at which digital information may be detected without information loss due to the turn on transient or output chatter is about 10 cycles per bit, corresponding to an information transfer rate of  $f_0/10$  baud.

$$C_2 = \frac{130}{f_0} \mu F$$

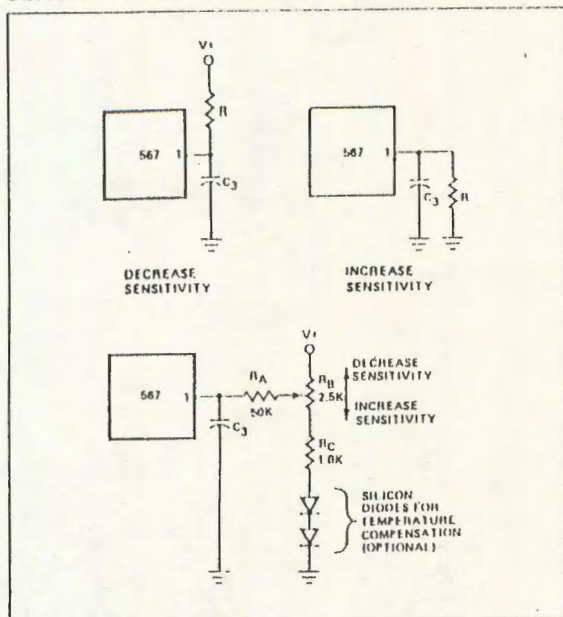
$$C_3 = \frac{260}{f_0} \mu F$$

in cases where turn-off time can be sacrificed to achieve fast turn-on, the optional sensitivity adjustment circuit can be used to move the quiescent  $C_3$  voltage lower (closer to the threshold voltage). However, sensitivity to beat frequencies, noise and extraneous signals will be increased.

OPTIONAL CONTROLS

The 567 has been designed so that, for most applications, no external adjustments are required. Certain applications, however, will be greatly facilitated if full advantage is taken of the added control possibilities available through the use of additional external components. In the diagrams given, typical values are suggested where applicable. For best results resistors used, except where noted, should have the same temperature coefficient. Ideally, silicon diodes would be low-resistivity types, such as forward-biased low-voltage zeners or forward-biased transistor base-emitter junctions. However, ordinary low-voltage diodes should be adequate for most applications.

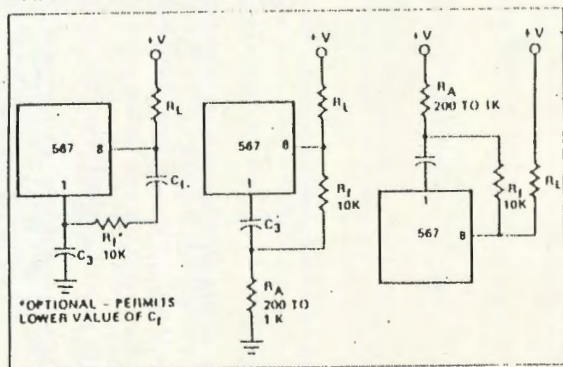
SENSITIVITY ADJUSTMENT



When operated as a very narrow band detector (less than 8 percent), both  $C_2$  and  $C_3$  are made quite large in order to improve noise and outband signal rejection. This will inevitably slow the response time. If, however, the output stage is biased closer to the threshold level, the turn on time can be improved. This is accomplished by drawing additional current to terminal 1. Under this condition, the 567 will also give an output for lower level signals (10m or lower).

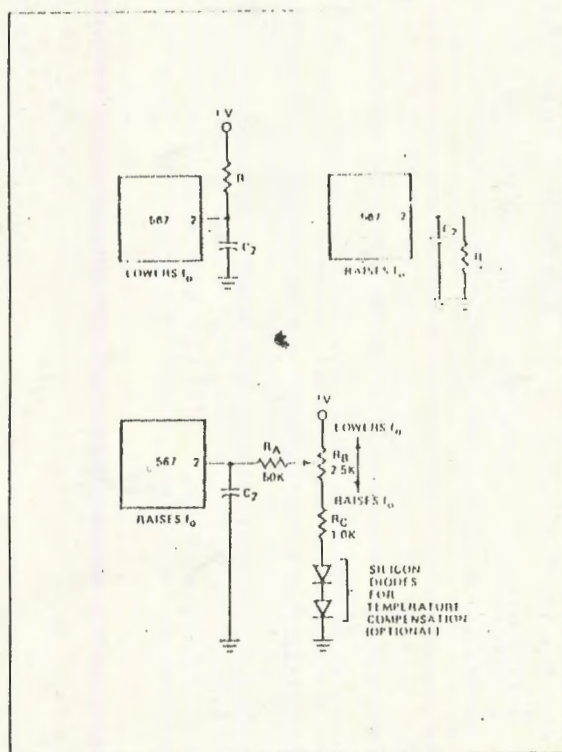
By adding current to terminal 1, the output stage is biased further away from the threshold voltage. This is most useful when, to obtain maximum operating speed,  $C_2$  and  $C_3$  are made very small. Normally, frequencies just outside the detection band could cause false outputs under this condition. By desensitizing the output stage, the outband beat notes do not feed through to the output stage. Since the input level must be somewhat greater when the output stage is made less sensitive, rejection of third harmonics or in-band harmonics (of lower frequency signals) is also improved.

CHATTER PREVENTION



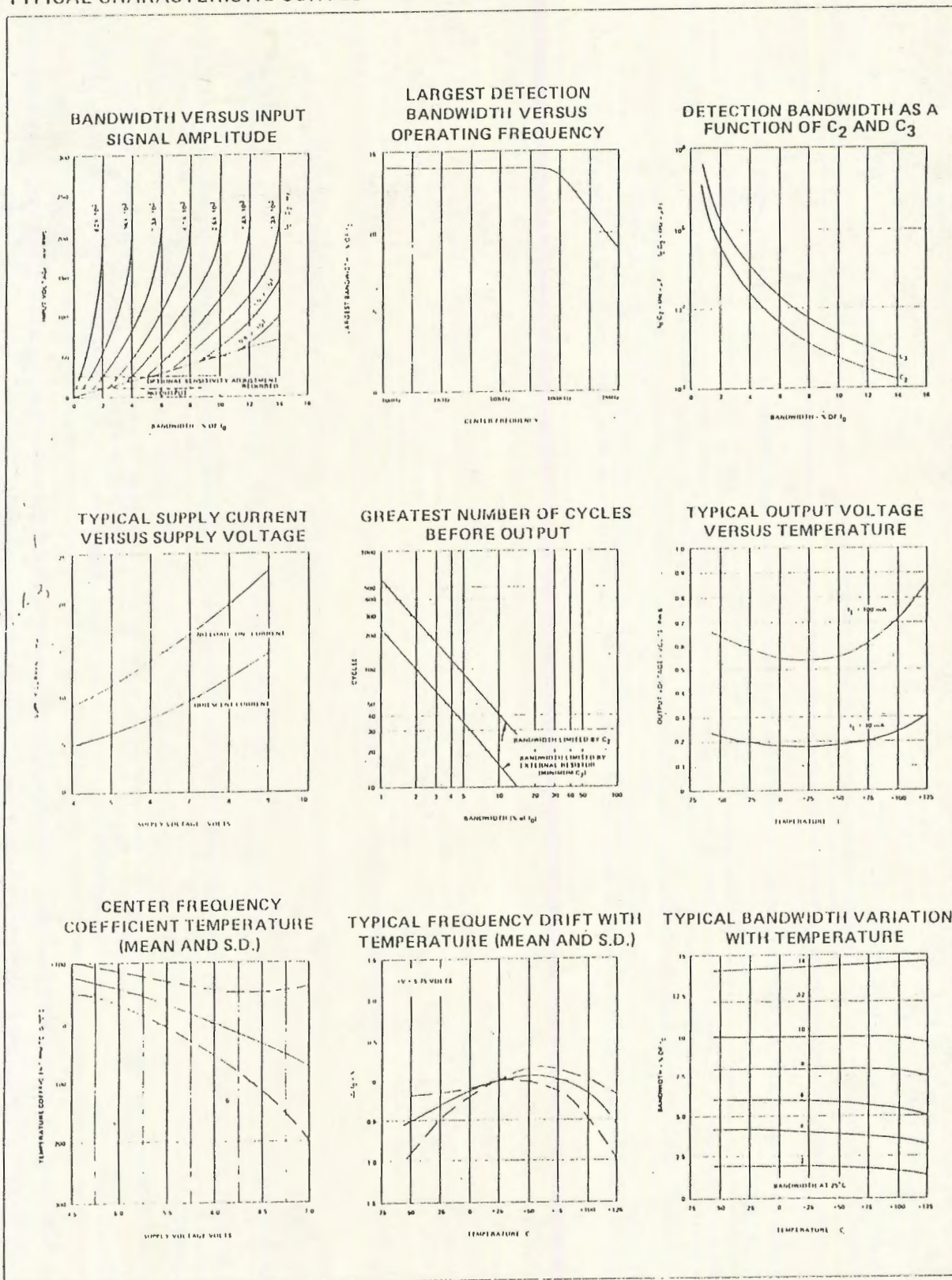
Chatter occurs in the output stage when  $C_3$  is relatively small, so that the lock transient and the AC components at the quadrature phase detector (lock detector) output cause the output stage to move through its threshold more than once. Many loads, for example lamps and relays, will not respond to the chatter. However, logic may recognize the chatter as a series of outputs. By feeding the output stage output back to its input, (pin 1) the chatter can be eliminated. Three schemes for doing this are given above. All operate by feeding the first output step (either on or off) back to the input, pushing the input past the threshold until the transient conditions are over. It is only necessary to assure that the feedback time constant is not so large as to prevent operation at the highest anticipated speed. Although chatter can always be eliminated by making  $C_3$  large, the feedback circuit will enable faster operation of the 567 by allowing  $C_3$  to be kept small. Note that if the feedback time constant is made quite large, a short burst at the input frequency can be stretched into a long output pulse. This may be useful to drive, for example, stepping relays.

DETECTION BAND CENTERING (OR SKEW) ADJUSTMENT



When it is desired to alter the location of the detection band (corresponding to the loop capture range) within the largest detection band (lock range), the circuits shown above can be used. By moving the detection band to one edge of the range, for example, input signal variations will expand the detection band in only one direction. This may prove useful when a strong but undesirable signal is expected on one side or the other of the center frequency. Since  $R_B$  also alters the duty cycle slightly, this method may be used to obtain a precise duty cycle when the 567 is used as an oscillator.

TYPICAL CHARACTERISTIC CURVES



# 567 — TONE DECODER PHASE LOCKED LOOP

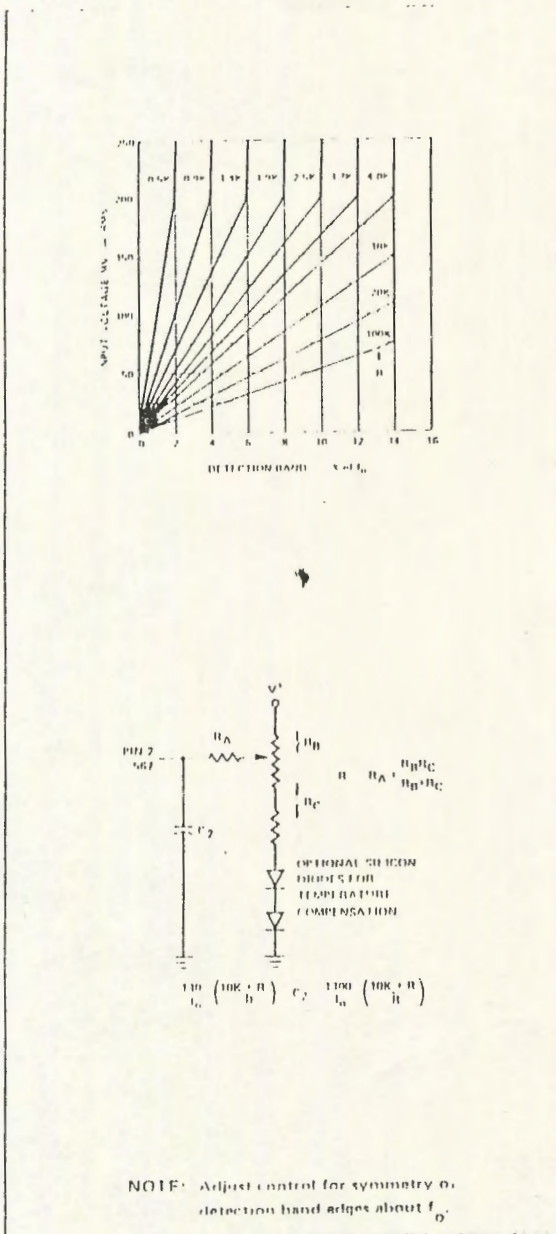
ELECTRICAL CHARACTERISTICS ( $V_i = 5.0$  Volts,  $T_A = 25^\circ\text{C}$  unless noted)

CHARACTERISTICS	SE567			NE567			UNITS	TEST CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
<b>CENTER FREQUENCY (NOTE 1)</b>								
Highest Center Frequency ( $f_o$ )	100	500		100	500		kHz	
Center Frequency Stability (Note 2)		35 ± 140 35 ± 60			35 ± 140 35 ± 60		ppm/°C ppm/°C	-55 to 125°C 0 to 70°C
Center Frequency Shift with Supply Voltage		0.5	1		0.7	2	%/Volt	$f_o = 100\text{kHz}$
<b>DETECTION BANDWIDTH</b>								
Largest Detection Bandwidth	12	14	16	10	14	18	% of $f_o$	$f_o = 100\text{kHz}$
Largest Detection Bandwidth Skew		1	2		2	3	% of $f_o$	
Largest Detection Bandwidth Variation with Temperature		±0.1			±0.1		%/°C	$V_i = 300\text{mVrms}$
Largest Detection Bandwidth Variation with Supply Voltage		±2			±2		%/Volt	$V_i = 300\text{mVrms}$
<b>INPUT</b>								
Input Resistance		20			20		K $\Omega$	
Smallest Detectable Input Voltage ( $V_i$ )		20	25		20	25	mV rms	$I_L = 100\text{mA}$ , $f_i = f_o$
Largest No Output Input Voltage	10	15		10	15		mV rms	$I_L = 100\text{mA}$ , $f_i = f_o$
Greatest Simultaneous Outband Signal to Inband Signal Ratio		16			16		dB	
Minimum Input Signal to Wideband Noise Ratio		6			-6		dB	$f_m = 140\text{kHz}$
<b>OUTPUT</b>								
Fastest On Off Cycling Rate		$f_o/20$			$f_o/20$			
"1" Output Leakage Current		0.01	25		0.01	25	$\mu\text{A}$	
"0" Output Voltage		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	Volt Volt	$I_L = 30\text{mA}$ $I_L = 100\text{mA}$
Output Fall Time (Note 3)		30			30		n sec	$R_L = 50\Omega$
Output Rise Time (Note 3)		150			150		n sec	$R_L = 50\Omega$
<b>GENERAL</b>								
Operating Voltage Range	4.75		9.0	4.75		9.0	Volts	
Supply Current - Quiescent		6	8		7	10	mA	
Supply Current - Activated		11	15		12	15	mA	$R_L = 20\text{K}\Omega$
Quiescent Power Dissipation		30			35		mW*	

**NOTES**

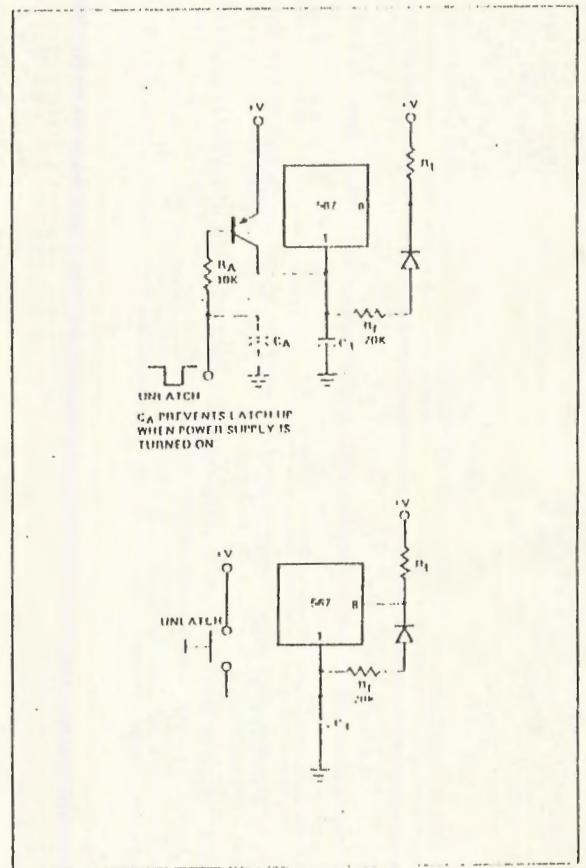
1. Frequency determining resistor  $R_1$  should be between 1 and 20K $\Omega$ .
2. Applicable over 4.75 to 5.75 volts. See graphs for more detailed information.
3. Pin B to Pin 1 feedback  $R_1$  network selected to eliminate pulsing during turn on and turn off.

ALTERNATE METHOD OF BANDWIDTH REDUCTION



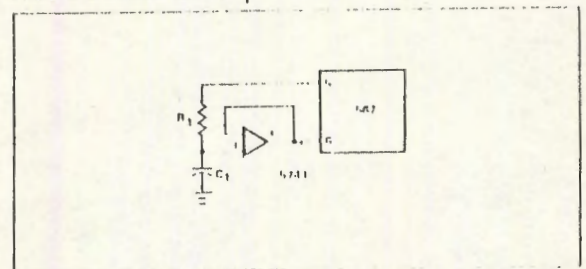
Although a large value of  $C_2$  will reduce the bandwidth, it also reduces the loop damping so as to slow the circuit response time. This may be undesirable. Bandwidth can be reduced by reducing the loop gain. This scheme will improve damping and permit faster operation under narrow band operation. Note that the reduced impedance level at terminal 2 will require that a larger value of  $C_2$  be used for a given filter cutoff frequency. If more than three 567s are to be used, the  $R_B, R_C$  network can be eliminated and the  $R_A$  resistors connected together. A capacitor between this junction and ground may be required to shunt high frequency components.

OUTPUT LATCHING



To latch the output on after a signal is received, it is necessary to provide a feedback resistor around the output stage (between pins 8 and 11). Pin 1 is pulled up to unlatch the output stage.

REDUCTION OF  $C_1$  VALUE



For precision, very low frequency applications, where the value of  $C_1$  becomes large, an overall cost savings may be achieved by inserting a voltage follower between the  $R_1 C_1$  junction and pin 6, so as to allow a higher value of  $R_1$  and a lower value of  $C_1$  for a given frequency.

PROGRAMMING

To change the center frequency, the value of  $R_1$  can be changed with a mechanical or solid state switch, or additional  $C_1$  capacitors may be added by grounding them through saturating npn transistors.