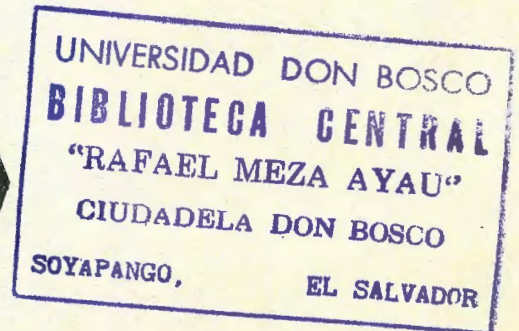


cic. 8849

f. 00. -

**UNIVERSIDAD DON BOSCO  
FACULTAD DE INGENIERIA  
ESCUELA DE ESTUDIOS  
TECNOLOGICOS**



**SISTEMA DIDACTICO DE ENSEÑANZA DE  
TRANSMISION DIGITAL DE SEÑALES  
ANALOGICAS**

**TRABAJO ELABORADO PARA OPTAR AL GRADO  
DE TECNICO EN INGENIERIA ELECTRONICA**

**PRESENTADO POR:**

**EDUARDO ANTONIO FERMAN ARANA  
JIMMY HANSEL RIVAS INGLES  
OSCAR REINALDO VILLALTA LARA**

**SOYAPANGO, 1993**

DEDICATORIA:

A DIOS TODOPODEROSO.

A MIS PADRES: JOSE ROBERTO FERMAN Y JOSEFINA ARANA DE  
FERMAN.

A MI FAMILIA EN GENERAL.

A TODAS LAS DEMAS PERSONAS QUE DE ALGUNA U OTRA FORMA  
CONTRIBUYERON PARA EL ALCANCE DE ESTA META.

*EDUARDO A. FERMAN A.*

DEDICATORIA:

A DIOS TODOPODEROSO.

A MI MADRE SARA VILLALTA URIAS.

A MI FAMILIA EN GENERAL.

A TODAS LAS PERSONAS QUE DE UNA U OTRA MANERA COLABORARON  
PARA EL LOGRO DE ESTA META.

*OSCAR R. VILLALTA*

DEDICATORIA:

A Dios Todopoderoso.

A mi Madre Rosa Amelia Ingles.

A mi familia y amigos.

A todas las personas que de una u otra forma me ayudaron al logro de esta meta.

*JIMMY H. RIVAS I.*

AUTORIDADES UNIVERSITARIAS:

Ing. Federico Miguel Huguet Rivera  
Rector de la Universidad Don Bosco.

Ing. Joaquín Flores  
Decano de la Facultad de Ingeniería

Ing. Roberto Guzmán  
Vice-Decano de la Facultad de Ingeniería

Ing. Roberto Carlos Alvarenga Urías  
Coordinador del Tecnológico de la Universidad Don Bosco

JURADO CALIFICADOR

Presidente: Ing. Rigoberto Chinchilla Salazar

f.

Miembro: Sr. Jorge Miranda

f.

Miembro: Ing. Roberto Carlos Alvarenga (ASESOR)

f.

## PROLOGO.

Cuando llegó el momento de llevar a cabo el Trabajo de Graduación, se trató de detectar necesidades para buscar la forma de solventarlas mediante la elaboración de un trabajo que estuviera acorde a la realidad nacional.

Las señales de información se han venido transmitiendo tradicionalmente de una manera analógica, es decir, sin sufrir ningún proceso de conversión para ser trasladadas a un lenguaje simbólico. Sin embargo, en la actualidad está dominando las técnicas de transmisión, un método en el cual las señales son previamente transformadas a un lenguaje simbólico de unos y ceros antes de ser enviadas al canal de transmisión; y en el lugar de recepción, estas señales son retornadas a su forma original mediante dispositivos electrónicos. Debido a la gran y rápida expansión que ha tenido ésta tecnología en todo el mundo, es necesaria la capacitación de personas a fines con la electrónica.

La idea de crear un sistema capaz de llevar a cabo éste proceso fue tomada en forma paulatina. Se recabó información bibliográfica y, una vez evaluada la factibilidad del tema se dedicó a poner en marcha el proyecto.

Es así como se presenta el trabajo "*SISTEMA DIDÁCTICO DE ENSEÑANZA DE TRANSMISIÓN DIGITAL DE SEÑALES ANALÓGICAS*" como una respuesta a las limitantes existentes en el área de comunicaciones en el país.

## INTRODUCCIÓN.

La comunicación ha tenido un papel muy importante en el desarrollo del ser humano, la transmisión de conocimientos no hubiese sido posible si el hombre no contará con los mecanismos para efectuar el intercambio de ideas.

En el principio el hombre utilizaba métodos rudimentarios para comunicarse con sus semejantes. Inicialmente, son señales de humo, tambores y medios similares, limitando el contenido y el alcance de los mensajes. Posteriormente, con el desarrollo de la civilización, se comenzó con la comunicación escrita. No fue hasta que en el siglo XIX, se produjo un salto gigantesco en el campo de la comunicación a distancia, cuando hombres como Hertz, Marconi y Edison, demostraron la posibilidad de enviar voz humana a grandes distancias. A partir de entonces, fue posible la transmisión de voz, y posteriormente datos e imágenes llegando a lograr grandes adelantos tecnológicos en éste campo.

Debido a la complejidad de los núcleos poblacionales y de producción, las comunicaciones se han vuelto cada vez más vitales para el desarrollo de los pueblos. El Salvador, no es la excepción. Instituciones públicas y privadas han desarrollado proyectos que emplean sistemas de comunicación tratando de satisfacer la demanda de la población de comunicarse a distancia mediante una red telefónica.

A través de nuestro trabajo ofrecemos una alternativa de equipo de entrenamiento para éste fin. Nuestro "*SISTEMA DIDÁCTICO DE ENSEÑANZA DE TRANSMISIÓN DIGITAL DE SEÑALES ANALÓGICAS*" presenta

en una forma explícita los diferentes bloques que constituyen un equipo de transmisión utilizando el principio de la *MODULACIÓN POR IMPULSOS CODIFICADOS (MIC o PCM)*, utilizando la multiplexación por división de tiempo de 8 canales analógicos.

Es importante hacer énfasis en que todos los procedimientos son altamente desglosados para que el alumno tenga acceso a los puntos más importante del sistema, y además compruebe como es posible obtener un sistema de alta competitividad con los estándares internacionales utilizando el equipo que está al alcance en el mercado de nuestro país.

La estructura general del trabajo está dada en tres capítulos que se resumen de la siguiente manera:

#### CAPITULO I:

Presentación y descripción de la técnica de transmisión utilizando el principio de la *MODULACIÓN POR IMPULSOS CODIFICADOS (MIC)*. En éste capítulo se abordan los conceptos generales de transmisión y recepción de las señales analógicas procesadas digitalmente.

#### CAPITULO II:

En éste capítulo se describen en forma específica los diferentes dispositivos electrónicos que forman el sistema.

presentando el funcionamiento general y los diferentes tipos disponibles.

### CAPITULO III:

El tercer capítulo constituye la explicación y el detalle del funcionamiento de los distintos bloques que constituyen nuestro "SISTEMA DIDÁCTICO DE ENSEÑANZA DE TRANSMISIÓN DIGITAL DE SEÑALES ANALÓGICAS", haciendo énfasis en la aplicación de los dispositivos explicados en el capítulo anterior.

## FINALIDAD DEL PROYECTO.

La finalidad primordial de nuestro proyecto consiste en hacer posible la capacitación de estudiantes acerca de los diferentes bloques que conforman un sistema de transmisión de señales analógicas convertidas y transmitidas en forma digital.

Por medio de nuestro proyecto se pueden estudiar técnicas de muestreo de señales analógicas generando una Señal de Modulación por Impulsos de Amplitud (MIA o PAM), Multiplexación de Señales de Carácter Analógicas (8 señales), Conversión Analógico-Digital realizada a altísima velocidad (menos de  $15\mu s$ ), Lectura de Datos en Paralelo y Conversión a Serie, Recepción de Bits en Serie y Conversión nuevamente a Bits en Paralelo, Asignación de Valores Analógicos (Conversión Digital-Analógica), Reconstrucción de la Señal Multiplexada, Proceso de Demultiplexación Analógica.

Cabe mencionar que en nuestro proyecto todos los elementos han sido meticulosamente seleccionados para que el aprendizaje sea sencillo y eficaz.

## INDICE.

### CAPITULO I:

GENERALIDADES DE LA MODULACIÓN POR IMPULSOS CODIFICADOS. . . . .	1
1 TRANSICIÓN DE LA RED ANALÓGICA A LA RED DIGITAL . . . . .	1
1.1 COMPARACIÓN ENTRE SISTEMAS DIGITALES Y ANALÓGICOS. . . . .	4
1.1.1 VENTAJAS. . . . .	4
1.1.2 DESVENTAJAS. . . . .	7
1.2 CONSIDERACIONES ECONÓMICAS. . . . .	10
2 PRINCIPIOS DE LA MODULACIÓN POR IMPULSOS CODIFICADOS. . . . .	13
2.1 MODULACIÓN POR IMPULSOS EN AMPLITUD (MIA o en inglés PAM). . . . .	15
2.2 TEOREMA DEL MUESTREO . . . . .	18
2.3 MODULACIÓN POR IMPULSOS CODIFICADOS (MIC o en inglés PCM.) . . . . .	20
2.4 ASPECTOS PRINCIPALES DE LA MODULACIÓN POR IMPULSOS CODIFICADOS. . . . .	24
2.4.1 MUESTREO. . . . .	24
2.4.2 CUANTIFICACION. . . . .	25
2.4.3 CODIFICACIÓN. . . . .	26
2.4.4 MULTIPLEXADO. . . . .	26
2.4.5 DECODIFICACIÓN . . . . .	28
2.4.6 DEMULTIPLEXACION . . . . .	28

### CAPITULO II:

CONCEPTOS BÁSICOS DE LOS DIVERSOS COMPONENTES DEL MIC. . . . .	29
1 TEMPORIZADOR LM555. . . . .	29
1.1 CONCEPTO BÁSICO DE TEMPORIZACION. . . . .	29
1.2 DIAGRAMA DE BLOQUE DEL LM555. . . . .	31
1.3 OPERACIÓN COMO MONOESTABLE. . . . .	33
1.4 FUNCIONAMIENTO ASTABLE. . . . .	36

2	CONTADORES. . . . .	40
2.1	CONTADORES ASINCRONOS. . . . .	40
2.1.1	DESCRIPCIÓN FUNCIONAL DEL CONTADOR 7493. . . . .	42
2.2	CONTADORES SINCRONOS. . . . .	43
2.2.1	CONTADOR SINCRONO 7490. DESCRIPCIÓN FUNCIONAL. . . . .	44
2.3	DIVISORES DE FRECUENCIA. . . . .	45
3	DECODIFICADORES DE BCD A DECIMAL. . . . .	47
4	CONVERTIDOR ANALÓGICO DIGITAL CON RAMPA DIGITAL. . .	48
4.1	RESOLUCIÓN DEL A/D. . . . .	48
5	CONVERSIÓN DIGITAL-ANÁLOGA. . . . .	50
5.1	RESOLUCIÓN (TAMAÑO DE ETAPA). . . . .	50
5.2	VALORES DE ENTRADA. . . . .	52
6	MULTIVIBRADOR MONOESTABLE. . . . .	56
6.1	EMISIÓN SIMPLE NO REACTIVABLE. . . . .	57
7	REGISTROS DE DESPLAZAMIENTO. . . . .	59
7.1	REGISTRO DE DESPLAZAMIENTO CON ENTRADA PARALELA Y SALIDA SERIE (74165). . . . .	60
7.2	REGISTRO DE DESPLAZAMIENTO CON ENTRADA SERIE Y SALIDA PARALELO (74164). . . . .	62
8	AMPLIFICADORES OPERACIONALES. . . . .	64
8.1	FUNCIONAMIENTO DEL AMP OP's. . . . .	65
8.2	COMPARADORES DE VOLTAJE. . . . .	66
8.2.1	CIRCUITO BÁSICO. . . . .	66
9	LATCHES (ENGANCHADORES). . . . .	68
9.1	LATCH D CON ENABLE (GATED-D-LATCH) 7475. . . . .	68
10	MULTIPLEXORES (DATA SELECTOR) -MUX-. . . . .	70
11	DEMULTIPLEXORES. . . . .	71

**CAPITULO III:**

DESCRIPCIÓN ESPECIFICA DEL SISTEMA DIDÁCTICO DE ENSEÑANZA DE TRANSMISIÓN DIGITAL DE SEÑALES ANALÓGICAS. . . . .	72
1 TRANSMISOR. . . . .	73
1.1 AJUSTE PREVIO DE LAS SEÑALES. . . . .	73

1.2	CIRCUITOS DE TEMPORIZACION. . . . .	75
1.3	MUESTREO Y MULTIPLEXACION. . . . .	80
1.4	CONVERSIÓN ANALÓGICA-DIGITAL. . . . .	83
1.5	GENERADOR DE ALTA FRECUENCIA. . . . .	85
1.6	CONVERSIÓN PARALELO A SERIE. . . . .	86
2	RECEPTOR. . . . .	88
2.1	CONVERSIÓN DE BITS SERIE A PARALELO. . . . .	88
2.2	CIRCUITOS DE TEMPORIZACION. . . . .	89
2.3	CONVERSIÓN DIGITAL-ANALÓGICA. . . . .	91
2.4	DEMULTIPLEXACION. . . . .	92
2.5	FILTRADO DE LAS SEÑALES RECONSTRUIDAS. . . . .	93

## CAPITULO I.

### GENERALIDADES DE LA MODULACIÓN POR IMPULSOS CODIFICADOS.

#### 1 TRANSICIÓN DE LA RED ANALÓGICA A LA RED DIGITAL

El principio por el que se transmiten informaciones en forma digital es conocido desde hace tiempo. Las comunicaciones eléctricas comenzaron ya con la transmisión de las señales *telegráficas* que, desde el principio eran digitales y fueron transmitidas en forma digital mediante el código Morse.

Las señales de fonía o las señales telefónicas, al contrario, son analógicas por naturaleza, de modo que en el tráfico telefónico no se parte ya de una representación y transmisión digitales; por lo tanto, las ventajas de una tecnología digital no se entienden por sí mismas. Precisamente con la invención del transistor, se dispuso de un componente apropiado que permitió pensar en la aplicación comercial de una *transmisión telefónica digital*.

A partir del transistor surgieron, mediante desarrollos lógicos, la microelectrónica y los circuitos integrados digitales, que hicieron posible una nueva orientación en el desarrollo de las telecomunicaciones, es decir, el desarrollo de la red digital integrada y finalmente el desarrollo de la *red digital con*

*integración de servicios.*

En una red telefónica integrada, además de la transmisión, también es digital la conmutación de las señales de telecomunicación. Esto conduce a unas ventajas económicas considerables sobre todo desde que hay o se dispone de la tecnología necesaria, la señal telefónica o la señal de fonía se convierte solamente una vez, de analógica a digital y de forma que sea lo más cercana posible al locutor o al abonado que habla. Posteriormente se transmite en forma digital, y lo más próxima al abonado que escucha, se reconstruye en forma analógica y finalmente se transforma en las correspondientes ondas sonoras. Para establecer un red digital integrada hay que instalar rutas de transmisión digitales y centrales de conmutación digitales. Por motivos de rentabilidad, frecuentemente esto sucede solamente con ocasión de una ampliación de la red por que haya aumentado considerablemente el tráfico, o cuando se sustituyen equipos que han quedado anticuados, pues hay que tener en cuenta las grandes dimensiones de la red analógica existente.

Pero si ya desde el principio se establece una *red integrada* que permita la transmisión y conmutación digital ininterrumpida, entonces, esta red se puede utilizar para la transmisión de aquellas informaciones o comunicaciones que originalmente son de naturaleza digital, como por ejemplo los datos. De esta forma se llega a la *red digital de servicios integrados* (ISDN, Integrated

Services Digital Network): En ésta red todos los servicios, como son la telefonía, la transmisión de datos y los textos, el facsímil, etc, se ofrecen de forma integrada a través de una misma red. Para ello es imprescindible que también el circuito o la línea de abonado sea explotada en forma digital.

Para la transmisión de señales telefónicas con un procedimiento de modulación por impulsos codificados (MIC o PCM del inglés). Se utiliza una velocidad de 64 kbit/s para cada una de las señales. Si incluso para los servicios mencionados anteriormente se utilizan los equipos de transmisión y conmutación de la red telefónica, también se pueden transmitir estos servicios a una velocidad de 64 kbit/s; por lo tanto, con una velocidad de transmisión mucho más elevada que la velocidad disponible actualmente para las redes de datos usuales. Pero sobre todo se pueden usar diferentes servicios a través de una y sobre la misma línea o de bucle de abonado, es decir, a través de la línea que ya hoy en día existe para algunos teléfonos en los países que cuentan ya con la tecnología apropiada.

## 1.1 COMPARACIÓN ENTRE SISTEMAS DIGITALES Y ANALÓGICOS.

Las señales de información se han venido transmitiendo tradicionalmente de una manera analógica, es decir sin sufrir un proceso de conversión para ser trasladadas a un lenguaje simbólico. Sin embargo, en la actualidad está dominando las técnicas de transmisión un método en el cual las señales son previamente transformadas a un lenguaje simbólico de unos y ceros antes de ser enviados al canal de transmisión; y en el lugar de recepción estas señales son retornadas a su forma original mediante dispositivos eléctricos.

A continuación se hará una comparación de las ventajas que esta nueva técnica representa y el por qué de su rápida expansión en las redes de telecomunicaciones, así como también se mencionarán sus inconvenientes actuales y las implicaciones económicas.

### 1.1.1 VENTAJAS.

La transmisión de información en la red telefónica usando señales numéricas tiene muchas ventajas técnicas, entre las más importantes tenemos:

a) La calidad de transmisión es independiente de la distancia.

Una de las principales características de la señal digital es

su inmunidad a la interferencia. Empleando repetidores regenerativos las señales numéricas las podemos volver a su forma original, en puntos intermedios, ordenadamente, sin que ello implique pérdida de la calidad de comunicación.

Esto no es así cuando tratamos con señales analógicas, en las cuales no sólo la señal de información sino también el ruido es amplificado en los puntos de repetición intermedios. En el caso de señales numéricas los repetidores intermedios simplemente tienen que decidir si un impulso presente a su entrada es un "uno" o un "cero". Luego que se ha tomado la decisión, se transmite un pulso regenerado.

Es de hacer notar que una cantidad de impulsos presentes a la entrada de los repetidores podrían estar tan distorsionados que no serán detectados correctamente pero esta razón de fallas puede hacerse tan baja como sea necesario.

b) Se mantiene el equivalente de transmisión.

Con respecto a los cables para frecuencia de voz los sistemas PCM tienen la ventaja de mantener el equivalente de transmisión.

c) Multiplex por división de tiempo.

Los pares de cable multipar originalmente usados para los

canales telefónicos simples que interconectan las centrales de conmutación, pueden optimizarse en su funcionamiento empleándolos para transmitir señales multiplexadas en el tiempo incrementando grandemente las posibilidades de enlace, sin que tener que tender nuevos cables lo cual, a veces, resulta imposible por estar saturados los ductos telefónicos subterráneos.

d) Tecnología de circuitos integrados.

Con el desarrollo de la microelectrónica en la tecnología de los circuitos integrados que manejan señales numéricas, los equipos tienden a hacerse más baratos, compactos, gastar menos energía y tener un alto grado de confiabilidad.

e) Integración de servicios.

Debido a que es un medio de transmisión digital, un enlace con PCM puede transmitir no solamente conversaciones telefónicas sino también télex, datos facsímil, etc.

Un canal de PCM puede tener una capacidad de 64 kbit/s, lo que lo convierte en un eficiente canal de transmisión de datos.

f) Nuevos medios de transmisión.

Los nuevos medios de transmisión de gran ancho de banda que

actualmente se encuentran en apogeo, tales como las fibras ópticas, guías de onda, satélites de telecomunicaciones con acceso múltiple son más adecuados para la transmisión de señales digitales.

### 1.1.2 DESVENTAJAS.

La transmisión de señales digitales también tiene sus desventajas e inconvenientes, entre estas mencionaremos:

a) Mayor ancho de banda.

La transmisión de señales numéricas requiere mayor ancho de banda que las correspondientes señales analógicas.

El mayor ancho de banda se debe a que el valor de las muestras, después de haber sido cuantificadas hay que codificarlas en código binario, empleando para ello un código que típicamente consta de 8 bits por cada muestra que se codifica.

El incremento en el ancho de banda debido a la digitalización de la información es directamente dependiente de la forma del código de transmisión o del tipo de modulación empleada.

Con mayor sofisticación en los equipos de modulación/demodulación se logra alcanzar eficiencia en términos de la razón de bits, para un ancho de banda determinado.

Básicamente, una mayor eficiencia en la transmisión se alcanza incrementando el número de niveles en el código de línea.

b) Conversión analógica a digital y viceversa.

Las señales telefónicas de voz son analógicas, por lo cual es necesario convertirlas en señales digitales, proceso que se lleva a cabo en el equipo terminal PCM. La mayor parte de la estructura actual de la red telefónica es analógica, debido a lo cual en algunas interconexiones de la red es necesario hacer conversiones de señal, lo cual ocasiona dificultades técnicas con los equipos de interfase y de señalización representando costos adicionales en el tratamiento de la señal.

Actualmente se está desarrollando el codificador telefónico que permitirá efectuar la conversión de analógico a digital en el mismo aparato telefónico, lo cual reducirá los costos en los equipos terminales.

c) Necesidad de tiempos de sincronización.

Siempre que se transmite información numérica desde un lugar a otro se necesita para controlar la transferencia, un tiempo de transferencia o reloj. El reloj nos especifica cuando muestrear la señal de entrada para decidir cual valor de la muestra que debe ser transmitido. El reloj de la parte de recepción debe estar

sincronizado con el reloj de transmisión, para recibir en el preciso instante de tiempo las muestras correspondientes a los diferentes canales y enrutarlos hacia el lugar correcto.

El mayor se presenta cuando la señal tiene que recorrer toda una red en la cual diferentes sistemas de transmisión y centrales de conmutación están interconectadas. No solamente los elementos individuales de la red deben mantener sincronización interna, sino también deben establecerse procedimientos de sincronización antes de que los sistemas individuales puedan operar satisfactoriamente.

d) Incompatibilidad con facilidades analógicas existentes.

La mayoría de los equipos instalados en la red telefónica pública actual fueron diseñados para manejar señales analógicas por lo cual para tratar señales digitales se tiene que hacer uso de costosos equipos de interfase que alguna vez representan un costo similar al de los sistemas digitales.

Sin embargo, debido a que el equipo analógico no puede ser desechado de inmediato, durante mucho tiempo se tiene que trabajar con una red de telecomunicaciones híbrida en la que poco a poco se tienen que ir desechando los equipos analógicos, hasta que en un futuro se llegue a la realización de una red completamente digital y se puede disfrutar de las grandes ventajas que esto representará.

## 1.2 CONSIDERACIONES ECONÓMICAS.

A continuación efectuaremos unas comparaciones económicas entre sistemas analógicos que utilizan técnicas de FM/FDM y sistemas digitales que utilizan técnicas PCM/TDM, poniendo como referencia las ventajas que éste último representa:

a) Aprovechamiento de los cables de frecuencia de voz existentes.

En lugar de tener nuevos cables, se aprovechan los actuales, siendo el costo de los equipos terminales, compensado con el ahorro en el tendido de nuevos cables.

b) Modularidad de equipos.

Debido a la modularidad de los equipos se permite satisfacer la demanda según ésta se vaya presentando, con lo cual se minimizan los costos de inversión en cada etapa de ampliación, desapareciendo los gastos extras ocasionados por fallas en la predicción de la demanda.

c) Tecnología de circuitos integrados.

La mayoría de los componentes de los equipos PCM, están fabricados con circuitos integrados que tienen costos de fabricación muy favorables, los terminales PCM son más económicos que los

equipos terminales FDM.

d) Costos en el futuro de equipos y repuestos.

Debido a que se producirán en menor escala, los terminales FDM están sujetos a mayor incrementos en sus costos que los terminales PCM, produciendose un igual fenómeno con los repuestos.

e) Costos menores de Instalación y Mantenimiento.

La instalación y mantenimiento de los equipos PCM son más sencillos; al desaparecer en la instalación la mayoría de los complejos problemas de alineación de los sistemas FDM y en el mantenimiento, la tardía localización de fallas. Por ser los sistemas PCM modulares, se pueden sustituir tarjetas por unidades de repuestos sin mayor problema, disminuyendo el tiempo de reparación de fallas.

f) No se requieren costosos filtros en un sistema TDM.

Por lo general, en un sistema FDM se requieren muchos filtros costosos y su costo total es más o menos del 30 al 35% del precio del terminal.

A diferencia de esto, un sistema TDM requiere solamente dos filtros sencillos para un canal y su costo es insignificante.

En consideración de lo mencionado con un sistema TDM podemos esperar una apreciable disminución de los costos del equipo terminal en comparación con el FDM.

g) Economía en combinación con la conmutación digital.

Una alta proporción en el costo de los sistemas PCM reside en el equipo terminal.

La introducción de la conmutación digital bajará considerablemente éste costo debido a que la conmutación se efectúa directamente sobre la corriente de bits digitales, no siendo necesaria la costosa conversión analógica/digital. Una combinación de transmisión y conmutación digital en consecuencia tenderá a bajar los costos totales.

h) Preparación de la futura red digital integrada.

El instalar equipo PCM está contribuyendo a preparar la estructura de la futura red digital integrada, que con el transcurso del tiempo aportará grandes ventajas económicas a las administraciones de telecomunicaciones, ya que permitirá la transmisión de voz, datos, señales de video, etc. por un mismo medio.

## 2 PRINCIPIOS DE LA MODULACIÓN POR IMPULSOS CODIFICADOS.

Al principio de la telefonía se usaban vías de enlace individuales, es decir, se conectaba un par de hilos para cada enlace telefónico. Debido a la gran cantidad de líneas tendidas adyacentemente, tal disposición se denomina *Multiplex por División en el Espacio* (SDM=Space-Division Multiplex).

Como la red de líneas le corresponde a una parte muy considerable de las inversiones, desde un principio se intentó aprovechar de forma múltiple, por lo menos, las líneas de larga distancia. Con ello se llegó a la técnica *Multiplex por División de Frecuencia* (FDM=Frequency-Division Multiplex), en la que una banda ancha de frecuencias se subdivide en bandas secundarias adyacentes más estrechas. Como por ejemplo se muestra en la FIGURA 1 una banda de frecuencias de 48 kHz, se subdivide en 8 bandas secundarias. Por *Modulación* de diferentes ondas sinusoidales (portadoras), con las señales telefónicas, estas se convierten a las frecuencias de las bandas secundarias para ser transmitidas. Cada frecuencia portadora se modula con una señal telefónica razón por la cual este procedimiento se denomina también Sistema de Frecuencias y Ondas Portadoras. Una vez demodulada estas frecuencias en el lado de recepción, quedan disponibles nuevamente las señales telefónicas en su frecuencia original. El sistema de frecuencia portadoras sigue siendo una forma de transmisión corriente y económica en comparación con el multiplex por distribución en espacio (SDM).

La técnica Multiplex por distribución de frecuencia es una de las muchas posibilidades para aprovechar las líneas en forma múltiple. Otra posibilidad es la técnica *Multiplex por División en el Tiempo* (TDM=Time-Division Multiplex), en la que las señales telefónicas se transmiten desplazadas en el tiempo. La FIGURA 2 muestra como ejemplo un periodo con 32 *intervalos de tiempo*, ésta subdivisión se repite cada 125  $\mu$ s en periodos sucesivos. A cada señal telefónica se le asigna un intervalo de tiempo determinado en cada uno de los sucesivos periodos.

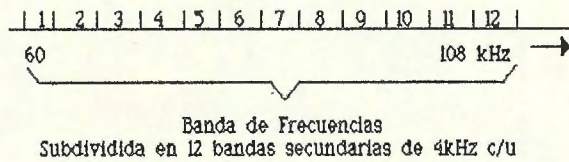


FIGURA 1: Multiplex por distribución de frecuencia.

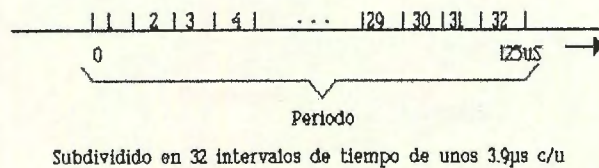


FIGURA 2: Multiplex por distribución en el tiempo.

## 2.1 MODULACIÓN POR IMPULSOS EN AMPLITUD (MIA o en inglés PAM).

En la modulación por impulsos de amplitud se toman muestras de señales telefónicas (normalmente en forma estrictamente periódicas) y solo se transmiten estas muestras con ayuda de un dispositivo de muestreo. Aunque las señales se transmiten solamente en forma parcial, es posible reconstruir la señal o señales originales en el receptor de una forma completa bajo las siguientes premisas:

- 1- Las señales a modular tendrán limitada su ancho de banda.
- 2- El proceso de muestreo cumplirá las leyes del teorema de muestreo (o de exploración)

La FIGURA 3 nos explica este proceso: con una secuencia de impulsos de muestreo estrechos (en los que la cadencia de la señal viene dada por  $A_T$ ), se multiplica (o se modula) a la señal original  $A_S$  con lo que  $A_M = A_S * A_T$ . Se genera, por lo tanto, una secuencia de impulsos, cuyas amplitudes corresponden exactamente a las amplitudes de la señal original en los instantes respectivos. Este proceso se denomina Modulación por Impulsos de Amplitud (MIA o en inglés PAM). En el punto de recepción y antes de la reproducción o restitución de la señal hay que generar una curva continua de la señal mediante interpolación con un filtro pasabajo. En las FIGURAS 4 y 5 se indican los espectros de frecuencia de las señales.

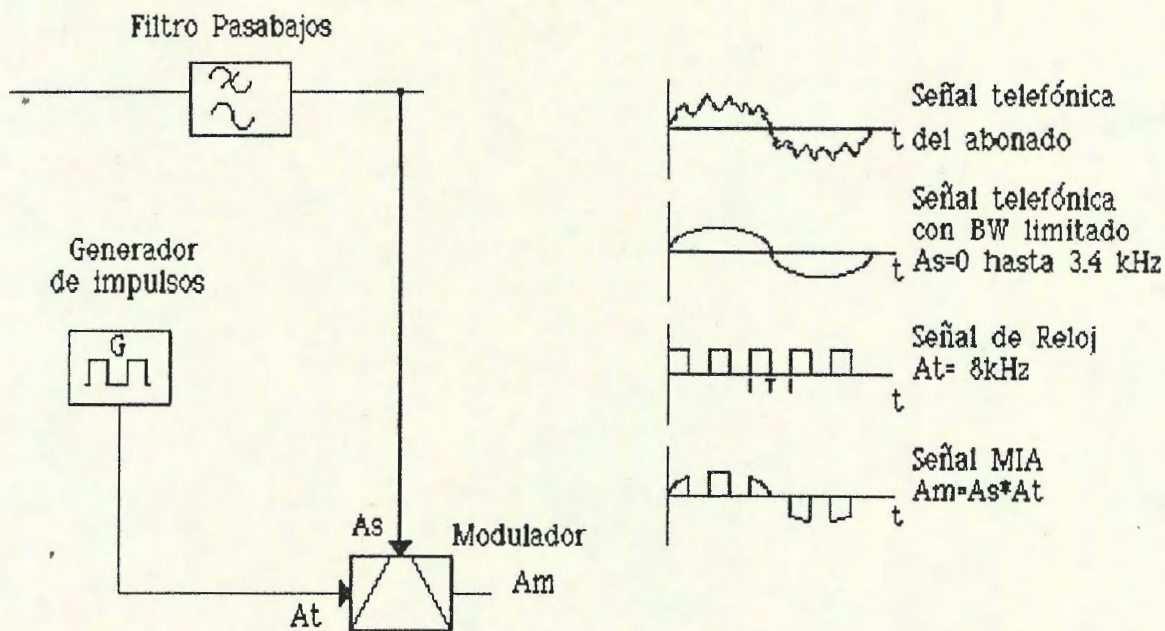


FIGURA 3: Generación de señal MIA (PAM).

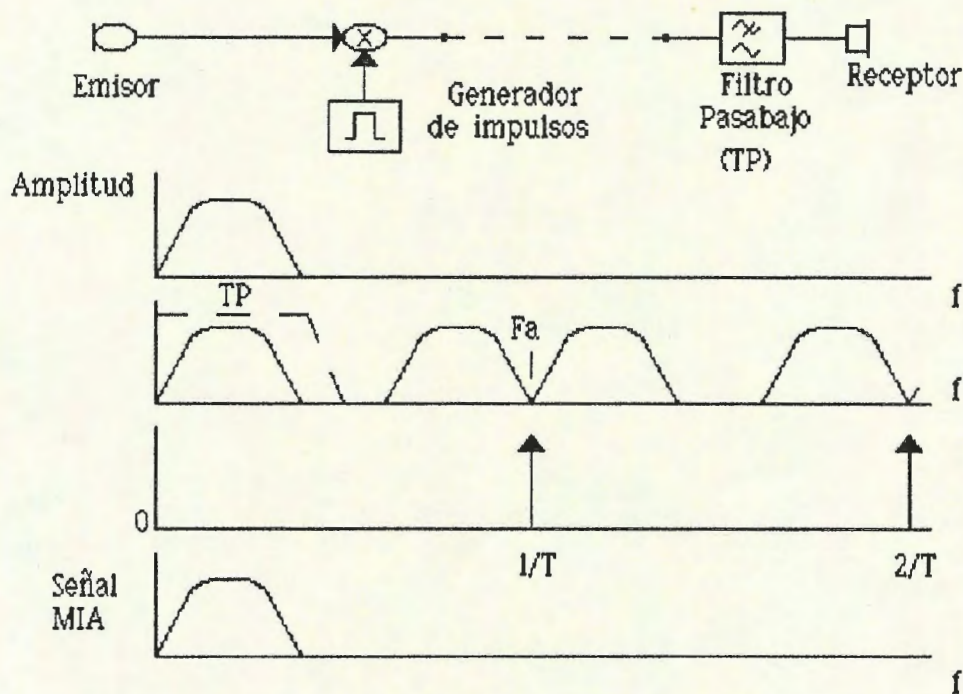


FIGURA 4: Repercusión en el margen de frecuencias (Señal MIA).

En la modulación por impulsos codificados aparece el espectro de la señal originaria una vez en su posición primitiva y adicionalmente sobre las componentes de frecuencia (onda fundamental y armónicos) del impulso del muestreo - Líneas con una separación de frecuencias de  $1/T$  - moduladas en forma de banda lateral superior y banda lateral inferior. Mediante el filtro de pasabajo de interpolación, antes de la recuperación de la señal, se excluyen los espectros de frecuencias perturbadoras.

## 2.2 TEOREMA DEL MUESTREO

En la FIGURA 4, la banda lateral inferior junto a la frecuencia de muestreo ( $f_A = 1/T$ ) se aproximará tanto más al espectro original, cuanto mas elevadas sean las componentes de frecuencia del espectro original, tocándose finalmente si la frecuencia mas elevada se hace igual a la mitad de la frecuencia de muestreo. De lo anterior se deduce la siguiente ley para la relación entre el ancho de banda de la señal original y el valor que debe tener la frecuencia de muestreo y que se conoce como *Teorema de Muestreo*: el valor de la frecuencia de muestreo  $f_A$  tiene que ser mayor que el doble de la frecuencia de la señal  $f_g$  más elevada que se va a transmitir, por lo tanto,  $f_A > 2f_g$ . En caso de que esta ley no tenga consideración se originan señales perturbadoras debido a solapamiento del espectro; éstas señales interferentes no están contenidas en la señal originaria (FIGURA 5) y se conoce como Efecto de Repliegue (Error de Seudointerferencia). Para evitarlo, y por principio, se inserta antes del muestreo un filtro pasabajos para limitar el espectro de frecuencias de la señal de entrada, adaptándolo a la frecuencia de muestreo. Está normalizada internacionalmente una frecuencia de muestreo de 8 kHz para las señales telefónicas - antes del muestreo se limita la señal telefónica a un ancho de banda de 3.4 kHz - la mayoría de las veces, el filtro pasabajos de entrada está diseñado como un filtro de paso de banda, para así poder suprimir las interferencia de 50 Hz o bien 60 Hz que pueden provenir adicionalmente de la red de energía.

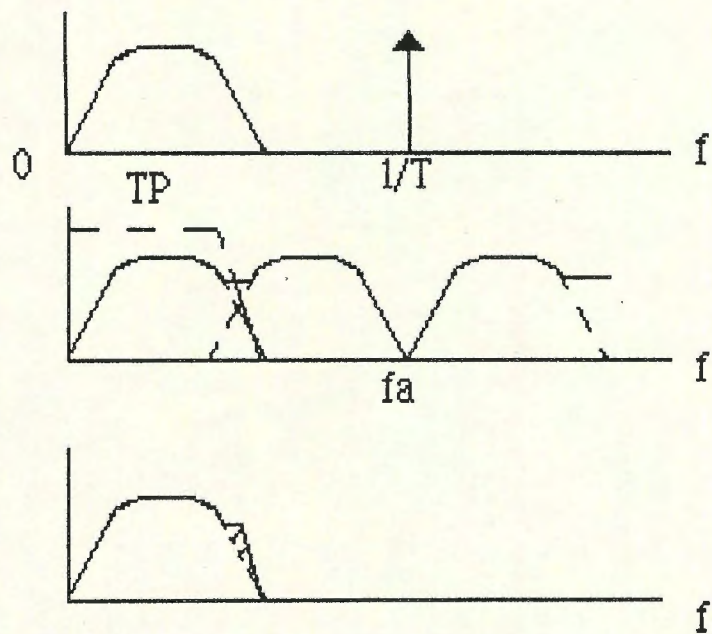


FIGURA 5: Efectos causados por frecuencias de muestreo demasiado bajas (Señal MIA).

## 2.3 MODULACIÓN POR IMPULSOS CODIFICADOS (MIC o en inglés PCM.)

La señal MIC modulada en amplitud y considerada hasta este momento, es todavía una señal analógica; precisamente con un proceso de cuantificación y codificación se convertirá en una señal digital.

Durante el proceso de cuantificación se asigna a los impulsos de amplitud de la señal MIA un número limitado de intervalos de cuantificación discretos. Para ello se divide el margen de amplitudes de la señal en una cantidad igual de intervalos (FIGURA 6 y 7). En el caso de que un valor de amplitud se encuentre situado entre los límites de un intervalo, se le asignará a este valor el intervalo mencionado. En el punto de recepción y para que el error de cuantificación permanezca lo menor posible, se produce este valor con un valor analógico que este situado en la mitad (en el centro) de éste intervalo de cuantificación.

Por codificación se sobrentiende un convenio por el cual cada uno de los intervalos individuales se numeran correlativamente con el código binario apropiado.

La secuencia de muestreo, cuantificación y codificación se resume bajo el concepto general de conversión análogo-digital (A/D).

Para la transmisión de los valores de amplitud se envía el código binario del intervalo correspondiente en forma de impulsos. La diferenciación entre sí de los 8 niveles o escalones de amplitud elegidos como ejemplo en las FIGURA 6 y 7 requiere un código de 3 bits.

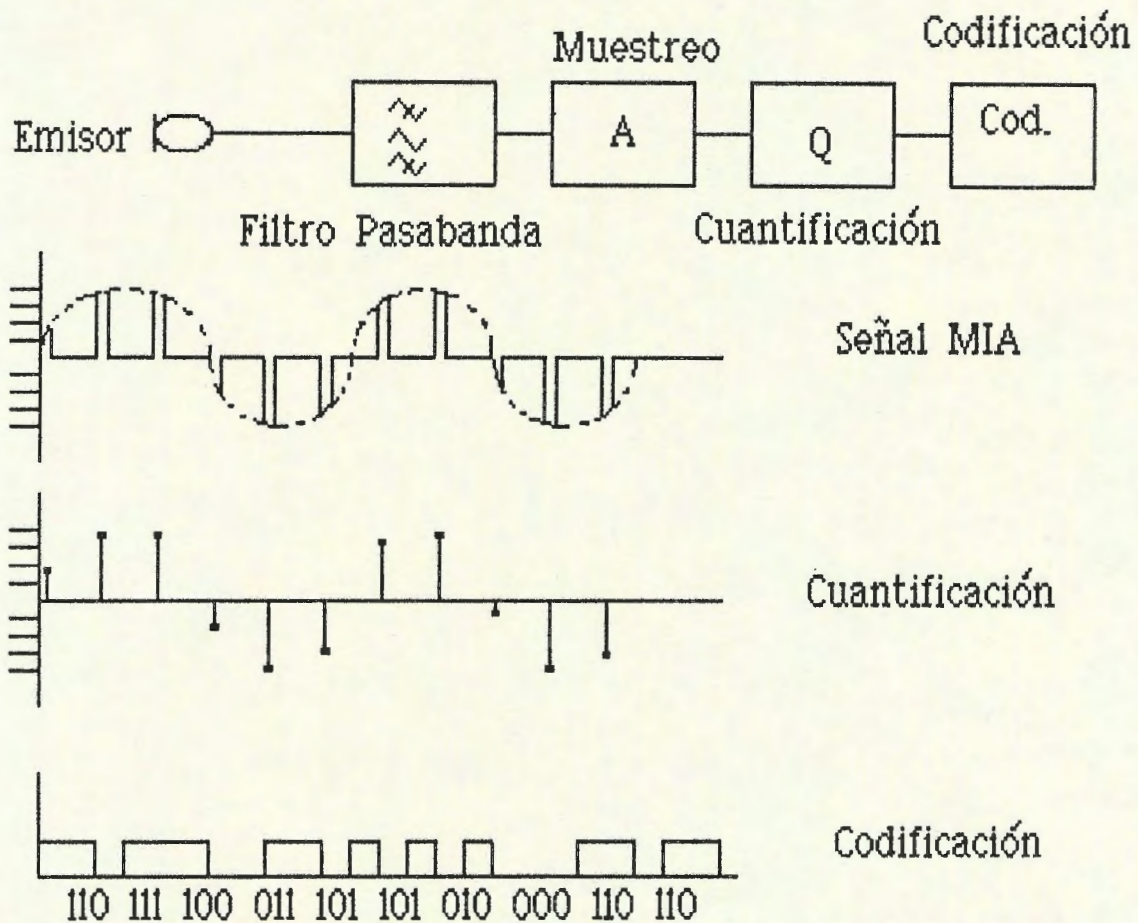


FIGURA 6: Modulación por impulsos codificados (MIC). Lado Transmisor.

Los procesos de cuantificación y codificación han permitido sustituir la transmisión de una señal MIA con valores de amplitud

individuales, muy expuesta a perturbaciones por la transmisión de señales robustas de dos niveles (0 y 1). La precisión requerida se consigue mediante una velocidad de señalización elevada. Por lo tanto se recibe un telegrama de varios impulsos en lugar de un impulso MIA, un procedimiento que es característico de la transmisión digital.

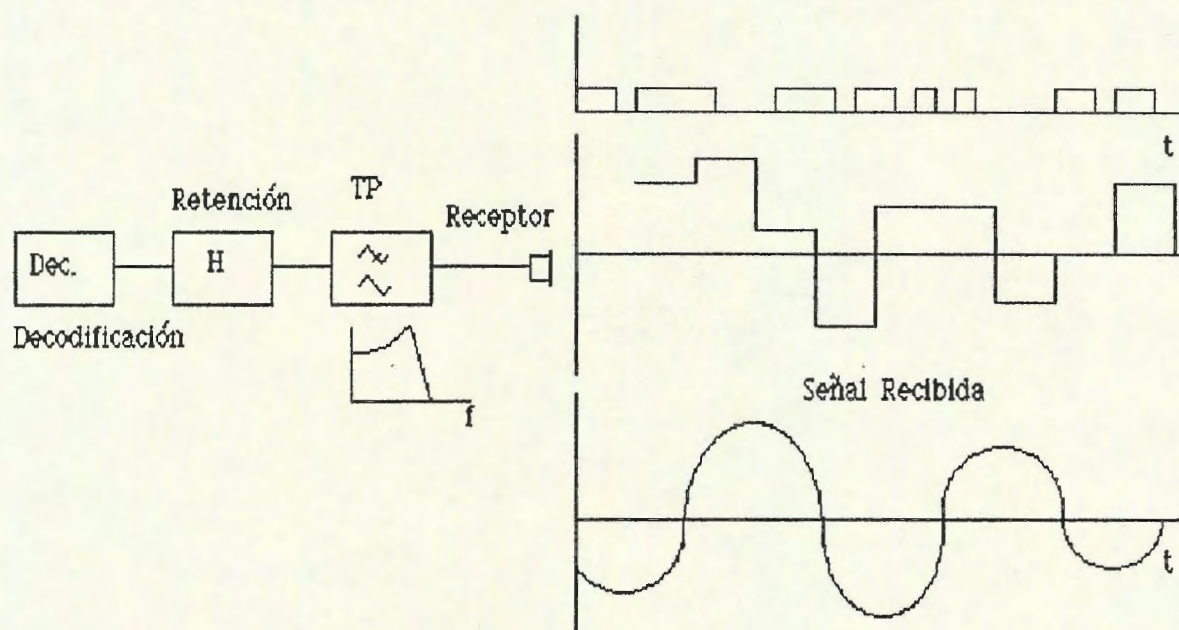


FIGURA 7: Modulación por impulsos codificados (MIC). Lado receptor.

En el punto de recepción se genera, a partir de la decodificación del telegrama de impulsos, la señal analógica especificada [Conversión Digital-Analógica (D/A)].

En la práctica el valor de la tensión analógica es mantenido tanto tiempo como se necesite hasta que se presente un nuevo valor.

Con ello se consigue una reducción de la velocidad de conmutación de los circuitos de evaluación; y además se obtiene una disminución de la influencia de señales perturbadoras sobre los circuitos. Aunque las componentes de señal de baja frecuencia se amplifican ciertamente en forma sistemática. Este fenómeno se compensa efectuando una acentuación de las componentes de señal de alta frecuencia mediante la respuesta de las frecuencias apropiadas del filtro de paso bajo, en el punto de recepción.

## 2.4 ASPECTOS PRINCIPALES DE LA MODULACIÓN POR IMPULSOS CODIFICADOS.

### 2.4.1 MUESTREO.

Muestreo es el proceso para obtener muestras discretas periódicamente de una onda continua.

El muestreo se lleva a cabo siempre a un ritmo uniforme, el cual viene dado por la frecuencia de muestreo.

La condición que debe cumplir la frecuencia de muestreo, la da el teorema del muestreo (explicado anteriormente).

Luego del muestreo la señal que se obtiene es un tren de impulsos, los cuales tienen una amplitud igual al valor que tenía la señal en el instante del muestreo.

Debido al ancho de banda de los canales telefónicos que está comprendido de 300 a 3400 Hz, las muestras de la señal deben ser tomadas por lo menos a 6800 Hz.

En la práctica se utiliza una frecuencia de muestreo de 8000 Hz, por lo consiguiente se toman 8000 muestras por segundo de la señal, siendo la separación en tiempo de las diferentes muestras de:

$$T = \frac{1}{f} = \frac{1}{8000} = 125 * 10^{-6} \text{ seg} \quad \text{Ec. 1}$$

#### 2.4.2 CUANTIFICACION.

La señal PAM<sup>1</sup> sigue siendo todavía una representación analógica de la señal telefónica, sin embargo, las muestras pueden transmitirse y procesarse en forma digital con mucha más facilidad. El primer paso para su transformación en señal digital - en este caso una señal modulada por impulsos codificados (señal MIC) - es la cuantificación que consiste en descomponer el margen total de las posibles amplitudes de la señal en intervalos de cuantificación. Para cada muestra se determina el intervalo en el que queda incluida, estando separado cada intervalo por un *Valor de Decisión*. Por consiguiente, en el lado de transmisión caen varios valores analógicos diferentes en un mismo intervalo de cuantificación. En el lado de recepción, por cada intervalo de cuantificación se recupera un valor de amplitud que corresponde al valor del intervalo, lo que da lugar a pequeñas variaciones respecto a las muestras originarias de la señal en el lado de transmisión. Estas variaciones pueden ocasionar en el lado de recepción una distorsión de cuantificación que se manifiesta por un ruido superpuesto a la señal útil. La distorsión de cuantificación es tanto menor cuanto mayor sea el número de intervalos previstos. Haciendo los intervalos suficientemente pequeños, la distorsión será mínima y el ruido de cuantización será imperceptible.

---

<sup>1</sup>PAM: Modulación por Impulsos de Amplitud (MIA).

### 2.4.3 CODIFICACIÓN.

La señal MIC a transmitir se obtiene por *Codificación* de los intervalos de cuantificación. El codificador electrónico asigna a cada muestra una señal de carácter palabra MIC de 8 bits que depende del intervalo de cuantificación en que se encuentre la muestra. Esto permite obtener  $2^8=256$  intervalos de cuantificación que se representan mediante un *Código Binario* de 8 dígitos y, por consiguiente las palabras MIC son también de 8 bits.

### 2.4.4 MULTIPLEXADO.

Las palabras MIC de 8 bits de varias señales telefónicas pueden transmitirse sucesivamente en forma cíclica: entre 2 palabras MIC de una señal telefónica se intercalan en serie cronológica las palabras MIC de otras señales telefónicas. De esta manera se obtiene una señal multiplex MIC por distribución en el tiempo o señal Multiplex de Tiempo.

La idea básica de la técnica Multiplex por División en el Tiempo es que para transmitir oscilaciones, como por ejemplo señales telefónicas, no se necesita la envolvente completa de la oscilación sino que basta con tomar muestras de la misma a determinados intervalos y transmitir éstas únicamente. El muestreo proporciona una serie de breves impulsos cuyas amplitudes son proporcionales a cada una de las amplitudes instantáneas de la

oscilación muestreada. Este procedimiento se llama *Modulación de impulsos de Amplitud* (PAM). Si se observa la envolvente de la señal PAM puede reconocerse la forma original de la curva.

En las distintas muestras se originan pausas relativamente grandes que pueden emplearse para transmitir otras señales PAM, es decir, las muestras de varias señales telefónicas distintas pueden transmitirse en forma cíclica. Los impulsos de diferentes señales PAM así asegurados forman una señal multiplex por distribución en el tiempo PAM.

Si las muestras de una oscilación, es decir, los impulsos de amplitudes diferentes se transforman en *Señales de Carácter* (o palabra MIC) binarias, se habla entonces de *Modulación por Impulsos Codificados* (MIC). Las muestras de la señal se cuantifican y se codifican, generalmente, con *8 bits*. Las señales MIC de varias señales telefónicas, agrupadas cíclicamente, forman una señal multiplex de tiempo MIC

Las señales multiplex de tiempo MIC son muy apropiadas para el aprovechamiento múltiple de líneas y conmutadores electrónicos presentando además - debido a la estructura digital del mensaje - mucho menor sensibilidad a las perturbaciones que las *Señales Analógicas* (Por ejemplo las señales PAM).

#### 2.4.5 DECODIFICACIÓN

En el lado de recepción cada palabra MIC de 8 bits se le asigna un valor de amplitud de la señal que corresponde al valor del respectivo intervalo de cuantificación. La característica para la *Decodificación* es la misma que para la codificación en el lado de transmisión.

Las palabras MIC son decodificadas por el orden en que se reciben y convertidas en una señal PAM que aún posee la particularidad de presentar las amplitudes de las diferentes señales en forma multiplex por división de tiempo por lo cual aún falta otro proceso para obtener las muestras originales de las señales.

#### 2.4.6 DEMULTIPLEXACION

Este proceso consiste en hacer que los valores de amplitud de la señal PAM multiplexada decodificada debe hacerse llegar a la salida del canal correspondiente, de tal forma que exista ya a la disposición las 8 salidas.

## CAPITULO II.

### CONCEPTOS BÁSICOS DE LOS DIVERSOS COMPONENTES DEL MIC.

#### 1 TEMPORIZADOR LM555.

El temporizador o cronizador LM555 combina un oscilador de relajación, dos comparadores, un biestable o flip-flop RS y un transistor de descarga en un mismo circuito integrado. Tiene tantas aplicaciones que es muy popular. Una vez que se entienda su funcionamiento entonces será posible diseñar con éste circuito integrado y encontrarle nuevos usos para este sorprendente CI.

##### 1.1 CONCEPTO BÁSICO DE TEMPORIZACION.

La FIGURA 8, ilustra algunas ideas básicas que necesitaremos posteriormente en el estudio del temporizador LM555. Supongamos que la salida Q está en nivel alto. El transistor se satura y mantiene el voltaje del capacitor a nivel de tierra. Dicho de otro modo, el capacitor está cortocircuitado y no puede cargarse.

El voltaje aplicado la entrada no inversora del comparador se denomina Voltaje de Umbral, mientras que el que se aplica a la entrada inversora recibe el nombre de Voltaje de Control. Cuando el FF RS está puesto a 1, el transistor se satura y mantiene el

voltaje de umbral a 0 V. El voltaje de control, en cambio, está fijo en +10 V gracias al divisor de voltaje.

Supóngase que se aplica un voltaje alto a la entrada R. Esto restablece el FF (Reposición) y la salida Q pasa a nivel bajo, poniendo en corte al transistor, el capacitor C está en condiciones de cargarse libremente. El voltaje de umbral irá aumentando conforme el capacitor se cargue y finalmente superará al voltaje de control (+10 V). La salida del comparador pasará a nivel alto forzando la puesta a 1 de FF RS. La salida alta Q saturará el transistor y el capacitor se descargará rápidamente. El capacitor se carga con una forma de onda exponencial mientras que en la salida Q se tiene un pulso positivo.

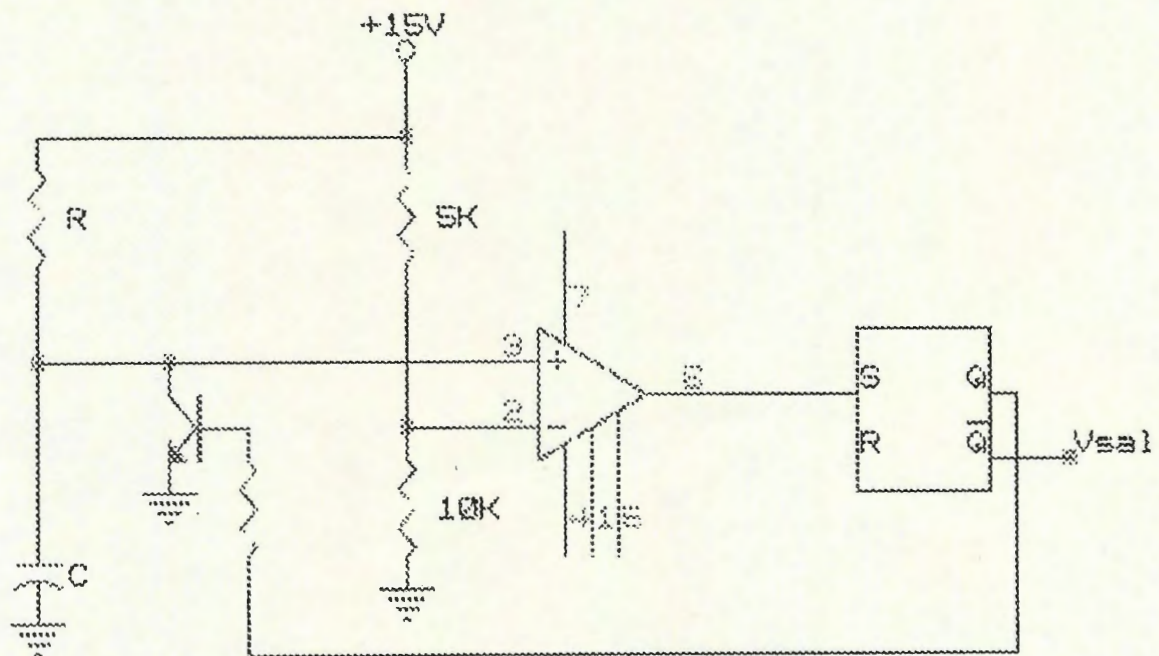


FIGURA 8: Circuito básico de temporización.

## 1.2 DIAGRAMA DE BLOQUE DEL LM555.

La FIGURA 9 es un diagrama del bloque simplificado del temporizador LM555, un temporizador en un circuito integrado de 8 terminales diseñado por Signetics Corporation. Obsérvese que el comparador de arriba tiene una entrada de umbral (Terminal 6) y una entrada de control (Terminal 5). En la mayor parte de los casos la entrada de control no se utiliza, y su voltaje es de  $+2/3$  de  $V_{cc}$ . Al igual que antes cuando el voltaje de umbral supera al de control, el comparador pasará a nivel alto poniendo (disposición) a uno o nivel alto el FF RS.

El colector del transistor de descarga está disponible en la terminal 7. Cuando se conecta esa terminal a un capacitor de temporización o de control de tiempo externo, una salida Q alta del FF saturará el transistor y provocará la descarga del capacitor. Cuando Q está a nivel bajo (a cero) el transistor está en corte y el capacitor puede cargarse en la forma descrita previamente.

La salida complementaria del biestable o FF aparece en la terminal 3, llamada Salida. Cuando la entrada externa de restablecer o reposición (Terminal 4) está conectada a tierra el dispositivo queda inhibido, es decir, no está en condiciones de funcionar. Esta posibilidad de conectar o desconectar libremente el circuito puede ser de utilidad en algunas aplicaciones. En la mayor parte de los casos, sin embargo, la entrada externa de restablecer o

reposición no se emplea y la terminal 4 se conecta al positivo de la fuente de alimentación (Vcc).

Obsérvese el comparador de la parte inferior del diagrama. Su entrada inversora recibe el nombre de Disparador (Trigger), y está conectada a la terminal 2. El divisor de voltaje hace que la entrada no inversora tenga un voltaje fijo de  $+1/3$  de Vcc. Cuando el voltaje de entrada al disparador es ligeramente menor que  $+1/3$  de Vcc la salida de AMP OP es alta, restableciendo el biestable RS.

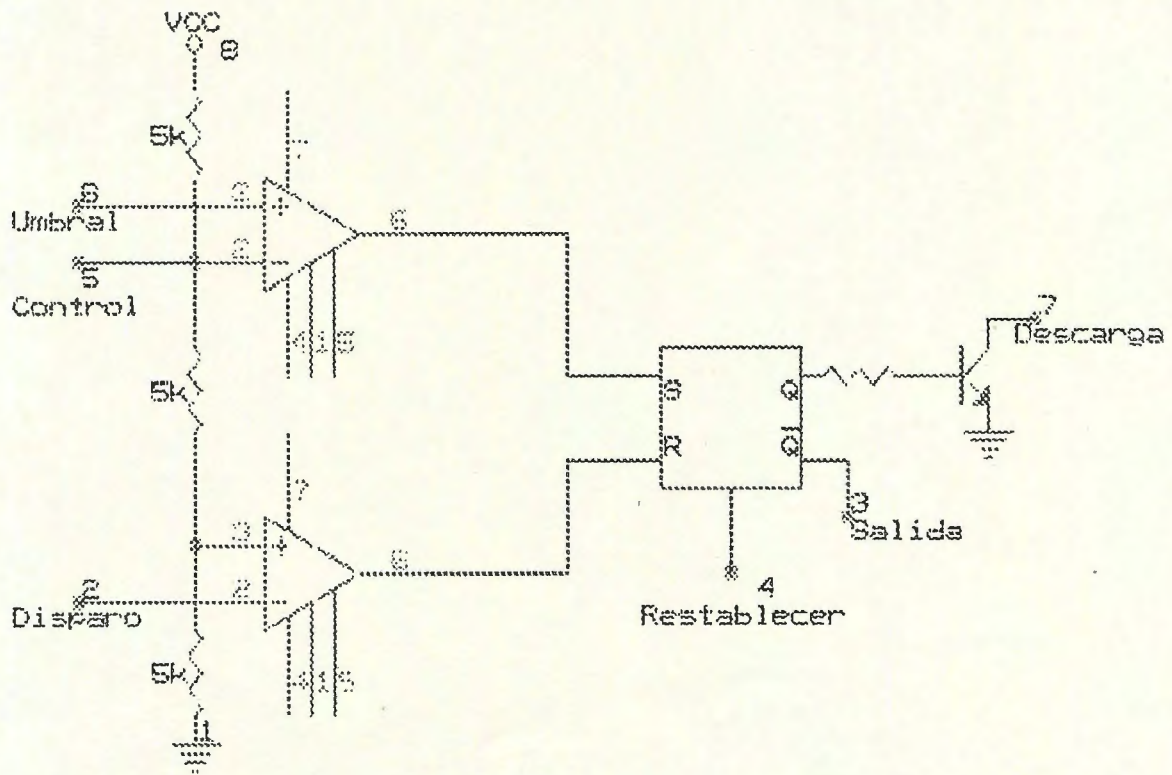


FIGURA 9: Diagrama simplificado del temporizador LM555.

Finalmente, la terminal 1 es la tierra del circuito integrado y la entrada 8 es la terminal que se conecta al positivo de la

fuentes de alimentación. El temporizador LM555 funciona con cualquier voltaje de alimentación comprendido entre 4.5 y 16 V.

### 1.3 OPERACIÓN COMO MONOESTABLE.

La FIGURA 10 muestra el LM555 conectado para funcionamiento monoestable (One Shot). Opera como a continuación se describe:

Cuando la entrada de disparador está ligeramente abajo de  $+1/3$  de  $V_{cc}$  el comparador inferior tiene salida a nivel alto y restablece el FF. Esto pone en corte al transistor y deja que el capacitor se cargue. Cuando el voltaje en el capacitor es ligeramente mayor que  $+2/3$  de  $V_{cc}$ , el comparador superior conmuta su salida a nivel alto, poniendo a un nivel alto el FF. En cuanto Q pasa a nivel alto, el transistor entra en conducción descargando rápidamente el capacitor.

En entrada de disparo en un pulso de poca duración respecto de un nivel de polarización de  $+V_{cc}$ . El pulso tiene que caer abajo de  $+1/3$  de  $V_{cc}$  para restablecer el FF y dejar que se cargue el capacitor. Cuando el voltaje de umbral supera ligeramente a  $+2/3$  de  $V_{cc}$ , el FF se pone a 1 con lo que el transistor se satura y descarga el capacitor. Como resultado se tiene un pulso rectangular en la salida.

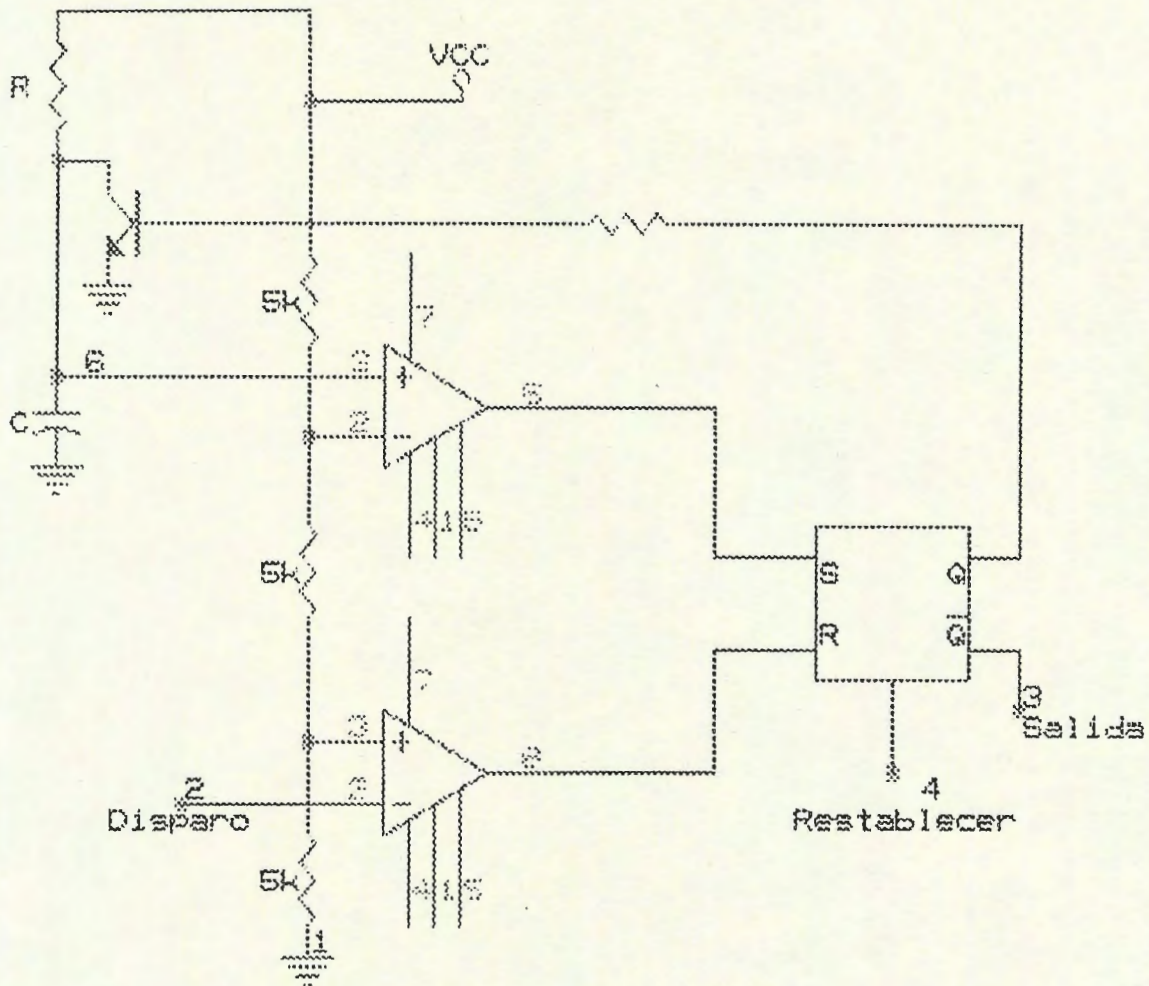


FIGURA 10: Temporizador LM555 conectado como monoestable.

El capacitor se carga a través del resistor R. Cuanto mayor sea la constante de tiempo RC, más tiempo tardará el capacitor en alcanzar el voltaje de +2/3 de Vcc. Dicho de otro modo, la constante de tiempo RC controla la duración del pulso de salida. La duración del pulso (W) viene dado por la siguiente fórmula:

$$W=1.1RC$$

Normalmente los diagramas esquemáticos no muestran los comparadores, el FF y demás componentes internos del LM555. En vez de eso se encontrará un símbolo como el de la FIGURA 11 y el esquema del monoestable quedará como en dicha FIGURA. Solo se muestran los componentes externos conectados a las terminales del CI. Obsérvese que la terminal 5 (control) está conectada a tierra mediante un pequeño capacitor, normalmente de 0.01  $\mu$ F. Este capacitor filtra el ruido del voltaje de control.

Recuérdese que el LM555 queda inhibido cuando se pone a tierra la terminal 4. Para evitar que se produzca un restablecimiento accidental la terminal 4 se une normalmente al voltaje de alimentación como se muestra en la FIGURA 11.

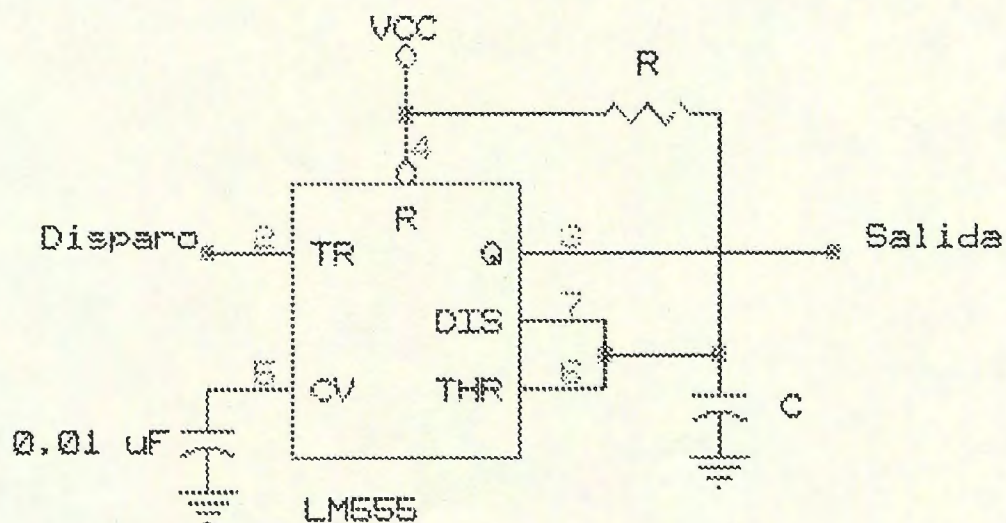


FIGURA 11: Circuito de un monoestable realizado con un temporizador LM555.

En suma, el temporizador monoestable LM555 produce un único pulso, cuya duración queda determinada por los componentes R y C

externos utilizados en la FIGURA 11. El pulso empieza en el flanco de bajada del pulso negativo aplicado a la entrada de disparo. Este tipo de funcionamiento monoestable tiene un gran número de aplicaciones.

#### 1.4 FUNCIONAMIENTO ASTABLE.

La FIGURA 12 muestra el LM555 conectado para funcionamiento astable. Cuando Q está baja el transistor está en corte y el capacitor se va cargando a través de una resistencia en serie total de  $R_A + R_B$ . La constante de carga es  $C(R_A + R_B)$ . A medida que se carga el capacitor aumenta el voltaje de umbral, y finalmente supera el voltaje  $+2/3$  de  $V_{CC}$ . En ese momento la salida del comparador superior pasa a nivel alto poniendo a uno el FF. La salida Q alta satura el transistor que pone a tierra la terminal 7. El capacitor entonces se descarga a través de  $R_B$ . La constante de tiempo de descarga es  $R_B(C)$ . Cuando el voltaje del capacitor baja ligeramente abajo de  $+1/3$  de  $V_{CC}$ , el comparador inferior conmuta la salida a nivel alto restableciendo el FF.

Como puede advertirse, la carga y descarga del capacitor son ondas exponenciales. La salida es una onda rectangular. Puesto que la constante de tiempo de la carga es mayor que de la descarga, la onda de salida no es simétrica; el estado alto de salida dura más que el estado bajo de salida.

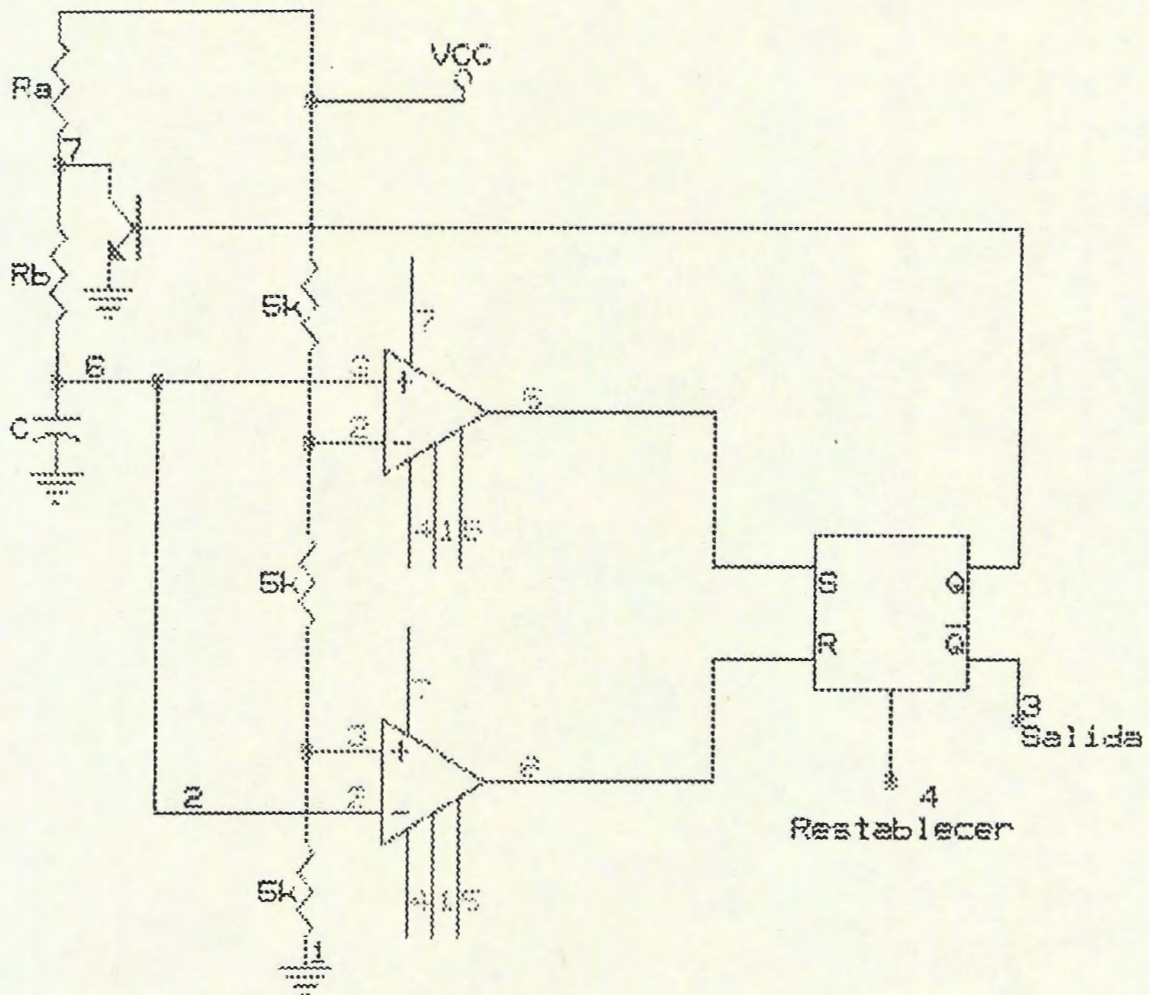


FIGURA 12: Temporizador LM555 conectado como multivibrador astable.

Para especificar la asimetría de la salida ampliaremos el concepto de ciclo de trabajo o factor de utilización (Duty Cycle) que se define como:

$$D = \frac{W}{T} * 100\%$$

Ec.3

donde: D=Ciclo de trabajo.

W=Duración del pulso.

T=Período.

Según el valor de las resistencias  $R_A$  y  $R_B$ , el ciclo de trabajo estará comprendido entre un 50 y un 100 %.

La frecuencia de oscilación viene dada por:

$$f = \frac{1.44}{(R_A + 2R_B) C} \quad \text{Ec.4}$$

y el ciclo de trabajo es:

$$D = \frac{R_A + R_B}{R_A + 2R_B} * 100\% \quad \text{Ec.5}$$

Si  $R_A \ll R_B$  el ciclo de trabajo se aproxima al 50%, la FIGURA 13 muestra un astable con temporizador LM555 tal como aparece en los esquemas. También aquí la terminal 4 (Restablecer) está unida al voltaje de alimentación, y la terminal 5 (Control), está conectada a tierra mediante un capacitor de 0.01  $\mu$ F. Cuando se conecta como astable, el temporizador LM555 se llama a veces Multivibrador porque la salida es un tren continuo de pulsos rectangulares.

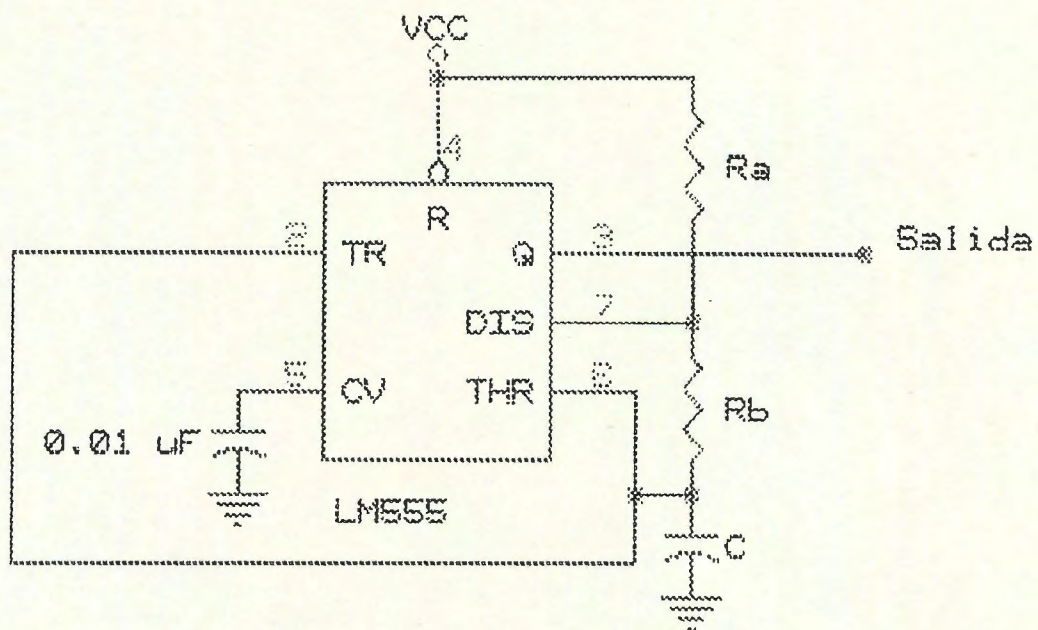


FIGURA 13: Circuito de un astable realizado con un temporizador LM555.

## 2 CONTADORES.

Los flip-flop pueden ser conectados para desarrollar aplicaciones de conteo, a este grupo de FF se les llama contadores, el número de FF utilizados y la forma en la cual estos son conectados determinan el número de estados (MODULO) y la secuencia de estados que sigue el contador en cada ciclo completo.

Los contadores están clasificados en dos grandes categorías de acuerdo a la forma en que el reloj es aplicado, éstas dos categorías son las siguientes:

- Contadores Asíncronos.
- Contadores Síncronos.

### 2.1 CONTADORES ASINCRONOS.

El término *Asíncrono* se refiere a eventos que no ocurren al mismo tiempo. Con respecto a la operación de contadores asíncronos significa que los FF dentro del contador no están hechos o conectados para cambiar estados exactamente al mismo tiempo.

Existen varios circuitos integrados contadores asíncronos TTL y CMOS. Uno de los más populares es el *TTL 7493*. La FIGURA 14 muestra el diagrama lógico para el 7493, tal y como aparece en el manual de información del fabricante. Alguna de la nomenclatura

contenida en éste diagrama es diferente de la que se ha venido utilizando, pero debe resultar sencillo reconocerlo. Al examinar éste diagrama se aseguran los siguientes puntos:

1- El 7493 contiene 4 FF J-K con las salidas  $Q_0, Q_1, Q_2$  y  $Q_3$  (en vez de A,B,C,D). Cada FF tiene una entrada CP (Pulsación del Cronómetro), que es simplemente otro nombre de la entrada CLK. Las entradas del cronómetro  $Q_0$  y  $Q_1$ , marcadas como  $NEG(CP_0)^2$  y  $NEG(CP_1)$ , respectivamente, son externamente accesibles. La barra de inversión sobre éstas entradas se utilizan para indicar que actúan como una transición de Alto a Bajo.

2- Cada FF tiene una entrada DC CLEAR,  $C_0$ , conectadas a la salida de una compuerta NAND de 2 entradas. Las entradas de la compuerta son  $MR_1$  y  $MR_2$ , donde MR significa *Reposición Maestra*.

3- Los FF  $Q_1, Q_2$  y  $Q_3$  ya están conectados como un contador de pulsos de 3 bits. El FF  $Q_0$  no está conectado a nada en el anterior. Esto da al usuario la opción de conectar  $Q_0$  a  $Q_1$  para formar un contador de 4 bits o bien utilizar a  $Q_0$  por separado si se desea.

4- Los FF se disponen en el orden contrario al que se ha venido utilizando en los diagramas de contadores; es decir,  $Q_0$

---

<sup>2</sup> Donde NEG indica negación o inversión.

es el LSB y  $Q_3$  el MSB del contador. Esta es solo una forma equivalente de trazar el circuito contador; su operación lógica es la misma que la de los contadores que se han utilizado.

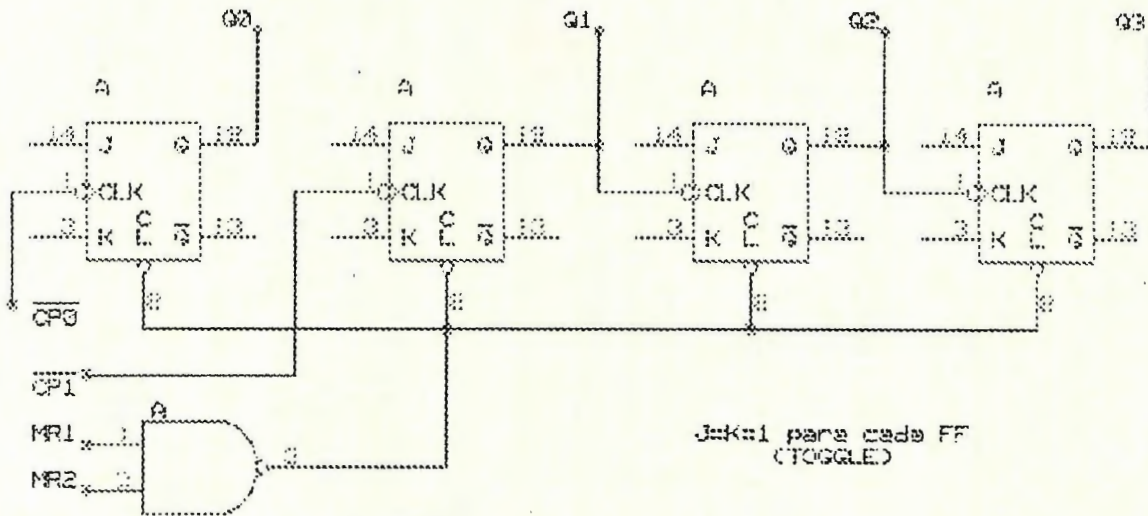


FIGURA 14: Diagrama interno del 7493.

### 2.1.1 DESCRIPCIÓN FUNCIONAL DEL CONTADOR 7493.

El 7493 es un contador binario del tipo de ondas de 4 bits. Consta de 4 biestables Maestro-Esclavo que se conectan internamente para ofrecer una sección de división por 2 y una de división por 8.

Cada sección tiene una entrada de cronómetro aparte que inicia cambios de estado del contador en la transición del cronómetro de alto a bajo. Los cambios de las salidas Q no ocurren simultáneamente debido a las demoras internas de las ondas. La salida  $Q_0$  de

cada dispositivo está diseñada y especificada para impulsar el FAN-OUT clasificando más la entrada  $NEG(CP_1)$  del dispositivo. Se ofrece un Master Reset asíncrono con compuertas NAND ( $MR_1$  y  $MR_2$ ) que elimina los cronómetros y recoloca (limpia) todos los biestables. Ya que la sección de división por 2 no se conecta internamente a las fases sucesivas, los dispositivos pueden ser operados en diversos modos de conteo.

## 2.2 CONTADORES SINCRONOS.

El término *Síncrono* aplicado a la operación de contadores significa que cada FF en el contador está siendo disparado al mismo tiempo. Esto se logra al conectar la línea de CLK a cada etapa de contador en común.

El problema que se encuentra en los contadores de rizo, es ocasionado por las demoras acumuladas en la propagación de los FF; dicho de otra manera, los FF no todos cambian estados simultáneamente en sincronía con las pulsaciones de entrada. Estas limitaciones pueden ser superadas mediante el uso de contadores *Síncronos* o *Paralelos* en los cuales todos los FF se activan en forma simultánea (En paralelo), por medio de pulsaciones del reloj. Ya que las pulsaciones de entrada se aplican a todos los FF, debe utilizarse algún medio para controlar cuando cada FF se active o permanezca inalterado por una pulsación de reloj. Esto se logra

utilizando las entradas J y K, para un controlador paralelo MOD-16 de 4 bits.

La característica más importante de este controlador paralelo es el hecho de que todos los FF cambiarán estados simultáneamente en sincronía, con las pulsaciones de entrada. La demora total en la propagación que debe permitirse es simplemente el  $t_{pd}$  de un solo FF más el retraso que se necesita para que los niveles se propaguen a través de una sola compuerta NAND. Esto significa que se puede emplear una frecuencia de pulsación de entrada mucho mayor que la posible de un contador correspondiente de onda. Desde luego, el contador paralelo requiere de más circuitos lógicos y un número mayor de conexiones.

### 2.2.1 CONTADOR SINCRONO 7490. DESCRIPCIÓN FUNCIONAL.

El 7490 es un contador de decenas de 4 bits del tipo de ondas. Consta de cuatro biestables Maestro-Esclavo que se conectan internamente para ofrecer una sección de división por 2 y una de división por 5. Cada sección tiene una entrada de cronómetro aparte que inicia cambios de estado del contador en la transición del cronómetro de Alto a Bajo. Los cambios de estados de las salidas Q no ocurren simultáneamente debido a las demoras internas de las ondas. La salida  $Q_0$  de cada dispositivo está diseñada y especificada para impulsar el FAN-OUT clasificado más la entrada

NEG(CP<sub>1</sub>). Se proporciona un Master Reset asíncrono con compuertas NAND (MR<sub>1</sub>, MR<sub>2</sub>) que elimina los cronómetros y las entrada MR y fija las salidas a nueve (HLLH). Ya que la salida de la sección de división por 2 no se conecta internamente a las fases sucesivas, los dispositivos pueden ser operados en diversos modos de conteo.

### 2.3 DIVISORES DE FRECUENCIA.

Otra aplicación básica de los FF es dividir (reducir) la frecuencia de una forma de onda periódica. Un ejemplo de ello es un FF JK conectado en una forma TOGGLE (Cambio) tal como se muestra en la FIGURA 15.

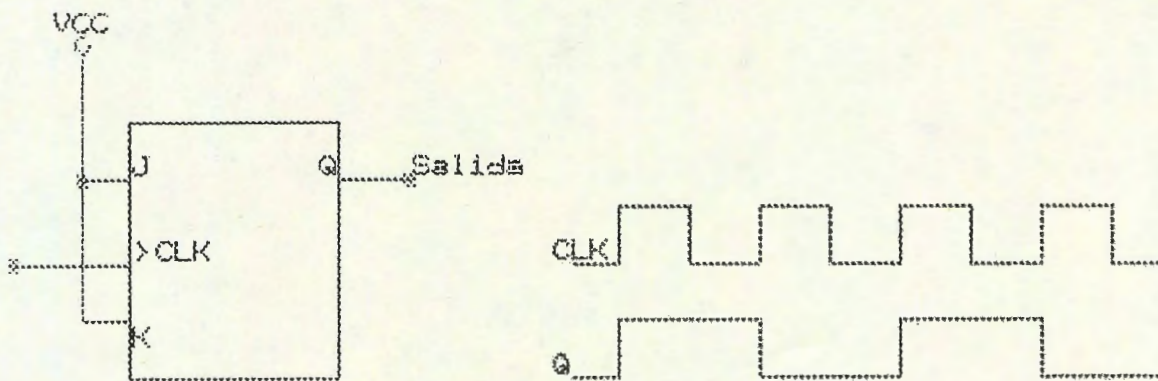


FIGURA 15: Divisor de frecuencia (entre 2).

Una mayor división de una frecuencia de reloj puede ser lograda utilizando la salida de un FF como la entrada del reloj

para el segundo FF como se muestra en la FIGURA 16.

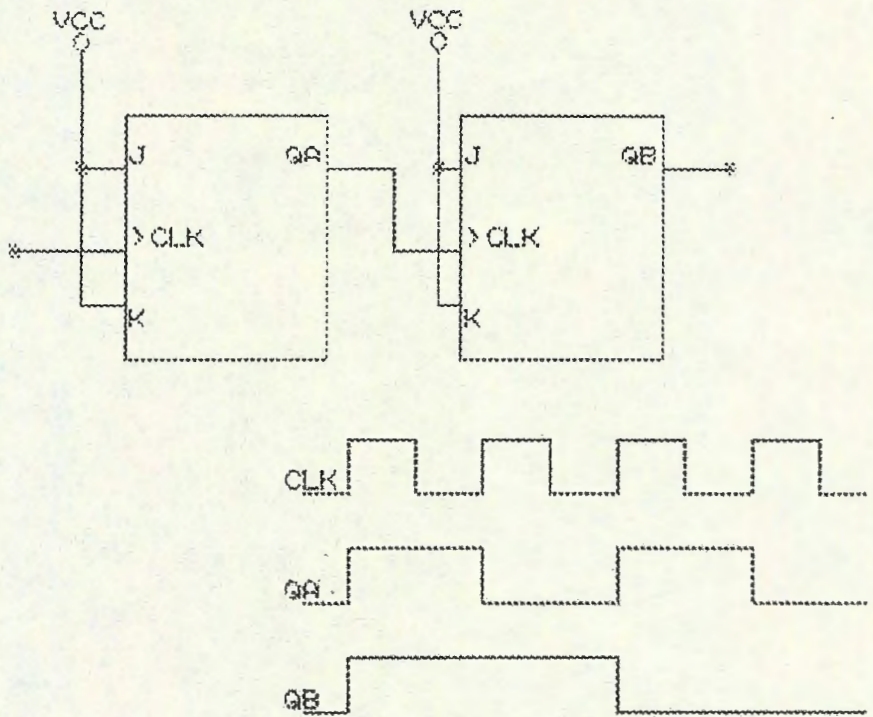


FIGURA 16: Divisor de frecuencia (entre 4)

### 3 DECODIFICADORES DE BCD A DECIMAL.

La FIGURA 17 muestra el diagrama lógico del *Decodificador de BCD a DECIMAL TTL 7442*. Cada salida pasa a bajo cuando su entrada BCD correspondiente es aplicada. Por ejemplo  $\overline{NEG(Q_0)}$  pasará a bajo solo cuando las entradas  $D,C,B,A = 0101$  y  $\overline{NEG(Q_9)}$  pasará a bajo solamente cuando  $D,C,B,A = 1000$ . Para los códigos de entrada que no son BCD, ninguna de las salidas se activará, éste decodificador se denomina *Decodificador de 4 a 10* o bien *Decodificador de 1 a 10*.

Este circuito convierte cada código del BCD en una de las posibles combinaciones para indicar dígitos decimales.

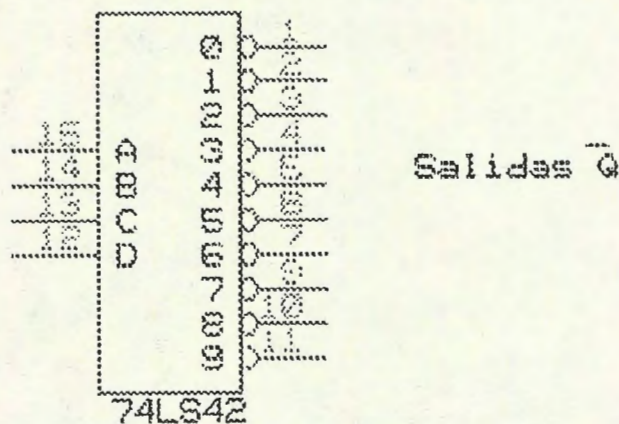


FIGURA 17: Símbolo lógico del decodificador de BCD a DECIMAL 7442.

#### 4. CONVERTIDOR ANALÓGICO DIGITAL CON RAMPA DIGITAL.

Una de las versiones más simples del convertidor A/D general, hace uso de un contador binario como registro y permite que el cronómetro incremente al contador un paso a la vez hasta que el nivel de voltaje en el terminal inversor del comparador es mayor o igual que la de la terminal no inversora. A este se le llama *Convertidor A/D con Rampa Digital* ya que la forma de onda en la entrada inversora es una rampa que funciona paso por paso (en realidad una escalinata) como la que se muestra en la FIGURA 18.

##### 4.1 RESOLUCIÓN DEL A/D.

Muchas veces se asocia el término Resolución como un error inherente que a menudo se conoce como *Error de Cuantización*. Este error de cuantización que se puede reducir incrementando el número de bits en el contador y convertidor digital-análogo, algunas veces se especifica como un error de +1 LSB, lo cual indica que el resultado podría ser erróneo debido al tamaño de etapa finito (distinto de cero).

Resolución indica la separación entre dos niveles de voltaje que forman un intervalo de cuantización.

Como sucede en el convertidor D/A, la exactitud no se relaciona con la resolución, sino que depende de la exactitud de

las componentes del circuito, como el comparador, las resistencias de precisión y amplificadores de nivel del convertidor D/A, las fuentes de referencias, etc. Una especificación de error de 0.01 % a escala completa. Indica que el resultado del convertidor A/D puede alejarse por 0.01 % de escala completa, debido a la incidencia de componentes no ideales. Este error aparece además del error debido a la resolución. Estas dos fuentes de error son generalmente del mismo orden de magnitud para un ADC determinado.

La expresión matemática que permite obtener la resolución es la siguiente:

$$RESOLUCION = \frac{V_{fs}}{2^n - 1} \quad \text{Ec. 6}$$

donde  $V_{fs}$  indica el voltaje a escala completa.

## 5 CONVERSIÓN DIGITAL-ANÁLOGA.

Básicamente, la conversión D/A es el proceso de tomar un valor representado en código digital (como binario directo o BCD) y convertirlo en un voltaje o corriente que sea proporcional al valor digital. Este voltaje o corriente es una cantidad analógica, ya que puede tomar diferentes valores de cierto intervalo.

### 5.1 RESOLUCIÓN (TAMAÑO DE ETAPA).

La resolución de un convertidor D/A se define como la menor variación que puede ocurrir en la salida analógica como resultado de un cambio en la entrada digital.

D	C	B	A	Vout
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

TABLA 1: Tabla de la verdad del DAC.

Las entradas digitales D,C,B,A se derivan generalmente del registro de salida de un sistema digital. Los  $2^4=16$  diferentes números binarios representados por estos 4 bits se enlistan en la tabla 1. Por cada número de entrada, el voltaje de salida del convertidor D/A es un valor distinto. De hecho, el voltaje de

salida analógico  $V_{out}$  es igual en voltios al número binario. También podría tener 2 veces el número binario o algún otro factor proporcional. La misma idea sería aplicable si la salida de D/A fuese la corriente  $I_{out}$ .

### 5.2 VALORES DE ENTRADA.

Para el DAC debe observarse que cada entrada digital contribuye con una cantidad diferente de salida analógica. Esto se puede apreciar fácilmente si se examinan los casos donde solo una entrada es alta como se muestra en la tabla 2:

D	C	B	A	Vout
0	0	0	1	1
0	0	1	0	2
0	1	0	0	4
1	0	0	0	8

TABLA 2.

A las contribuciones de cada entrada digital se les asigna valores según su posición en el número binario. Por lo tanto, A, es el LSB (Bit menos significativo), tiene un valor de 1 voltio, B tiene un valor de 2 voltios, C de 4 voltios y D, el bit MSB (Bit más significativo), tiene el mayor, 8 voltios. Los valores se duplican sucesivamente por cada bit, comenzando con el LSB. Por

consiguiente, podemos considerar al  $V_{out}$  como la suma con valor de las entradas digitales. Por ejemplo, para hallar  $V_{out}$  para la entrada digital 0111 podemos señalar dos valores a los bits C, B y A, a fin de obtener  $4V+2V+1V=7V$ .

Haciendo referencia de la tabla 2 podemos apreciar que la resolución es 1V, puesto que el voltaje de salida puede variar en no menos que 1V cuando cambia el código de entrada. La resolución siempre es igual al valor del LSB y también se conoce como tamaño de etapa, ya que es la cantidad  $V_{out}$  que variará cuando el código de entrada pase de una etapa a la siguiente.

Esto se ilustra de manera más gráfica en la FIGURA 18, donde las entradas digitales están derivando de las salidas de un contador binario de 4 bits. El contador es llevado continuamente a través de 16 estados por la entrada del cronómetro. La forma de onda en la salida D/A es una escalinata repetitiva que llega hasta 1V por etapa cuando el contador avanza de 0000 a 1111. Cuando el contador regresa a 0000, la salida D/A retorna a cero voltios. La resolución o tamaño de etapa es la dimensión de los saltos en la forma de onda de escalinata. En este ejemplo cada etapa es de 1 V.

Aunque la resolución puede expresarse como la cantidad de voltaje o de corriente por etapa, resulta más útil expresarla como un porcentaje de la salida de escala completa. Para ilustrar lo antes dicho; el convertidor D/A de la FIGURA 18 tiene una salida de

escala completa máxima de 15V (cuando la entrada digital es 1111). El tamaño de etapa es de 1V, lo cual da una resolución porcentual de:

$$RES\% = \frac{\text{Tamaño de etapa}}{\text{Escala completa}} * 100\% \quad \text{Ec.7}$$

La Resolución porcentual se puede minimizar cuando el número de bits de entrada se incrementa. En realidad, la resolución porcentual puede calcularse asimismo a partir de:

$$RES\% = \frac{1}{\text{Número total de etapas}} * 100\% \quad \text{Ec.8}$$

Para un código de entrada binario de N bits, el número total de etapas es  $2^N - 1$ .

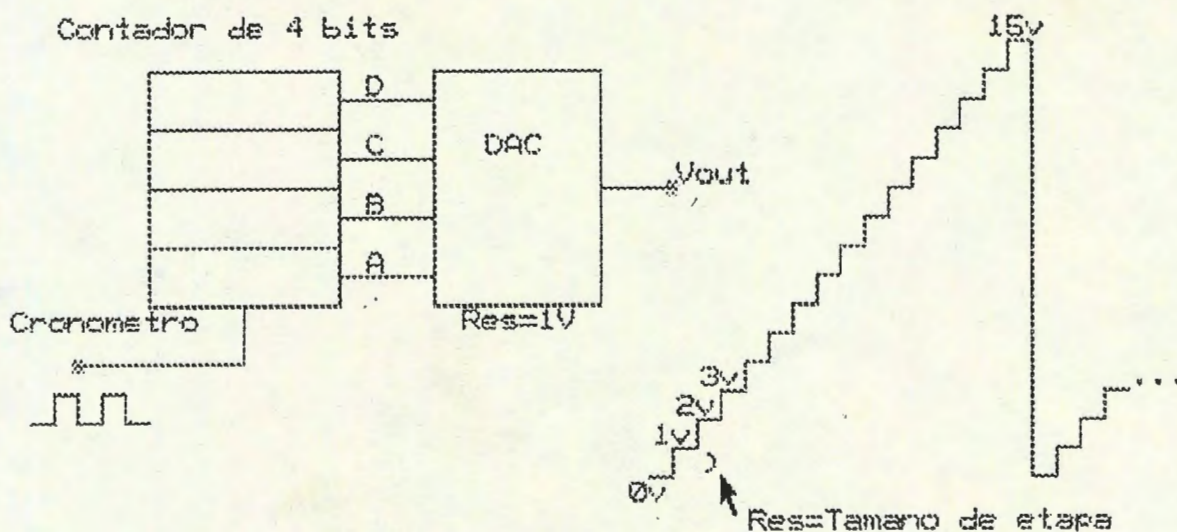


FIGURA 18: Formas de onda de salidas del DAC cuando las entradas son obtenidas de un contador binario.

Esto significa que es solo el número de bits el que determina la resolución porcentual. Si se incrementa el número de bits, aumenta el número de etapas hasta llegar a la escala completa, de manera que cada etapa sea una parte menor del voltaje de escala completa. Muchos fabricantes de DAC especifican la resolución como el número de bits.

## 6 MULTIVIBRADOR MONOESTABLE.

Un circuito digital que se relaciona en cierta forma con el FF es la *Emisión simple* (que se abrevia ES). Al igual que el FF, la ES tiene solamente dos salidas, Q y NEG(Q), que son las inversas la una de la otra. A diferencia del FF, la ES tiene solamente un estado de salida *Estable* (normalmente  $Q=0$ ,  $NEG(Q)=1$ ), donde permanece hasta que es activado por una señal de entrada. Una vez activadas, las salidas de la ES se cambian a el estado opuesto (normalmente  $Q=1$ ,  $NEG(Q)=0$ ). Permanece en este estado *casi estable* por un periodo fijo de tiempo,  $t_p$ , que por lo general es determinado por una constante RC de tiempo que se conecta a la ES. Después de transcurrido un tiempo  $t_p$ , las salidas de la ES retornan a su estado estable de reposo hasta que vuelven a ser activadas.

La FIGURA 19 muestra el símbolo lógico de una ES. El valor  $t_p$  por lo general se indica en alguna parte del símbolo ES. En la práctica  $t_p$  puede variar de unos nanosegundos a varias decenas de segundos. El valor exacto de  $t_p$  se determina esencialmente por los valores de las componentes externas  $R_T$  y  $C_T$ .

Se dispone de dos tipos de emisiones simples en forma de CI: la *No Reactivable* y la *Reactivable*.

## 6.1 EMISIÓN SIMPLE NO REACTIVABLE.

Las condiciones de la FIGURA 19 ilustran la operación de una ES no reactivable en transiciones en sentido positivo en su entrada de activación (T). Los puntos importantes que se deben observar son:

1- Las Transiciones Positivas a, b, c y e activarán la ES a su estado casi estable en un tiempo  $t_p$ , después del cuál retorna al estado estable.

2- Las transiciones positivas en los punto d y f no tienen efecto sobre la ES debido a que ya han sido activadas al estado casi estable. La ES debe retornar al estado estable antes de que pueda ser reactivada.

3- La duración de la pulsación de salida de la ES siempre es la misma independientemente de la duración de las pulsaciones de entrada. Como se indicó antes,  $t_p$  sólo depende de  $R_T$  y  $C_T$  y de los circuitos ES internos. Una ES común puede tener un  $t_p$  dado por  $t_p = 0.7R_T C_T$ .

La ES no reactivable de CI más común es el 74121 - un CI TTL que contiene una ES no reactivable que tiene tres entradas que pueden ser usadas para activar la ES en una transición positiva o bien en una transición negativa.

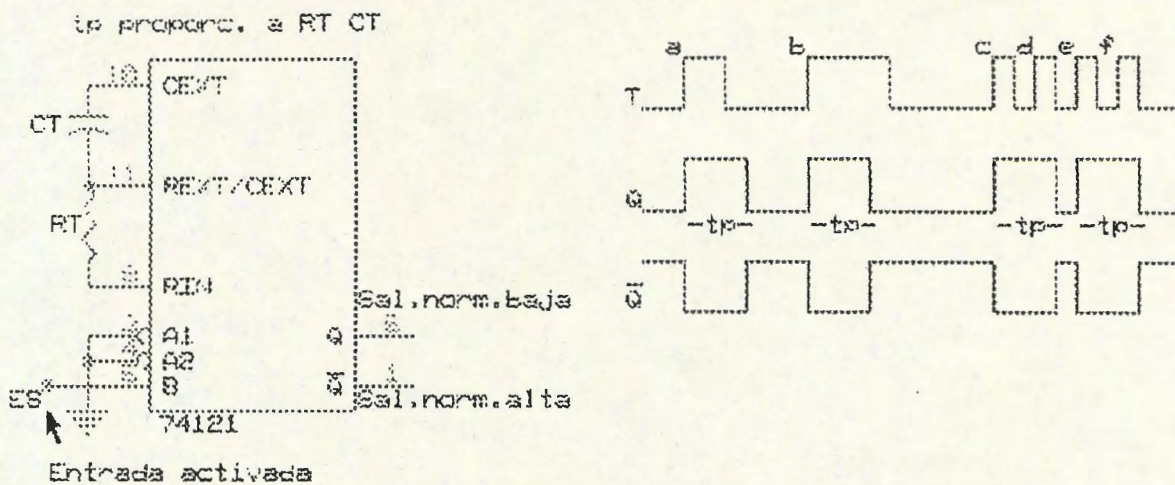


FIGURA 19: Símbolo ES y condiciones comunes.

## 7 REGISTROS DE DESPLAZAMIENTO.

Los Registros de desplazamiento son muy importantes en aplicaciones que involucran transferencia y almacenamiento de datos en un sistema digital. La diferencia básica entre un registro y un contador es de que un registro no tiene una secuencia específica de estados excepto para ciertas aplicaciones especializadas. Un registro en general es utilizado únicamente para el almacenamiento y desplazamiento de datos introducidos a él desde una fuente externa y no posee características internas de secuencias de estados.

La capacidad de almacenamiento de un registro es una de sus dos características funcionales básicas, lo cual lo hace un tipo importante de memoria.

Los registros son comúnmente utilizados para almacenamiento temporal de datos dentro de un sistema digital. Los registros son implementados a través de FF u otros elementos de almacenamiento temporal. La capacidad de desplazamiento de un registro permite el movimiento de datos de etapa a etapa dentro del registro, hacia afuera de este, o hacia adentro de este, mediante aplicaciones de pulso de clock.

Los diversos tipos de registros se pueden clasificar de acuerdo con la forma en la cual se pueden ingresar los datos en el

registro para su almacenamiento y con la forma en la cual los datos se sacan del registro. Las diversas clasificaciones se enlistan a continuación:

- 1- Entrada y salida en paralelo.
- 2- Entrada y salida serie.
- 3- Entrada en paralelo y salida serie.
- 4- Entrada serie y salida paralelo.

Cada uno de éstos tipos se encuentra a disposición en forma de CI de modo que un diseñador lógico puede encontrar generalmente con exactitud lo que se necesita en una aplicación determinada.

#### **7.1 REGISTRO DE DESPLAZAMIENTO CON ENTRADA PARALELA Y SALIDA SERIE (74165).**

Para este registro los bits son introducidos simultáneamente dentro de sus etapas respectivas. La salida serie es ejecutada una vez que los datos han sido almacenados completamente en el registro.

Este CI puede ser operado también como un registro de entrada serie y salida serie. Cuando se le aplica un cero a la entrada SHIFT/LOAD (SH/LD) es habilitado para cargar el dato en forma paralela. Cuando un bit de entrada de datos es 1, el FF es llevado

a un estado de SET debido a un nivel bajo en las entradas de PRESET.

Cuando un bit de entrada de datos ese cero es llevado a un estado de CLEAR. Mientras un dato se está cargando, el CLOCK es deshabilitado debido siempre al nivel bajo de la entrada SH/LD. Cuando se le aplica un 1 a la entrada SH/LD, el CLOCK es habilitado permitiendo de esta forma el desplazamiento de datos hacia la derecha.

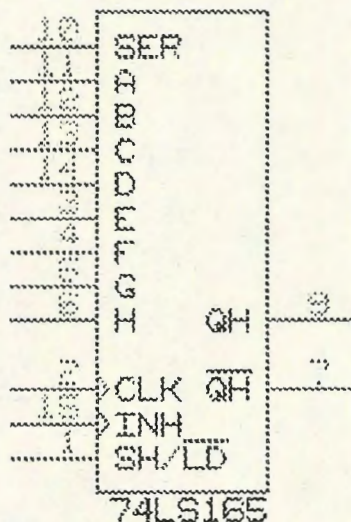


FIGURA 20: Diagrama lógico del 74165

Adicionalmente, los datos pueden ser introducidos en forma serie por medio de la entrada SER. Asimismo, el CLOCK puede ser deshabilitado aplicando un 1 a la entrada CLOCK INH.

El diagrama lógico del registro de desplazamiento 74165 se muestra en la FIGURA 20.

### 7.2 REGISTRO DE DESPLAZAMIENTO CON ENTRADA SERIE Y SALIDA PARALELO (74164).

En este tipo de registro, los datos son introducidos en forma serie y los datos son extraídos en forma paralela; en el registro de salida paralela, los datos de cada etapa están disponibles. Una vez que los datos son almacenados, cada bit aparece en su línea de salida respectiva y todos los bits se encuentran disponibles en forma simultánea.

El diagrama lógico del 74164 se muestra en la FIGURA 21. Se trata de un registro de desplazamiento de 8 bits con cada salida del FF externamente accesible. En vez de una sola entrada serie, una compuerta AND combina las entradas A y B para producir la entrada serie en el FF  $Q_0$ .

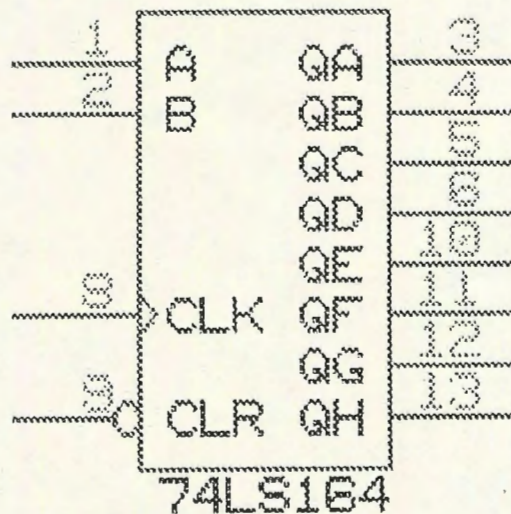


FIGURA 21: Diagrama lógico del 74164.

La operación de cambio ocurre en las transiciones positivas de la entrada del cronómetro (CLOCK). La entrada NEG(MR) ofrece una refijación asincrónica de todos los FF en un nivel bajo.

## 8 AMPLIFICADORES OPERACIONALES.

Los AMP OP's son circuitos electrónicos especialmente diseñados y empacados en forma de CI y pueden ser usados para diferentes propósitos con la conexión de algunos componentes externos.

El CI del AMP OP's es un elemento de estado sólido capaz de sensar y amplificar señales de entrada de CD ó CA.

Un CI típico de un AMP OP's consiste de tres circuitos básicos:

- 1- Un amplificador diferencial con una alta impedancia de entrada.
- 2- Un amplificador de voltaje con ganancia alta.
- 3- Un amplificador con una impedancia de salida baja.

En la FIGURA 21 nótese que usualmente se requiere una fuente de voltaje positiva y una fuente de voltaje negativa, esto permite que un voltaje de salida cambie de positivo a negativo con respecto a tierra.

Las características más importantes de un AMP OP's son:

1- Impedancia de entrada bastante alta, lo cual produce una corriente casi nula a la entrada.

2- Ganancia de lazo abierto (open loop).

3- Impedancia de salida bastante baja, la cual no afecta la salida del amplificador debido a la carga.

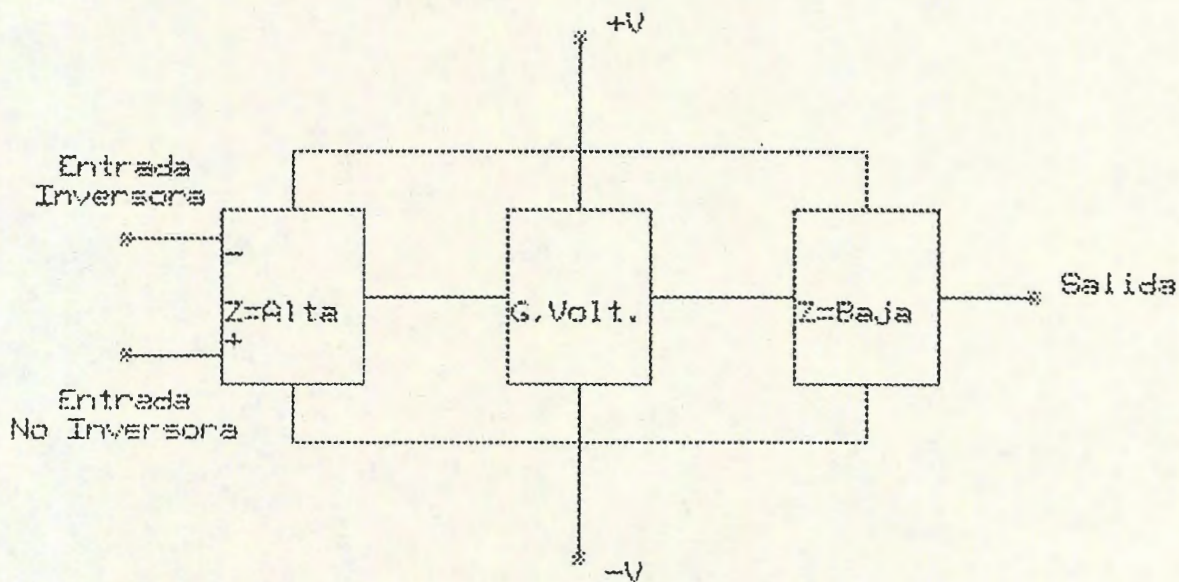


FIGURA 22: Diagrama de bloques del AMP OP.

### 8.1 FUNCIONAMIENTO DEL AMP OP's.

Idealmente la ganancia de un AMP OP's debería ser infinita; sin embargo prácticamente la ganancia es de 200,000 en el modo de lazo abierto.

En el modo de lazo abierto no hay retroalimentación de la salida hacia la entrada y la ganancia de voltaje es máxima.

## 8.2 COMPARADORES DE VOLTAJE.

Con frecuencia se desea comparar un voltaje con otro para ver cuál es mayor. Todo lo que se necesita es una respuesta de sí/no. Un *comparador* es un circuito con dos voltajes de entrada (no inversora e inversora) y un voltaje de salida. Cuando el voltaje no inversor es mayor que el voltaje inversor, el comparador produce un voltaje alto de salida. Cuando la entrada no inversora es menor que la entrada inversora la salida es baja. La salida alta representa la respuesta "sí", y la salida baja representa la respuesta "no".

### 8.2.1 CIRCUITO BÁSICO.

La forma más simple de construir un comparador es conectando un AMP OP sin resistores de retroalimentación como se muestra en la FIGURA 22. Cuando la entrada inversora está a tierra, el más pequeño voltaje de entrada (en fracciones de milivoltios) es suficiente para saturar al AMP OP.

Puesto de que los voltajes de entrada necesarios para producir

la saturación son muy pequeños, la transición en la FIGURA 22 parece ser vertical. Como una aproximación se tomarán como verticales. Esto significa que un voltaje de entrada positivo produce la saturación positiva, mientras un voltaje negativo de entrada produce una saturación negativa.

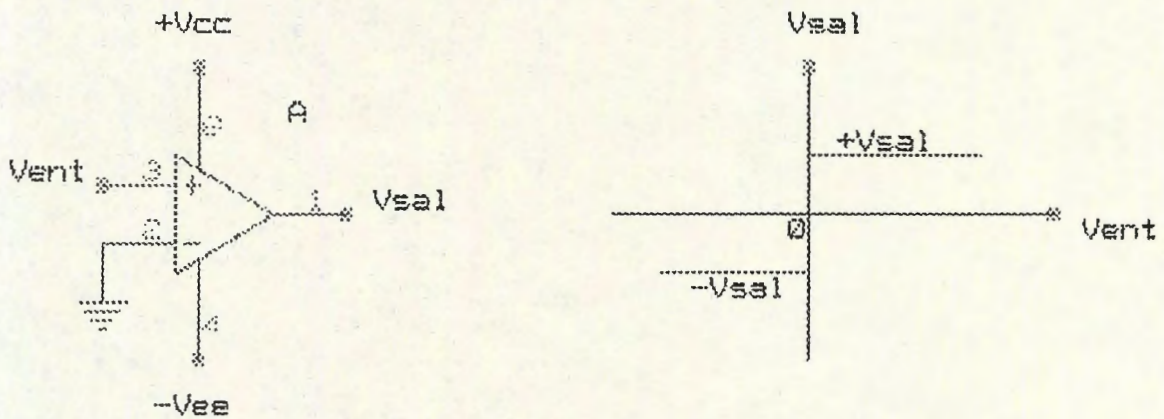


FIGURA 23: Amplificador operacional utilizado como comparador. Características de transferencias del comparador.

## 9 LATCHES (ENGANCHADORES).

El LATCH es un tipo de elemento biestable el cual es normalmente puesto en la categoría separada de los FF. Los LATCHES son básicamente similares a los FF por que son elementos biestables que pueden Estar ó Recibir en cualquier de los dos estados en virtud de un arreglo de retroalimentación (Feedback).

La diferencia principal entre el LATCH y el FF está en el método usado para cambiar su estado.

### 9.1 LATCH D CON ENABLE (GATED-D-LATCH) 7475.

Este tipo de LATCH con Enable difiere de los otros tipos de LATCH (por ejemplo del LATCH SR con Enable), en que sólo tiene una entrada a parte de la entrada del Enable. Esta entrada se llama Entrada D. En la FIGURA 23 se muestra el símbolo lógico del LATCH tipo D con Enable 7475.

Cuando la entrada D es Alta y el Enable es Alto el LATCH pasará a un estado de SET.

Cuando la entrada D es Baja y el Enable es Alto el LATCH pasará a un estado de RESET.

En otras palabras la salida Q sigue a la entrada D cuando el Enable es Alto.

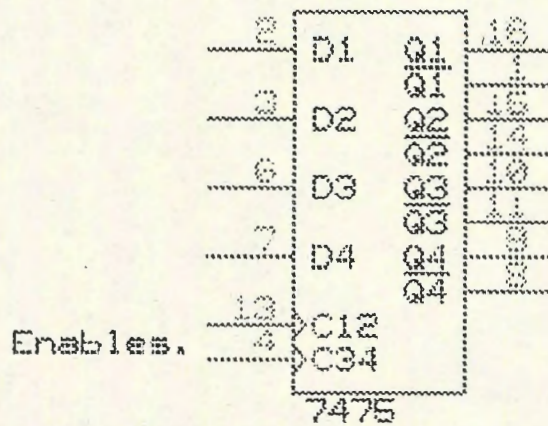


FIGURA 24: Diagrama lógico del 7475.

## 10 MULTIPLEXORES (DATA SELECTOR) -MUX-.

Un Multiplexor es un elemento que permite que la información de varias fuentes sea transformado a una sola línea para transmisión sobre esa línea.

El Multiplexor básico tiene varias entradas de datos y una sola línea de salida. En la FIGURA 24 se muestra el símbolo lógico del CMOS 4051B (MUX/DMUX Analógico).

### 11 DEMULTIPLEXORES.

Un Demultiplexor es básicamente el inverso de la función de un Multiplexor. Este toma el dato de línea y lo distribuye a un número dado de líneas de salida. En la FIGURA 24 se muestra el símbolo lógico del CMOS 4051B (MUX/DMUX Analógico).

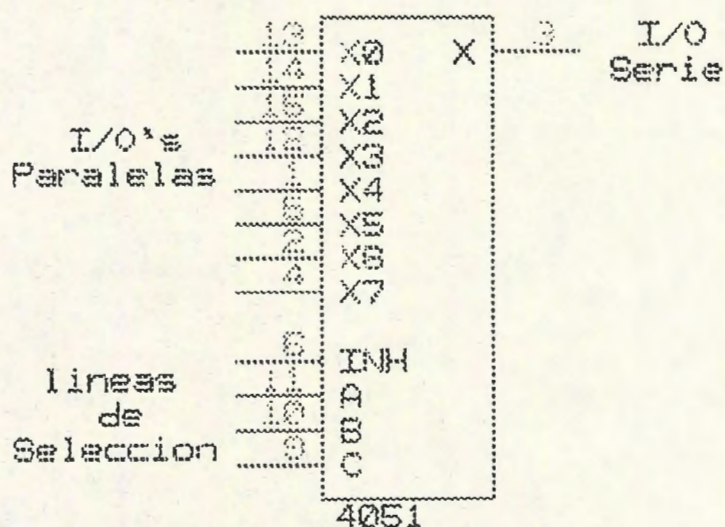


FIGURA 25: Diagrama lógico del CD 4051B.

## CAPITULO III.

### DESCRIPCIÓN ESPECIFICA DEL SISTEMA DIDÁCTICO DE ENSEÑANZA DE TRANSMISIÓN DIGITAL DE SEÑALES ANALÓGICAS.

Hasta el momento se ha presentado la técnica básica de modulación por impulsos codificados (MIC). A continuación se explicará la aplicación de ésta técnica en nuestro proyecto, desglosando la función de cada uno de los bloques que lo conforman.

Básicamente, el sistema está compuesto por los siguientes bloques:

#### *TRANSMISOR:*

- AJUSTE PREVIO DE LAS SEÑALES.
- CIRCUITOS DE TEMPORIZACION.
- MUESTREO Y MULTIPLEXACION.
- GENERADOR DE ALTA FRECUENCIA.
- CONVERSIÓN ANALÓGICO-DIGITAL.
- CONVERSIÓN DE BITS PARALELO A SERIE.

#### *RECEPTOR:*

- CONVERSIÓN DE BITS DE SERIE A PARALELO.
- CIRCUITOS DE TEMPORIZACION.
- CONVERSIÓN DIGITAL-ANALÓGICO.
- DEMULTIPLEXACION.

A continuación se detallan cada uno de los bloques que conforman el sistema. Se hará referencia de cada uno de las distintas etapas basadas en el diagrama esquemático del Sistema Didáctico de Enseñanza de Transmisión Digital de Señales Analógicas, incluido en el documento.

## 1 TRANSMISOR.

### 1.1 AJUSTE PREVIO DE LAS SEÑALES.

Esta etapa es la encargada de asignar un nivel adecuado a las señales que serán transmitidas de tal forma que las demás etapas sepan interpretarlas correctamente y el sistema funciona adecuadamente.

El convertidor analógico-digital utilizado es el *CONVERTIDOR DE RAMPA* explicado en el capítulo anterior.

Se observa que la rampa o escalinata generada por éste convertidor inicia a cero voltios hasta un valor máximo o de escala completa, de tal manera que la señal a codificar debe estar comprendida dentro de éste rango de niveles.

Las señales de voz poseen niveles de voltajes positivos y negativos, entonces es necesario ajustar el nivel para que solo presente voltajes positivos. Esto se logra añadiendo un nivel de

corriente directa (CD) a la señal.

Refiriéndose a la FIGURA 26, puede notarse que por medio de una red resistiva se adiciona el nivel de CD requerido, con la opción de poder hacer un ajuste fino de parte del usuario.

Esto permite que el alumno observe los efectos son negativos si esta operación no es realizada.

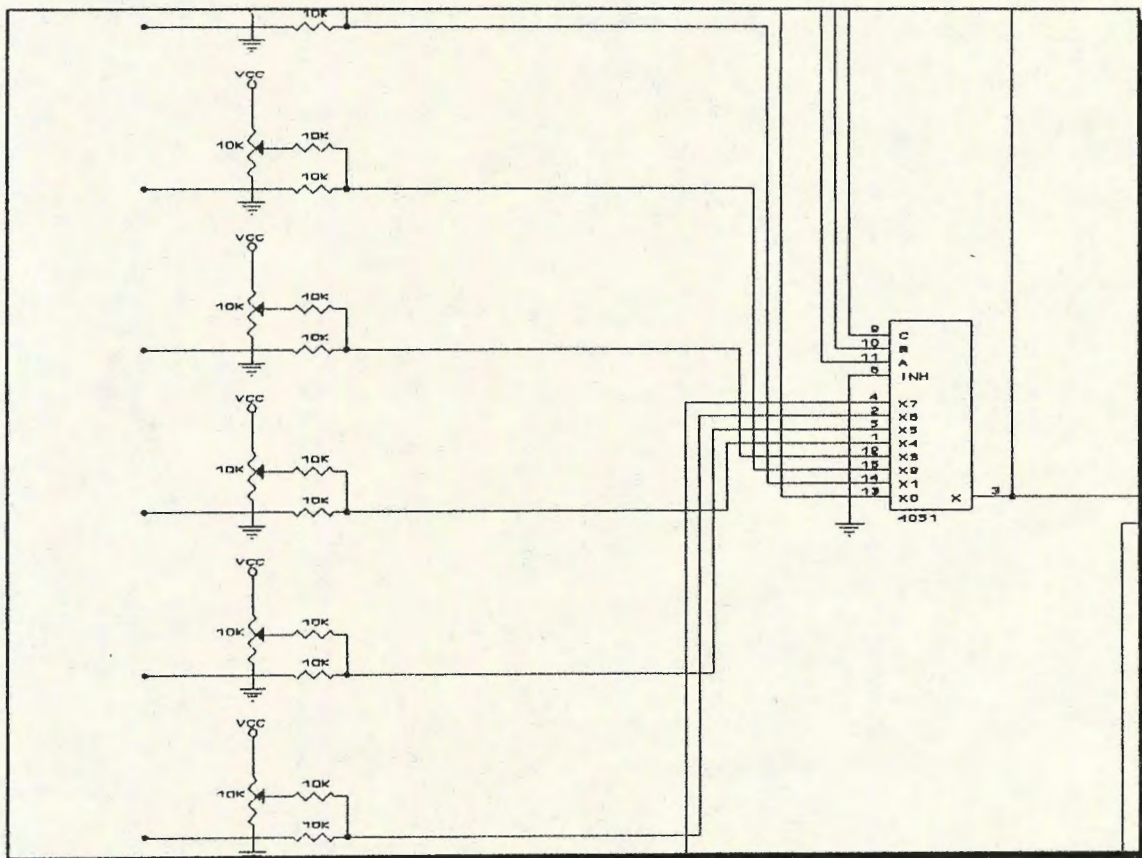


FIGURA 26: Ajuste Previo de las señales.

También las señales son limitadas en banda para que las componentes de alta frecuencia sea eliminadas de tal manera que el doble de ésta frecuencia, no sobrepase la frecuencia de muestreo

(Capítulo I).

## 1.2 CIRCUITOS DE TEMPORIZACION.

Nuestro sistema es capaz de procesar 8 señales en forma simultánea, siendo así que los circuitos de temporización forman una etapa primordial del circuito.

Debido a la gran cantidad de criterios que se pueden tomar en éste tipo de transmisiones existen organismos de normalización que establecen los estándares que deberán seguirse por todos los diseñadores que quieren hacer un sistema compatible con los ya existentes.

El Organismo de Normalización más importante en el área de las comunicaciones es el *CCITT (Comité Consultatif International de Télégraphique et Téléphonique)*, que es un departamento de la *Unión Internacional de las Telecomunicaciones (UIT)*, con su sede establecida en Ginebra. La *UIT* es asimismo una agencia especial de la *Organización de las Naciones Unidas*.

Estos organismos han establecido internacionalmente que para hacer posible la reconstrucción de una señal de voz debe haber una separación mínima de  $125\mu\text{s}$  entre la toma de cada muestra de la señal.

Partiendo de esto y haciendo énfasis en que son 8 canales los cuales son transmitidos por una sola línea se establece el tiempo que debe ser muestreado cada canal, así:

$$T_c = \frac{125 \mu s}{8} = 15.625 \mu s \quad \text{Ec.9}$$

donde:  $T_c$  = duración de la muestra por cada canal.

Por lo tanto una de las frecuencias que debe generarse es:

$$f_c = \frac{1}{15.625 \mu s} = 64 \text{ KHz} \quad \text{Ec.10}$$

donde:  $f_c$  = Frecuencia de cada canal.

Para que el *Ruido de Cuantificación*<sup>3</sup> sea mínimo, se establecen 256 intervalos de cuantificación, de tal manera que se necesitan 8 bits por cada canal para transmitir el código correspondiente a cada muestra. Como los bits son desplazados dentro del tiempo asignado a cada canal (Ec. 9), se obtiene:

---

<sup>3</sup> RUIDO DE CUANTIFICACION: Debido a muy pocos intervalos de cuantificación.

$$TB = \frac{15.625 \mu s}{8} = 1.953 \mu s$$

Ec.11

donde:  $T_b$  = Tiempo de cada bit.

Y, la frecuencia es:

$$f_b = \frac{1}{1.953 \mu s} = 512 \text{ KHz}$$

Ec.12

donde:  $f_b$  = frecuencia de cada bit.

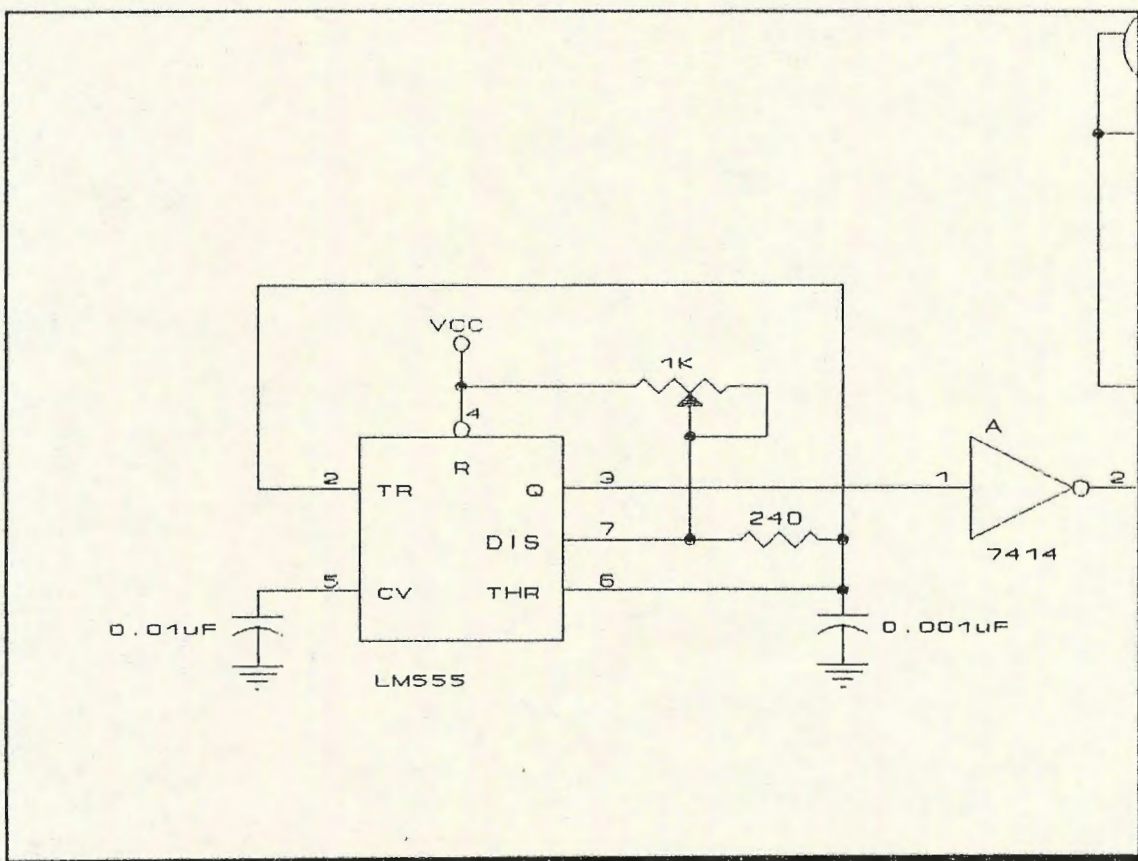


FIGURA 27: Generación del Reloj principal (512 KHz).

Para que exista un perfecto sincronismo entre estas dos

frecuencias, se genera una señal de mayor frecuencia (512KHz) y para obtener la de menor frecuencia se divide entre 8 ésta frecuencia obteniendo así una señal de 64KHz.

Basándose en la ecuación 4, despejando  $R_A$  y sustituyendo  $f=512\text{KHz}$  y  $C=0.001\mu\text{F}$ ,  $R_B=240\Omega$ . Se obtiene:

$$R_A = \frac{1.44}{fC} - 2R_B \quad \text{Ec.13}$$

$$R_A = \frac{1.44}{512 * 0.001\mu} - 2 * 240 = 2.3\text{K}\Omega$$

Para hacer un ajuste fino de la frecuencia se utilizará una resistencia variable.

Como divisor de frecuencia utilizamos un contador 7490 conectado para operar como MOD-8<sup>4</sup>, de tal manera que la salida más significativa del contador (Salida C) provea de una frecuencia de 64KHz. (ver FIGURA 28).

Otra función principal de la etapa de temporización es la habilitación de otros bloques en el instante correcto.

---

<sup>4</sup> MOD: Indica el número de estados de cambio del contador.

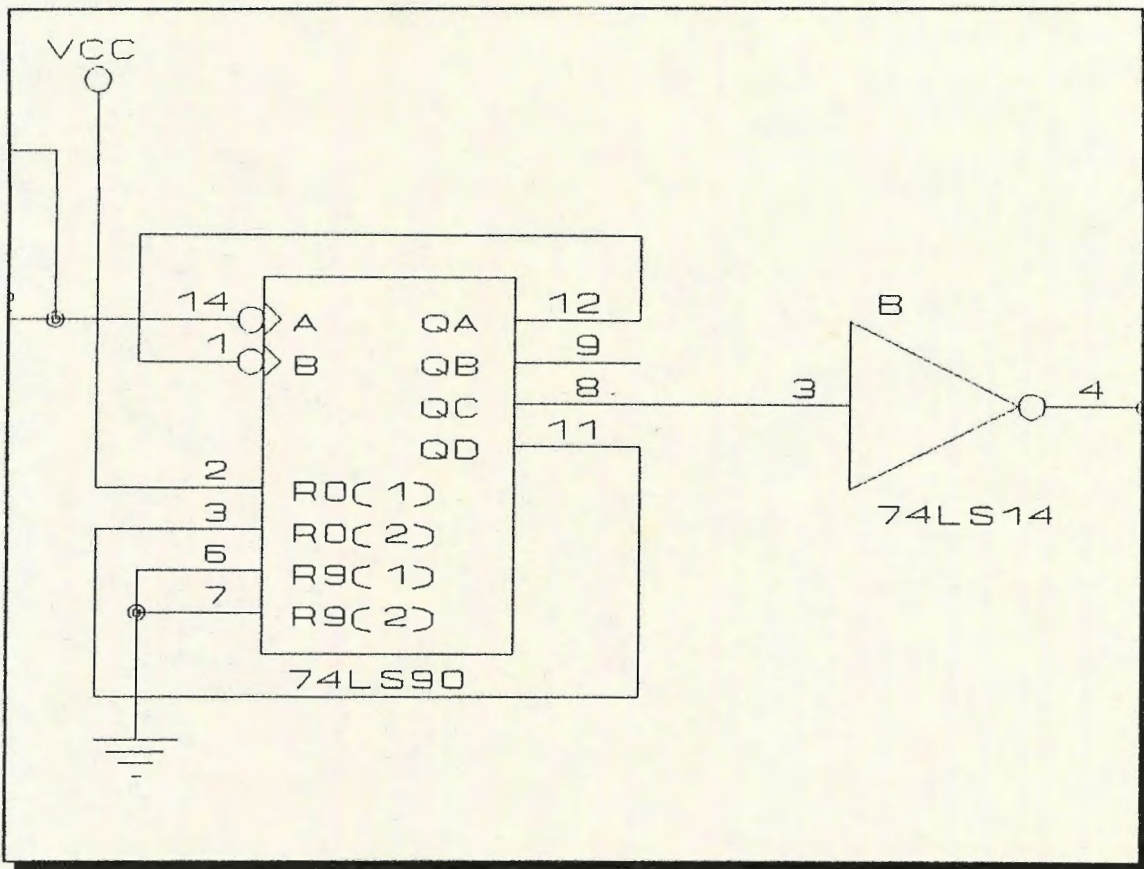


FIGURA 28: Divisor de Frecuencia (MOD-8).

Esto se logra mediante multivibradores monoestables en CI TTL 74121, que se utilizan como detectores de transición de las señales básicas.

En el sistema se utilizan 2 detectores de transición (74121) (FIGURA 29), el primero es el encargado de detectar la transición positiva de la señal de 64KHz, la salida de éste detector sirve de comando para que el registro de desplazamiento (posteriormente explicado), reciba los datos provenientes del convertidor Analógico-Digital, también éste detector activa un segundo detector el cuál se encarga de colocar a cero los contadores del convertidor

A/D para que se inicie la generación de la escalinata de voltajes necesaria para la operación de éste.

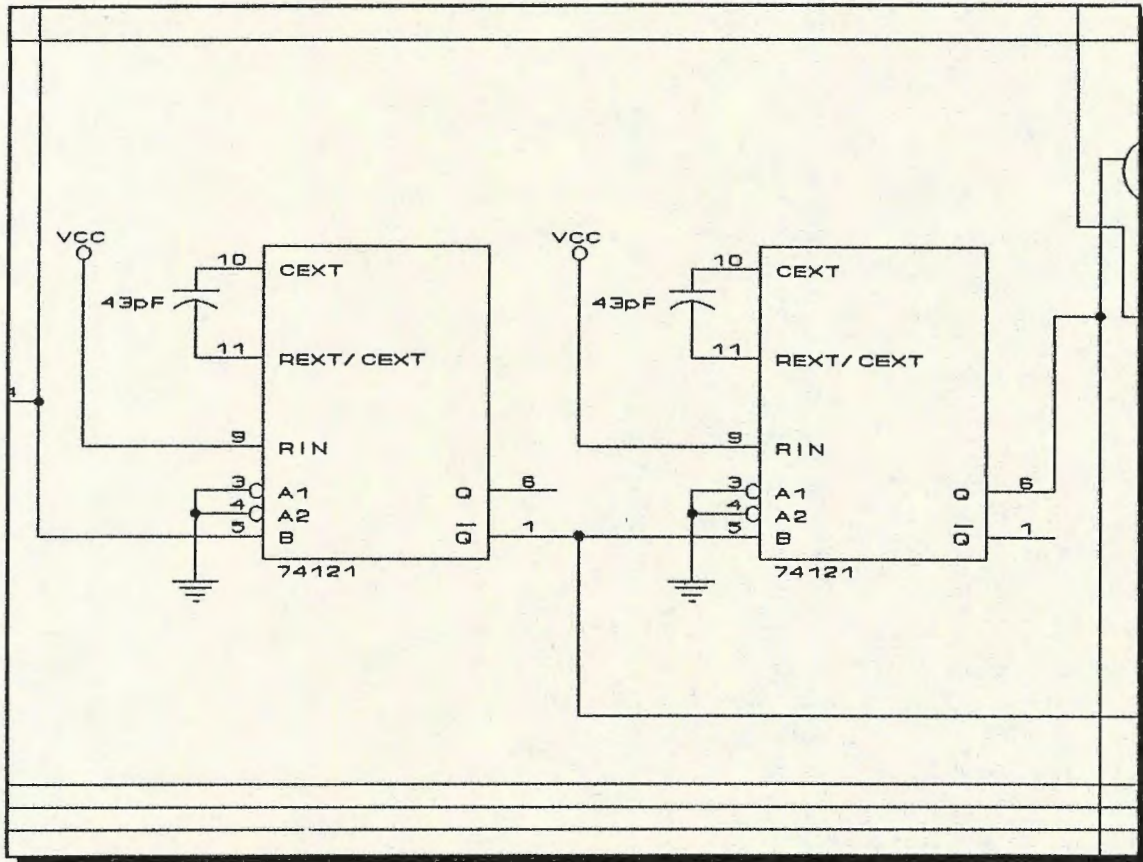


FIGURA 29: Multivibradores monoestables utilizados como detectores de transición de las señales básicas.

### 1.3 MUESTREO Y MULTIPLEXACION.

Esta etapa se encarga de dejar pasar la señal que corresponde en un instante determinado y durante el tiempo asignado, todo comandado por la etapa de temporización anteriormente explicada.

En esta etapa se genera la señal de *Modulación por Impulsos de Amplitud (MIA)* ya con la multiplexación de los ocho canales.

Este proceso es realizado por medio del *MULTIPLEXOR/ DEMULTIPLEXOR ANALÓGICO CMOS CD 4051B* que fue explicado en el Capítulo II. (FIGURA 30).

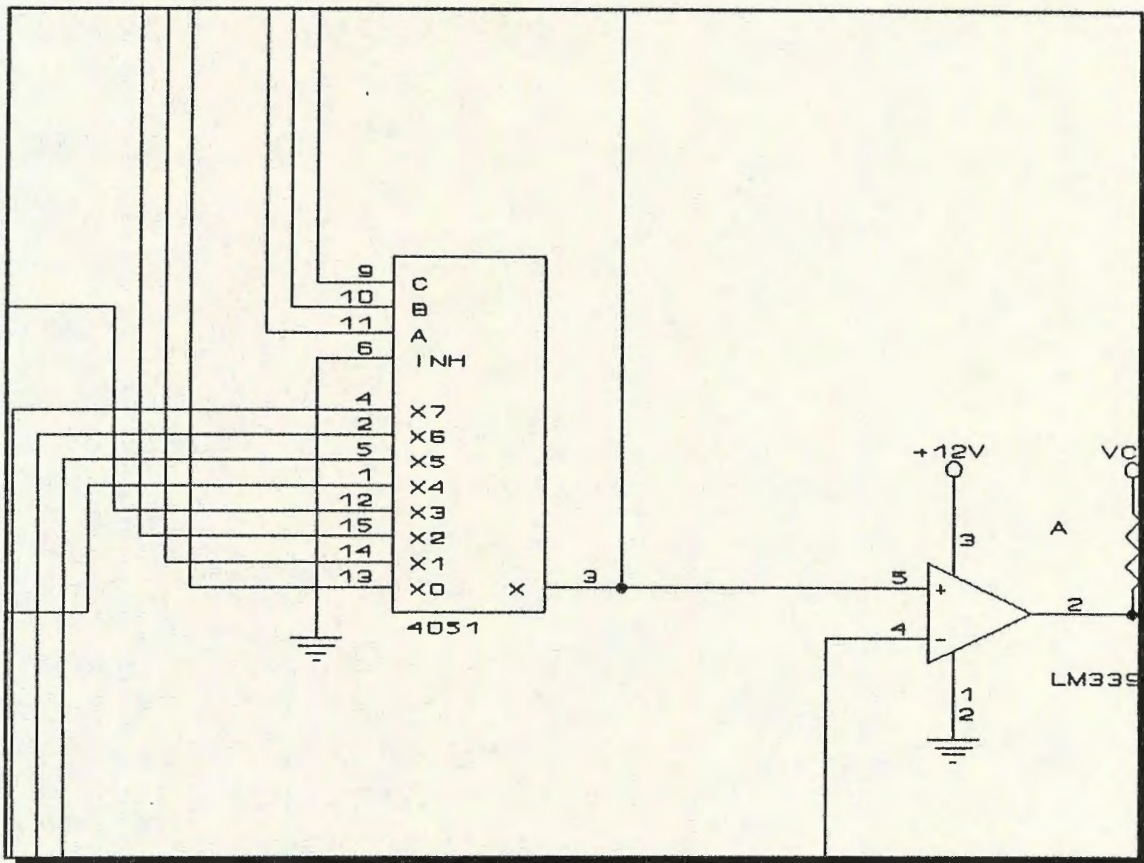


FIGURA 30: Etapa de Muestreo y Multiplexación empleando un CI CMOS CD4051B (MUX/DEMUX Analógico).

Por medio de un contador 7490 (FIGURA 31), que está conectado como MOD-8, se direccionan las diferentes entradas de tal forma que los niveles de amplitud correspondientes a cada canal de entrada

estén presentes en la salida común por el tiempo antes indicado, el contador 7490 funciona a la frecuencia de 64KHz.

Para que el alumno observe la secuencia en que los canales son seleccionados nuestro sistema proporciona una salida decodificada de la habilitación de cada canal. Esto se logra mediante la utilización de un decodificador de Binario a Decimal 7442 (Referirse a la FIGURA 31).

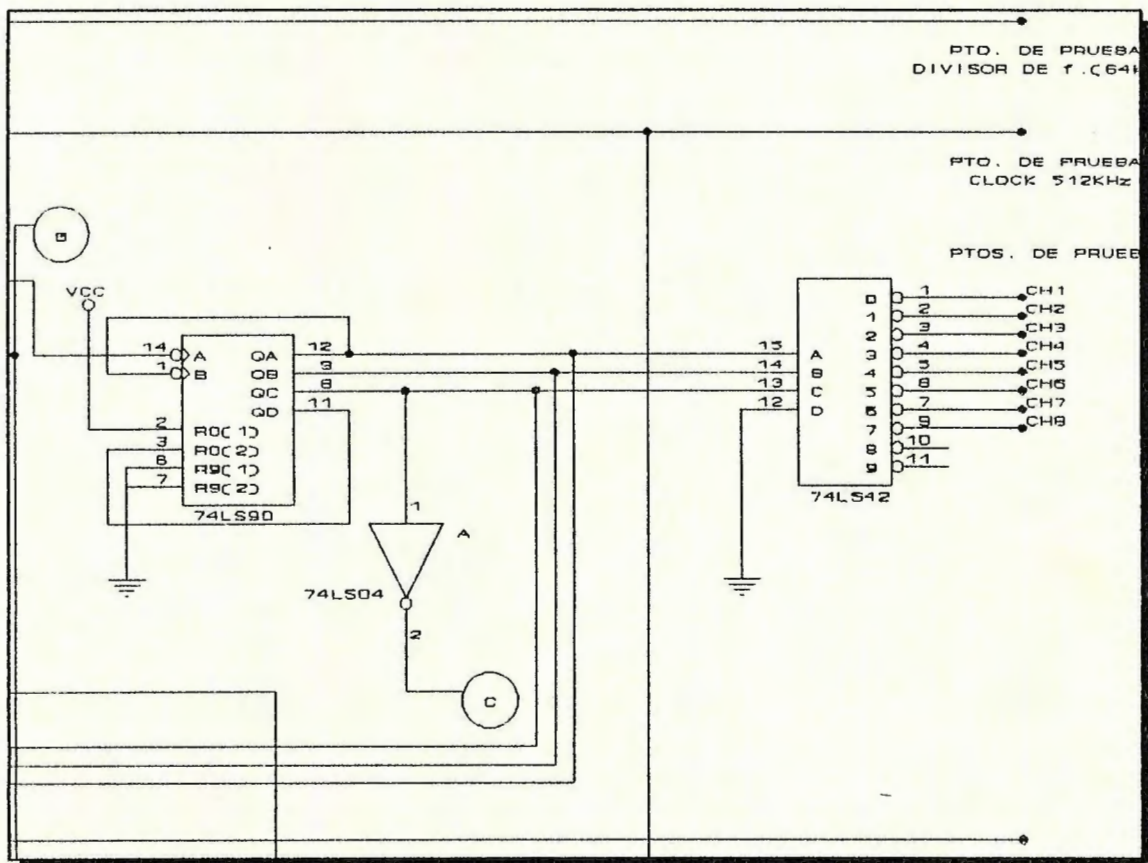


FIGURA 31: Direccinamiento del CD 4051B y Puntos de Prueba (Seleccin de cada canal -CI TTL 7442-).

#### 1.4 CONVERSIÓN ANALÓGICA-DIGITAL.

Esta sección es la encargada de obtener el código binario correspondiente a la muestra de la señal que ha sido tomada en ese instante.

Para fines didácticos la conversión se lleva a cabo generando una escalera de voltaje, es decir, que se incrementa el nivel de ésta señal y a la vez se compara con la muestra que se está tomando; cuando ambas amplitudes coincidan, se obtiene una rampa de tal forma que por orden de los circuitos de temporización sea posible tomar la lectura del código en el cual se detuvo la cuenta, obteniéndose así un código binario correspondiente a la amplitud de la muestra y así se logra la conversión, la cual el estudiante podrá apreciar paso por paso.

Para ésta sección se utilizan como contadores dos CI TTL 7493, éstos son los encargados de iniciar la cuenta cuando los circuitos de temporización le indiquen.

A ésta salida binaria de los contadores se le asigna un nivel de voltaje proporcional al código binario; esto es logrado por la red de resistencias (Ver FIGURA 32).

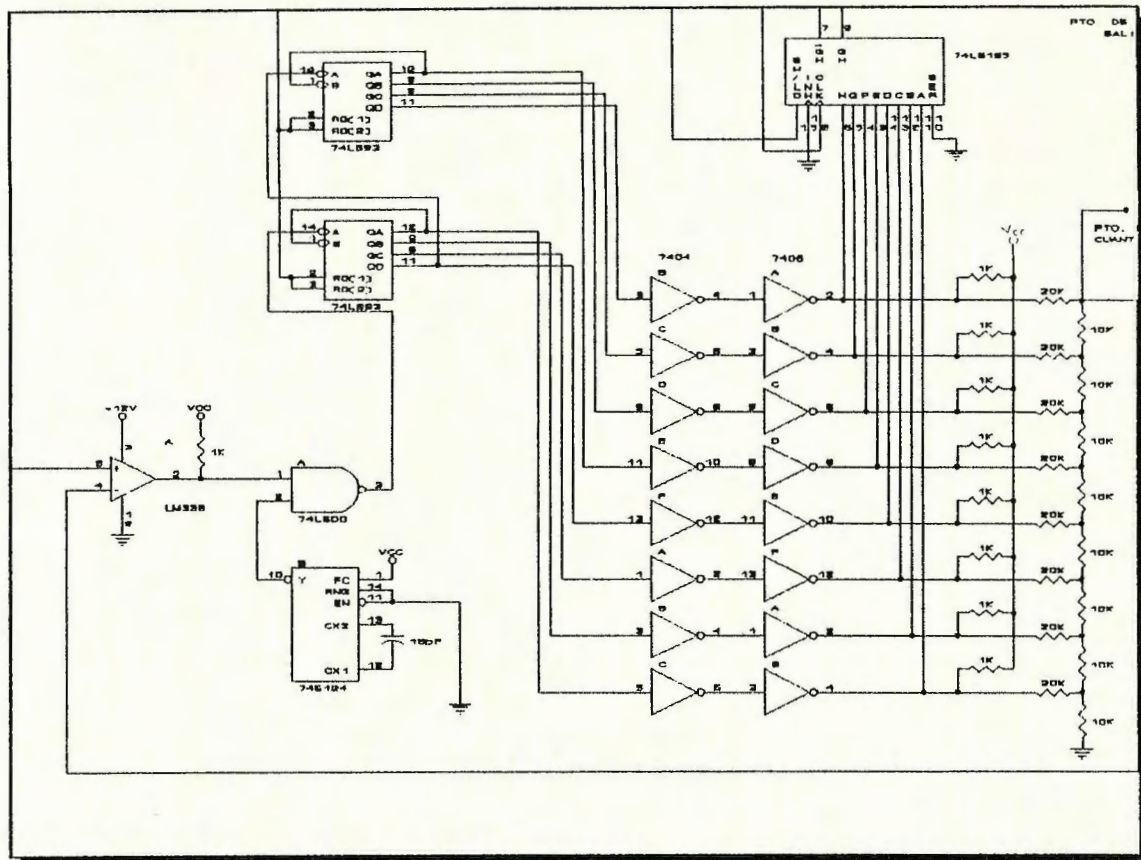


FIGURA 32: Conversión Analógica-Digital.

Este voltaje analógico es enviado a un comparador (LM339<sup>5</sup>) en donde es comparado con la muestra tomada en ese instante (Salida del Multiplexor Analógico). La salida de éste comparador comanda los cambios de estado de los contadores haciendo que detengan la cuenta y mantengan el código digital por un tiempo suficiente para que la siguiente etapa tome la lectura.

Es importante hacer énfasis en que el alumno tendrá acceso a los puntos circuitales (nodos) más importantes del proceso antes descrito, de tal manera que pueda comprenderse fácilmente la

<sup>5</sup> Utilizado por ser su salida de colector abierto, lo que facilita el interfaz con circuitos TTL.

operación de éste convertidor.

### 1.5 GENERADOR DE ALTA FRECUENCIA.

Para la conversión Análoga-Digital, son utilizados 8 bits, lo que equivale a 256 intervalos de cuantificación.

Como se mencionó anteriormente, el tiempo asignado a cada muestra es de 15.625 $\mu$ s (Ec.9), lo que indica que asumiendo una amplitud máxima se tienen que recorren 256 pasos en 15.625 $\mu$ s, por lo tanto, el tiempo para cada paso es:

$$T_m = \frac{15.625\mu s}{256} = 61.05ns \quad \text{Ec.14}$$

donde:  $T_m$ =tiempo por cada intervalo de cuantificación.

De donde se obtiene que la frecuencia a generar es:

$$f_m = \frac{1}{61.05ns} = 16.38MHz \quad \text{Ec.15}$$

Esta frecuencia es generada por medio del CI TTL 74124, que se muestra en la FIGURA 33, el cual es un oscilador controlado por voltaje que tiene la capacidad de trabajar con frecuencias por encima de los 60MHz, con su salida completamente compatible con

circuitos TTL.

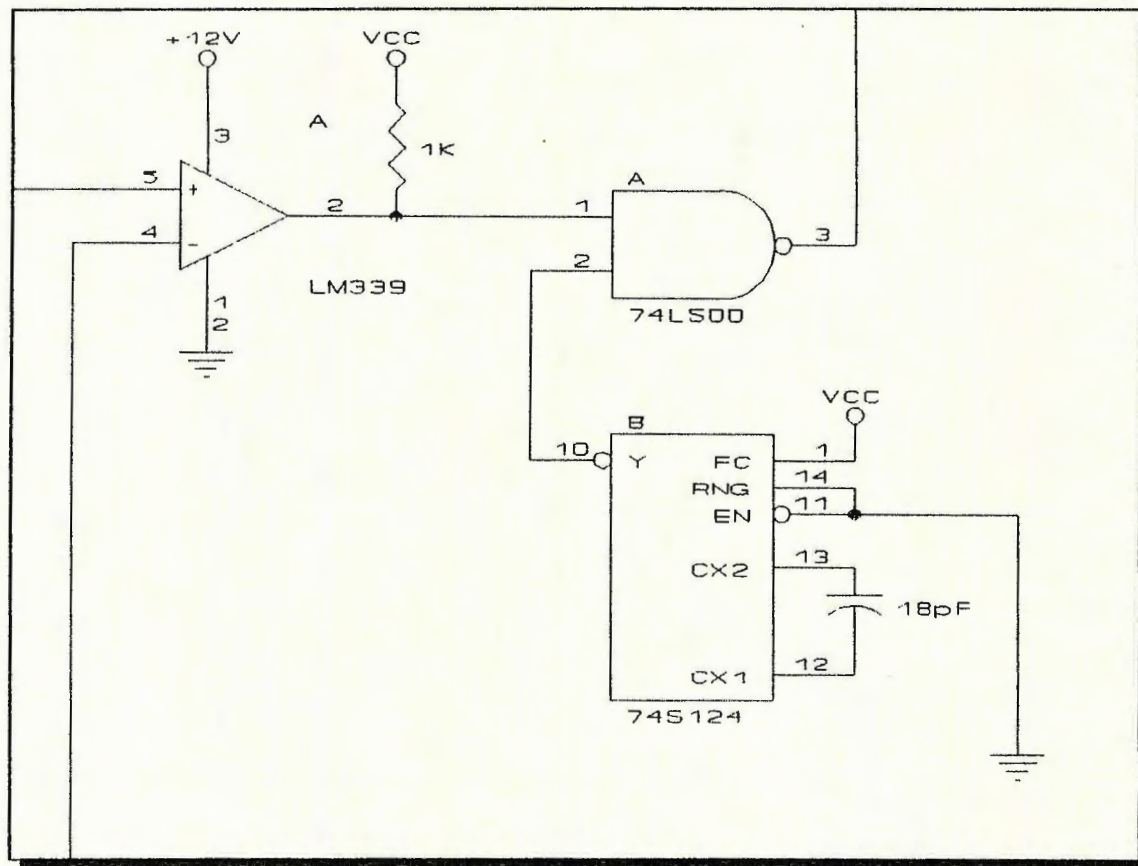


FIGURA 33: Generación de Alta Frecuencia (16.38 MHz) utilizando un VCO CI 74S124.

### 1.6 CONVERSIÓN PARALELO A SERIE.

Para solo utilizar una línea de transmisión se toma la lectura del convertidor, que da como resultado bits en paralelo y éstos son enviados uno a uno a través de la línea de transmisión de datos.

Para este fin utilizamos el CI TTL 74165, explicado anterior-

mente y mostrado en la FIGURA 34, la frecuencia a la cual los bits serán desplazados es de 512KHz tomados de la etapa de temporización antes mencionada.

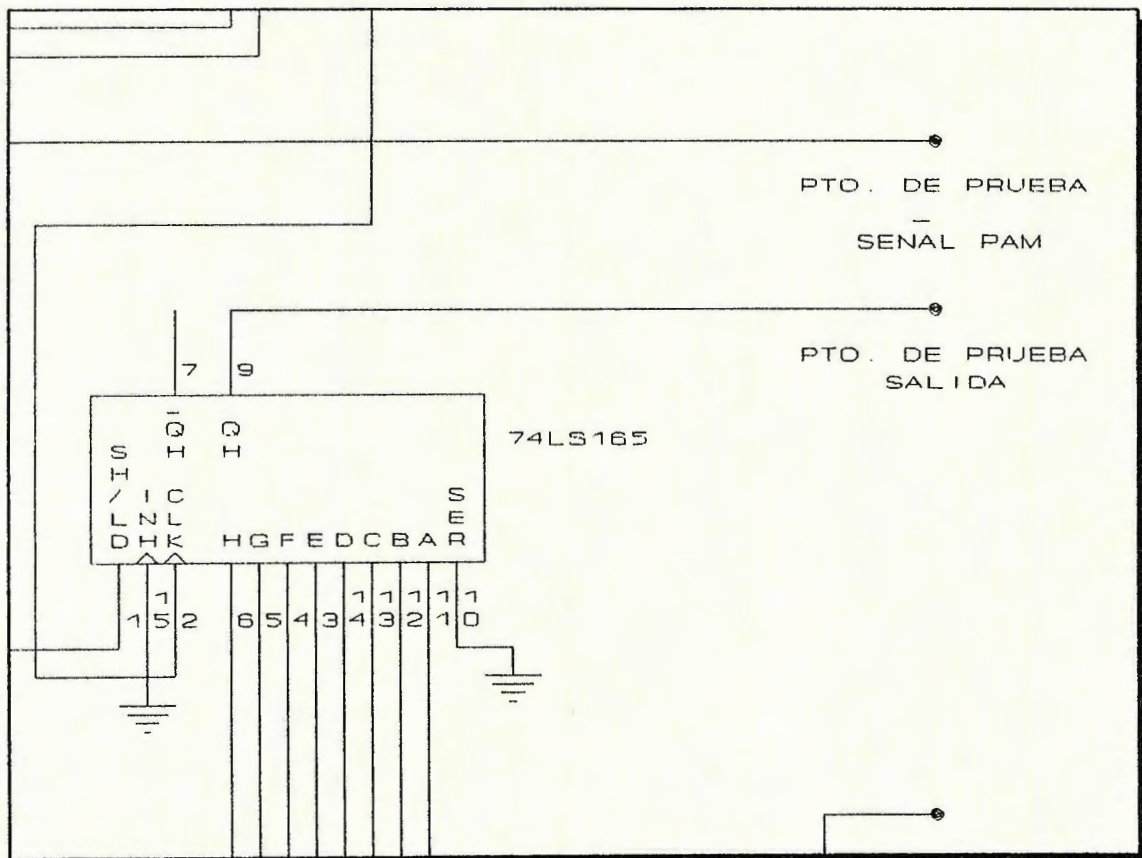


FIGURA 34: Conversión de Paralelo a Serie utilizando un CI TTL 74165.

Los bits son cargados en paralelo en el registro por medio del mandato de los circuitos de temporización en la entrada SH/LD de éste integrado.

## 2 RECEPTOR.

### 2.1 CONVERSIÓN DE BITS SERIE A PARALELO.

Como en el lado del receptor se deben efectuar todos los procesos inversos que se realizaron en el transmisor, lo primero que se hace es convertir los bits serie nuevamente a paralelo.

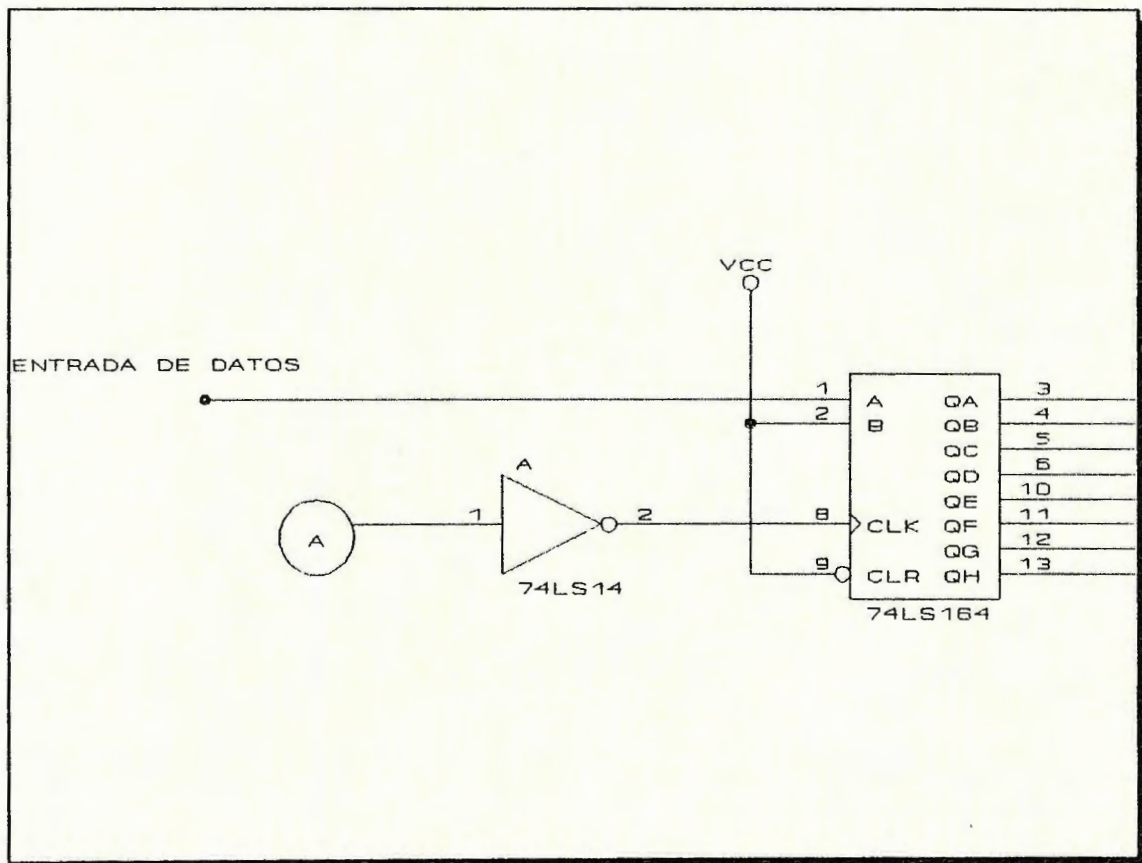


FIGURA 35: Conversión de Serie a Paralelo por medio de un CI TTL 74164.

Para esto se utiliza el Registro de Desplazamiento CI TTL 74164 (FIGURA 35), el cual desplaza los bits que vienen de la línea de transmisión para ser procesados. Esto se hace a una frecuencia

igual a la que se utiliza en el transmisor (512KHz).

Por recomendaciones de los organismos de regulación Internacional, la lectura de los datos es tomada exactamente en la mitad de la duración de estos evitando así cualquier confusión debido a que el estado se mantiene por suficiente tiempo para que el registro lo tome adecuadamente.

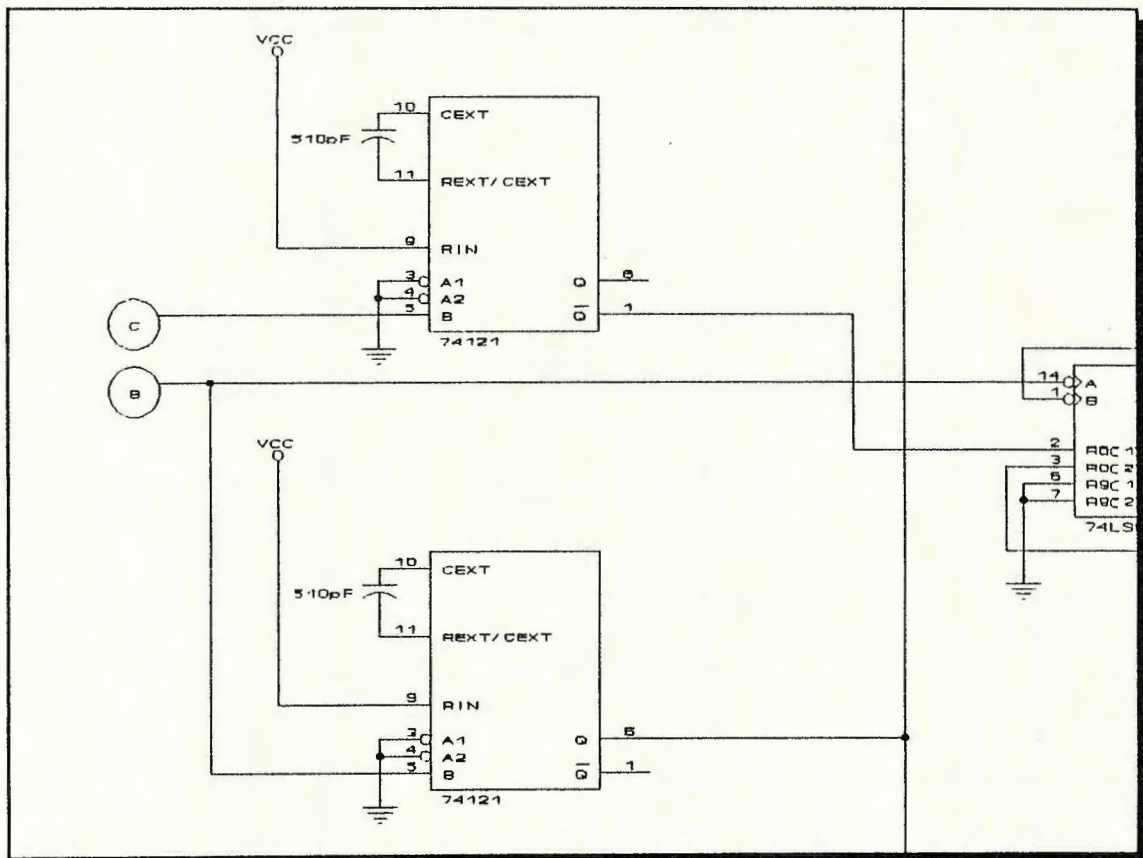


FIGURA 36: Circuitos de Temporización del Receptor.

## 2.2 CIRCUITOS DE TEMPORIZACION.

Las señales de temporización se obtienen del sincronismo que

es enviado por el Transmisor, por lo cual deben estar a la misma frecuencia.

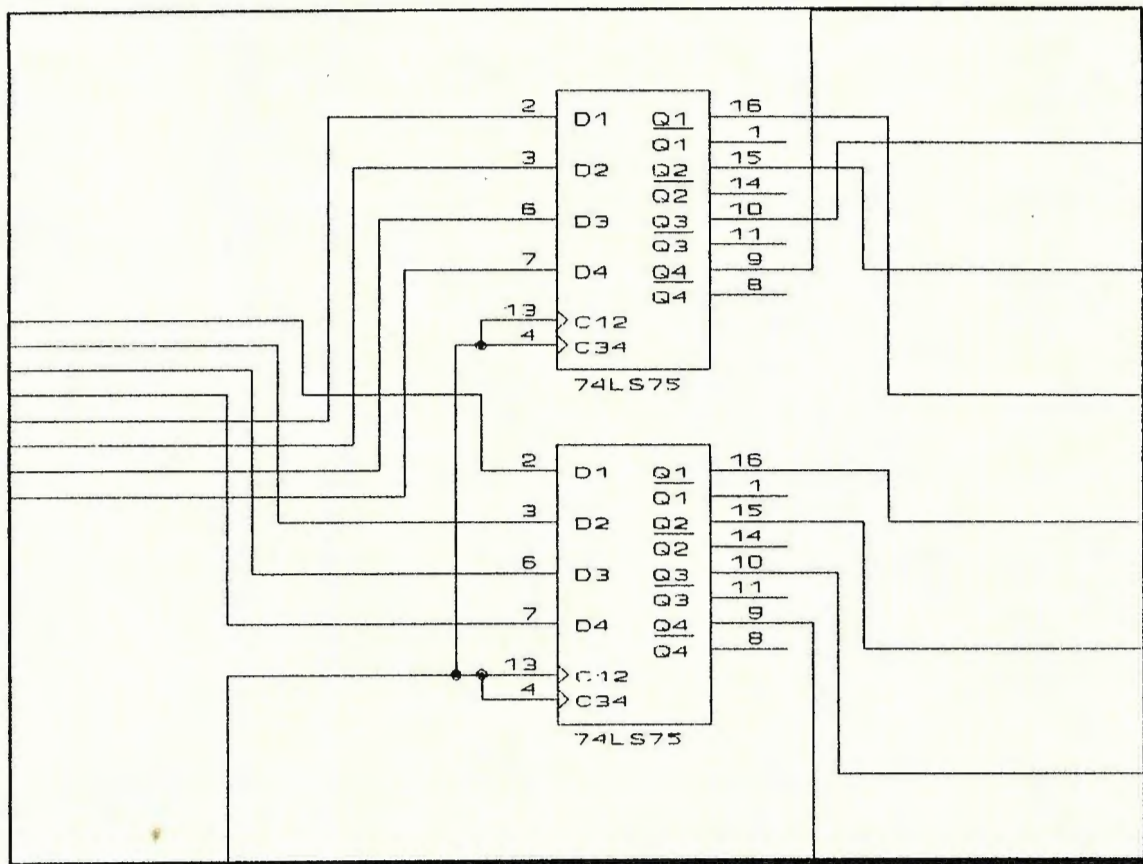


FIGURA 37: Captura y Retención de datos en paralelo (CI TTL 7475).

Las señales se procesan mediante multivibradores monoestables que al igual que el transmisor se utilizan dos CI TTL 74121 (FIGURA 36).

El primer CI 74121 se encarga de poner a cero los contadores que seleccionan las salidas en el Demultiplexor, de tal forma que la señal del canal 1 en la entrada del Transmisor se obtenga siempre en la misma salida del Receptor.

El otro CI 74121 habilita los LATCH'S (CI TTL 7475), que se encargan de tomar la lectura de la salida en paralelo del registro de desplazamiento para que después el nivel de voltaje se mantenga durante el tiempo de cada canal. Este proceso se muestra en la FIGURA 37.

### 2.3 CONVERSIÓN DIGITAL-ANALÓGICA.

Al obtener los bits correspondientes a cada muestra, se asignan nuevamente los valores analógicos que corresponden a ese código binario.

Para ello se utiliza una red de resistencias igual a la que se utilizó en el transmisor (Ver FIGURA 38), logrando con esto que la asignación del valor de la amplitud corresponda a la que fue codificada y transmitida.

A la salida de ésta etapa ya se cuenta con la señal MIA multiplexada reconstruida, la cual se asemeja a la obtenida en la salida del Multiplexor del Transmisor.

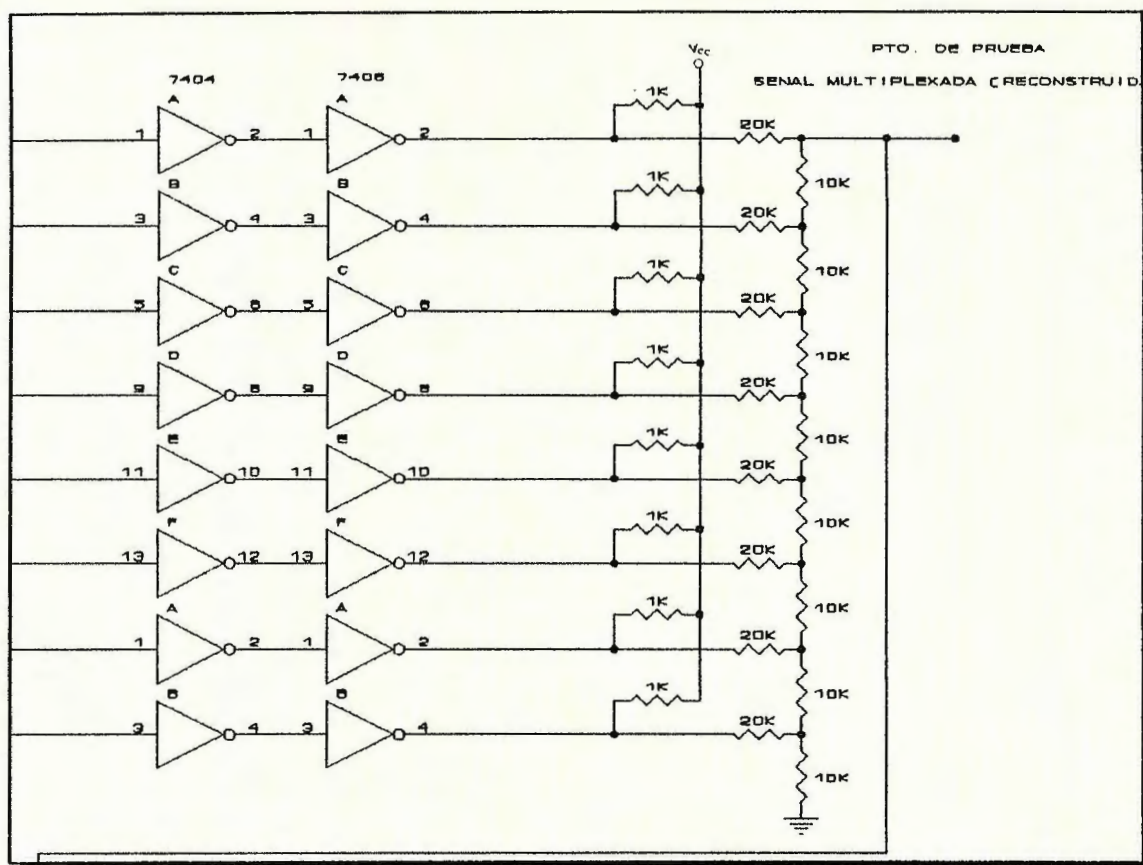


FIGURA 38: Conversión Digital-Analógico.

## 2.4 DEMULTIPLEXACION.

Ya que se cuenta con los niveles de voltaje de las muestras de cada señal, lo único que resta es distribuir el correspondiente nivel de amplitud a cada salida en el canal correcto, obteniéndose así la reconstrucción de las 8 señales.

Al igual que en el Transmisor se utiliza un CI CMOS CD4051B, ahora como DEMULTIPLEXOR analógico, los canales son seleccionados por un contador 7490 (Ver FIGURA 39), que está perfectamente sincronizado con el Transmisor.

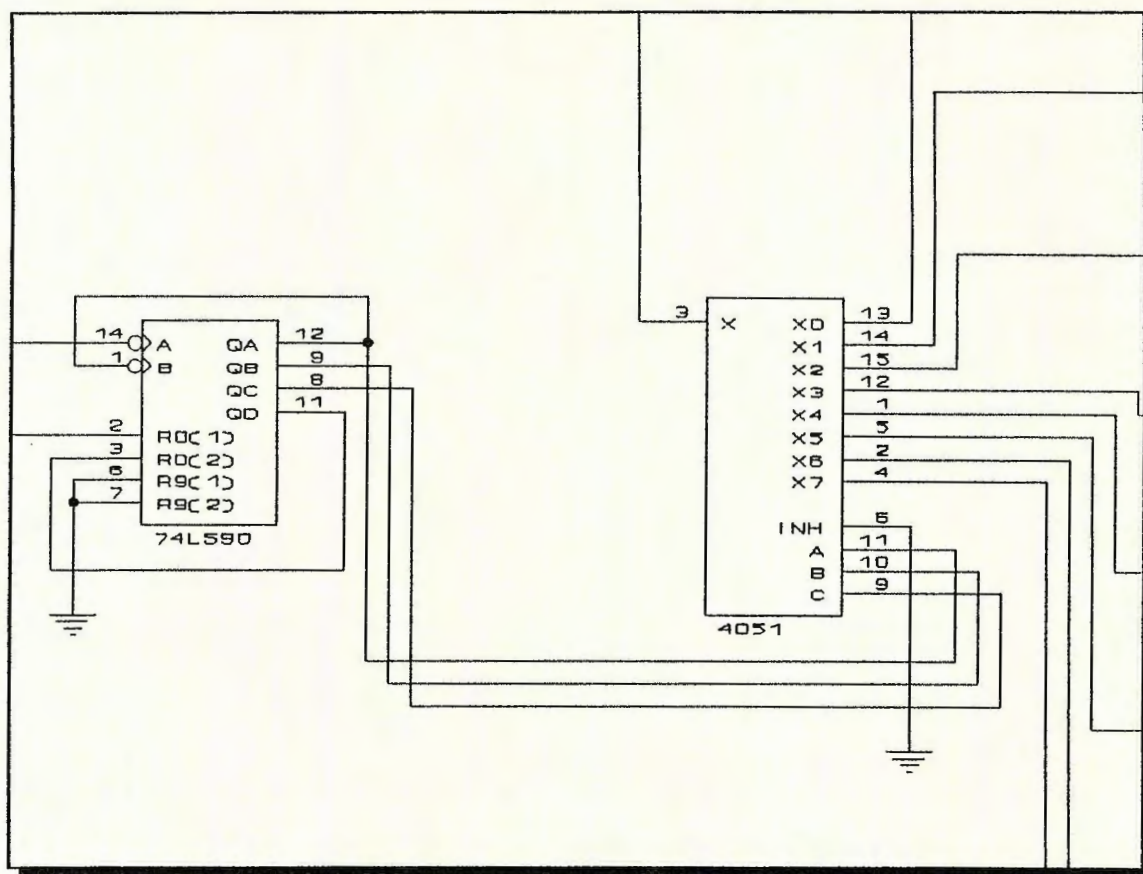


FIGURA 39: Demultiplexación de las señales.

## 2.5 FILTRADO DE LAS SEÑALES RECONSTRUIDAS.

Para alisar un poco la señal se utilizan filtros en la salida; éstos filtros son pasivos (RC) para la fácil comprensión del alumno. (Refiérase a la FIGURA 40).

La idea es que el condensador de la red RC mantenga un voltaje de carga durante la aparición de cada muestra de determinado canal, logrando con esto una mejora en la visualización de las señales obtenidas después de todo éste proceso.

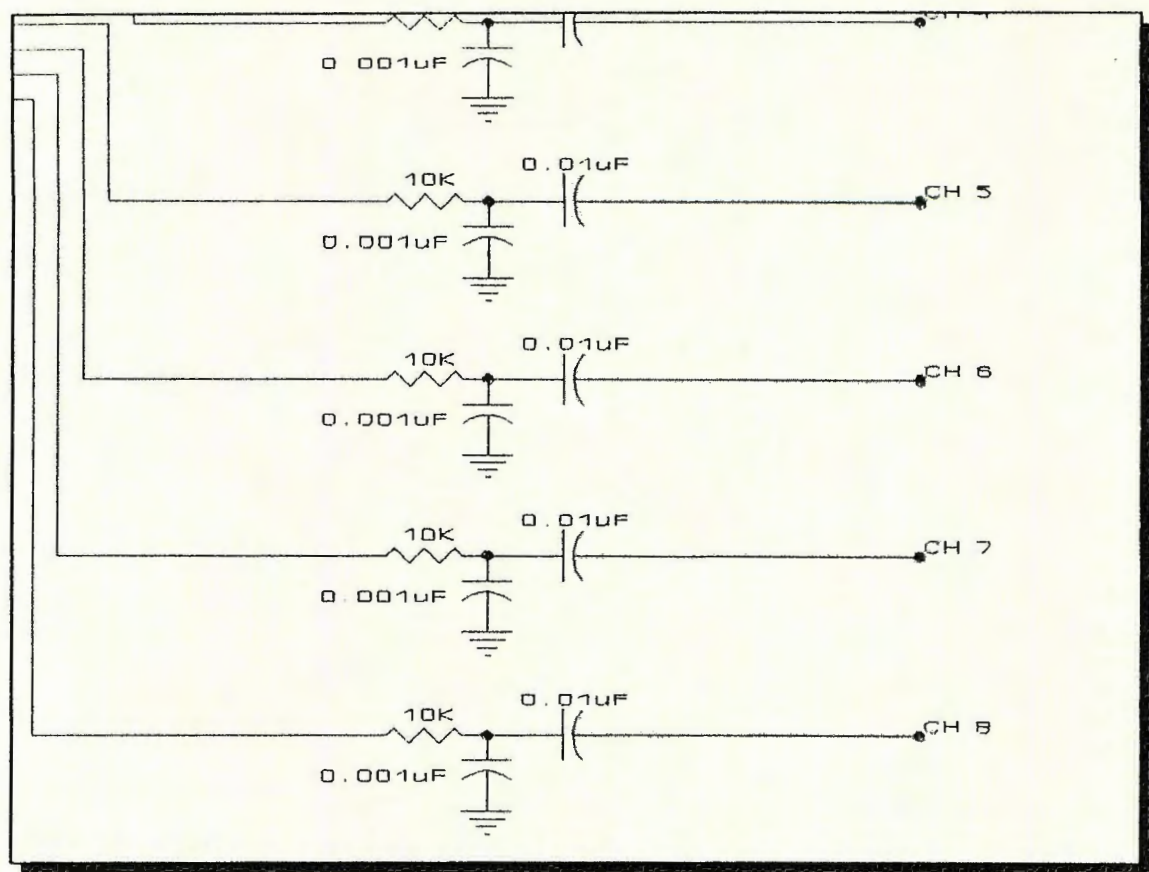


FIGURA 40: Filtrado de las señales.

# ANEXO 1.

- PRACTICAS DE LABORATORIO -

**FAMILIARIZACION CON EL SISTEMA DIDACTICO DE ENSEÑANZA DE  
TRANSMISION DIGITAL DE SEÑALES ANALOGICAS.**

**OBJETIVO:** Que el estudiante se familiarice con el manejo y funcionamiento del equipo.

**PREPARACION:**

Los aspectos que usted debe saber con respecto a el proceso de Modulación por Impulsos Codificados (MIC ó PCM) son:

1- La *Modulación por Impulsos Codificados* es el proceso que consiste en tomar una muestra (muestrear) en forma periódica una señal de carácter analógica y convertirla en un código binario para ser transmitido.

2- Los sistemas de *Modulación por Impulsos Codificados* se usan para la transmisión de datos en forma digital.

3- La utilización de datos digitales para la transmisión aumenta el ancho de banda.

4- Los sistemas de *Modulación por Impulsos Codificados* son resistentes al ruido.

5- La *Modulación por Impulsos Codificados* es compatible con sistemas que utilizan Microprocesadores.

En los sistemas de modulación digital, la señal de información es sometida a muestreo, luego es codificada digitalmente. Este código representa la amplitud de la muestra

que se ha tomado. La señal codificada en binario es enviada al receptor en forma secuencial y decodificada para producir la señal de información original. Se requiere un número de muestras suficiente para permitir que la señal reconstruida sea lo más parecida posible a la señal original tomada en el transmisor.

Existen diferentes métodos de modulación digital por impulsos. Cada método debe su nombre a la forma en que se modifican las muestras para representar la señal de información. La Modulación por Impulsos Codificados (MIC) es un tipo común de modulación por impulsos. La modulación diferencial por impulsos codificados, la modulación delta y la modulación delta adaptativa son otros tipos de modulación digital de impulsos.

El proceso de Modulación por Impulsos Codificados comienza con el muestreo de una señal de información analógica (FIGURA 1.1) a intervalos regulares. Mediante codificación binaria, el valor analógico de la señal muestreada es convertido en una serie de bits (FIGURA 1.2).

# PRACTICA DE LABORATORIO 1.

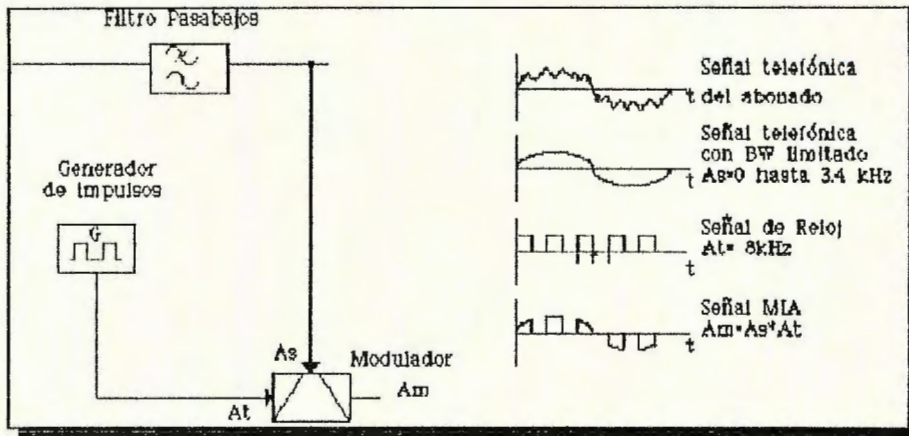


FIGURA 1.1

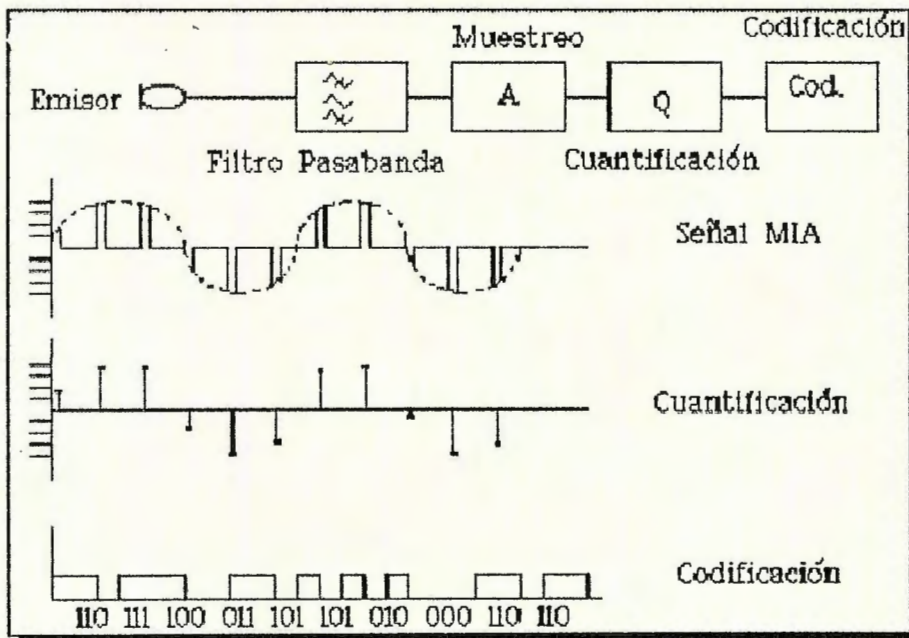


FIGURA 1.2.

Este proceso es efectuado por un circuito codificador MIC. La serie de bits es transmitida, por una línea al receptor. En el

receptor, un circuito decodificador MIC convierte la serie de bits en una copia aproximada de la señal de información analógica.

# PRACTICA DE LABORATORIO 1.

(FIGURA 1.3)

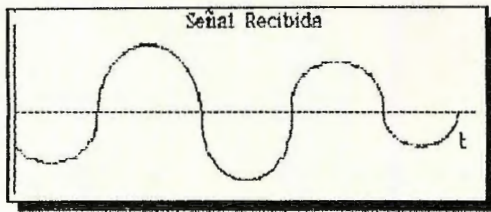


FIGURA 1.3

## LECTURA ADICIONAL:

Para obtener una mejor concepto de la *Modulación por Impulsos Codificados* remitase a el Capítulo I del documento principal.

## EQUIPO Y MATERIAL REQUERIDO:

- Fuente de alimentación +5V, 1.5A.
- Fuente de alimentación -5V, 500mA.
- Fuente de alimentación +12v, 500mA.
- Osciloscopio de doble traza.
- Generador de funciones.
- Entrenador MIC.

## INFORMACION PREPARATORIA:

La Modulación por Impulsos Codificados es un tipo de Modulación Digital, la figura 1.4 muestra el diagrama de bloques del entrenador MIC.

La señal de información es aplicada a la entrada del transmisor MIC. Los circuitos de temporización conectan 4 líneas del transmisor al receptor que son importantes para la sincronización de ambos circuitos.

1. a) Ajuste los voltajes de +5V, -5V y 12V al entrenador.

**NOTA:** Revise sus conexiones antes de energizar el entrenador. Verifique las entradas de alimentación de potencia del entrenador para asegurarse que los voltajes sean **CORRECTOS!**

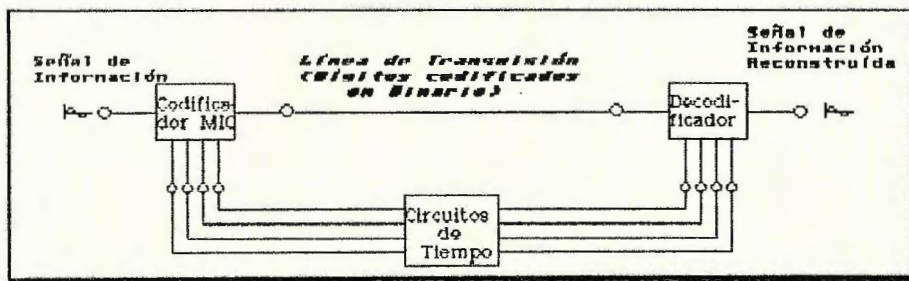


FIGURA 1.4

b) Conecte el Generador de AF a la entrada del Transmisor del entrenador y a la entrada del canal 1 del Osciloscopio.

c) Gire el control de nivel de entrada a su mínima posición en contra de las agujas del reloj.

## PRACTICA DE LABORATORIO 1.

---

d) Ajuste la frecuencia del generador de AF a 800Hz y disponga el control de nivel para obtener una amplitud de 3 Vpp. ¿Qué representa la señal aplicada a una de las entradas del entrenador?

---

---

---

e) Coloque las puntas del Osciloscopio en atenuación  $\times 10$ , la escala de VOLT/DIV en 0.2 V/cm y la de tiempo en 0.2 ms/cm. Conecte el canal 2 en la salida del transmisor. ¿Qué representa la señal observada en el Osciloscopio?

---

---

---

f) Coloque la punta del Canal 2 del Osciloscopio en la salida del receptor. ¿Qué representa ésta señal?

---

---

---

### RESUMEN:

En éste laboratorio, usted se familiarizó con el Sistema Didáctico de Enseñanza de Transmisión Digital de Señales Analógicas. Utilizando el entrenador, se observaron las señales más importantes del proceso de Modulación por Impulsos Codificados de tal forma que en experimentos posteriores se estudien

en forma más específica los bloques que lo conforman.

### DISCUSION DE RESULTADOS:

- La Modulación por Impulsos Codificados (MIC) es un tipo de modulación digital.
- Un codificador MIC convierte la señal de información en una serie de bits.
- El proceso de decodificación proporciona una reconstrucción aproximada de la señal de información original.

## PRACTICA DE LABORATORIO 2.

---

### TRANSMISOR MIC.

#### OBJETIVOS:

- a. Examinar el proceso de Muestreo en un Transmisor MIC.
- b. Verificar la operación de Cuantificación en un sistema MIC.
- c. Seguir paso a paso el proceso de Codificación de las muestras obtenidas.
- d. Determinar la función de cada bloque.

#### PREPARACIÓN:

Es importante que el lector conozca los siguientes conceptos:

- 1- El Muestreo es el proceso que consiste en obtener un valor de la amplitud de la señal a transmitir en un instante determinado y repetir éste procedimiento a intervalos regulares.
- 2- La cuantificación es el proceso de convertir el nivel de voltaje de la muestra y ubicarla en el valor de voltaje estandarizado más cercano.
- 3- La codificación consiste en representar por medio de un código binario el valor de la amplitud tomada.

#### PARTE I:

La calidad de una señal MIC depende de la

sincronización de tres procesos separados: el muestreo, la cuantificación y codificación. La función de un circuito Codificador MIC consiste en garantizar cada uno de éstos procesos. En la figura 2.1 se muestra un diagrama de bloques de un circuito codificador MIC.

El circuito de muestreo deja pasar una parte de la señal mientras se realizan los procesos posteriores. La cuantificación es lograda por medio de un Convertidor Análogo-Digital ADC, el ADC subdivide la gama de posibles amplitudes en intervalos de cuantización. El proceso de codificación se produce en el ADC y en el convertidor de paralelo a serie. El voltaje de la muestra es convertido en datos digitales y enviado a un registro de desplazamiento (Convertidor de Paralelo a Serie) en donde se envía un bit por vez. El flujo de datos en serie representa la señal MIC. Los circuitos de temporización se encargan de mantener el sincronismo entre todas las etapas antes mencionadas y de enviarlas al receptor.

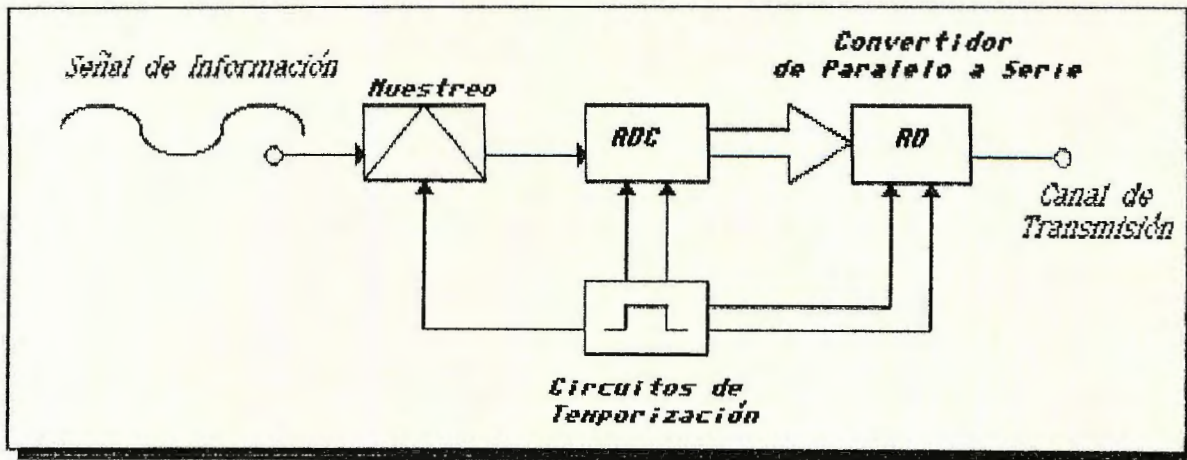


FIGURA 2.1

**LECTURA ADICIONAL:** Para obtener una mejor concepto de la *Modulación por Impulsos Codificados* remitase a el Capítulo III del documento principal.

**EQUIPO Y MATERIAL REQUERIDO:**

- Fuente de alimentación +5V, 1.5A.
- Fuente de alimentación -5V, 500mA.
- Fuente de alimentación +12v, 500mA.
- Osciloscopio de doble traza.
- Generador de funciones.
- Entrenador MIC.

**INFORMACIÓN PREPARATORIA:**

Los circuitos de temporización le indican a el circuito de muestreo en que momento debe aparecer la muestra de la señal a codificar y debe permanecer suficiente tiempo para poder ser cuantificada y codificada. El resultado del proceso de muestreo se presen-

ta en la Figura 2.2.

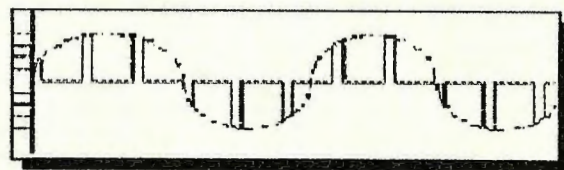


FIGURA 2.2

En un sistema MIC, la frecuencia de la señal de muestreo ( $f_s$ ) es dos veces mayor que la frecuencia máxima de la señal de información ( $f_M$ ) a la velocidad de NYQUIST. Esto se expresa mediante la ecuación:

$$f_s = 2 (f_M)$$

donde :

- $f_s$  es la frecuencia de la señal de muestreo.
- $f_M$  es la frecuencia máxima de la señal de información.

No es posible reproducir con precisión una

## PRACTICA DE LABORATORIO 2.

---

señal de información cuando la frecuencia de la señal de muestreo es menor que la Frecuencia NYQUIST (TEOREMA DEL MUESTREO: Capítulo I del documento).

La figura 2.3 muestra el diagrama de bloques del Convertidor Análogo-Digital, utilizando un Convertidor Digital-Análogo se genera una escalinata de posibles valores de amplitud que pueda presentar la señal, y a través de el comparador se detecta cuando la amplitud de la escalinata se aproxima a la de la señal.

**LECTURA ADICIONAL:** Para obtener una mejor concepto de la *Modulación por Impulsos Codificados* remitase a el Capítulo I del documento principal.

### EQUIPO Y MATERIAL REQUERIDO:

- Fuente de alimentación +5V, 1.5A.
- Fuente de alimentación -5V, 500mA.
- Fuente de alimentación +12v, 500mA.
- Osciloscopio de doble traza.
- Generador de funciones.
- Entrenador MIC.

1. a) Aplique los voltajes de +5V, -5V y 12V al entrenador.

**NOTA:** *Revise sus conexiones antes de energizar el entrenador. Verifique las entradas de alimentación de potencia del entrenador para asegurarse que los voltajes sean CORRECTOS!*

b) Energice el entrenador.

c) Coloque las puntas del Osciloscopio en atenuación x10, la escala VOLT/DIV en 0.2 V/cm y TIME/DIV en 20 $\mu$ s/cm y coloque el acople en cd.

d) Gire todos los controles de ajuste de nivel de entrada a su máxima en el sentido de las agujas del reloj.

e) Coloque la punta del Osciloscopio en el Punto de Prueba de Cuantificación. ¿Qué representa la señal observada en el Osciloscopio?.

---

---

---

f) Vuelva los controles del ajuste de nivel a su posición mínima.

g) Ajuste el generador de AF para una frecuencia de 800Hz y una amplitud de 3Vpp.

h) Conecte el Generador de AF a la entrada del canal 1 del Entrenador.

i) Coloque la punta del Osciloscopio del canal 2 en el punto de prueba de la señal MIA.

j) Observando el canal 2 del Osciloscopio, ajuste el control de nivel de entrada del canal 1 hasta que la señal solo presente valores positivos. ¿Para qué es necesario el ajuste antes mencionado?

---

---

---

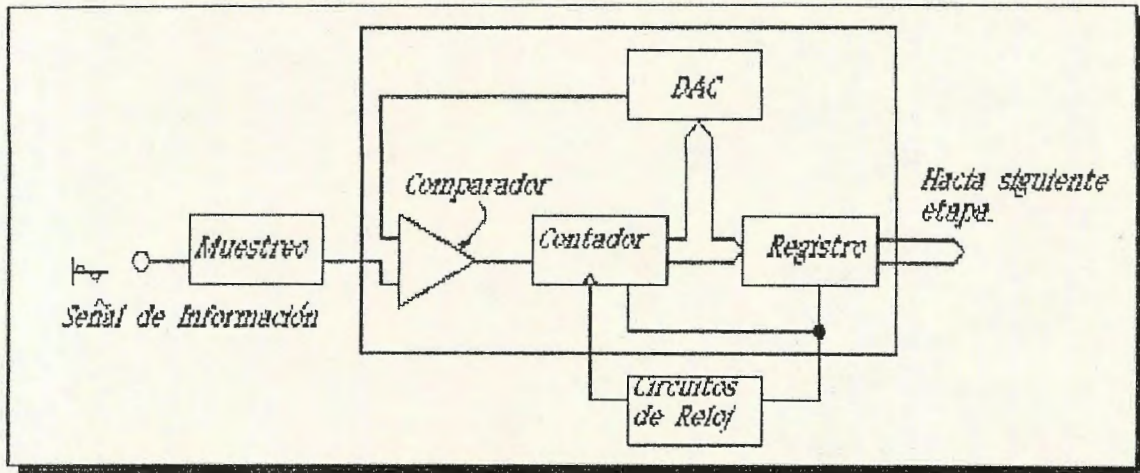


FIGURA 2.3

k) Coloque el modo de la fuente en la posición CHOP, haga los ajustes necesarios para desplegar las 2 señales.

l) ¿Qué representa la señal del canal 1 con respecto a la del canal 2?

---



---



---

PARTE II:

PREPARACIÓN:

El DAC (Convertidor Digital-Análogo) divide la gama de amplitudes en intervalos de cuantización, el número de intervalos de cuantización dependen del número de bits de salida que se tengan, así:

$$I = 2^n = 2^8 = 256$$

donde: I=Intervalos de Cuantización.

n=Número de bits de salida.

La diferencia de voltaje entre cada intervalo se denomina Resolución y viene dado por:

$$RES = \frac{Vfs}{I-1} = \frac{+5V}{256-1} = 19.6 \times 10^{-3} V$$

donde: RES=Resolución.

Vfs=Voltaje de escala completa.

I=Intervalos de cuantización.

Quando una amplitud de entrada no coincide exactamente con ningún valor discreto de voltaje (Intervalo) se escogerá el nivel inmediato superior debido a que el comparador (Ver figura 2.3) detectará cuando la amplitud es ligeramente mayor.

Si la amplitud de la señal es mayor que cero, el comparador habilita el reloj hacia los contadores, los cuales comienzan a generar la escalinata que aumentará hasta que

## PRACTICA DE LABORATORIO 2.

---

sea mayor (la amplitud generada por el convertidor) a la amplitud de la señal de entrada, en éste instante se detiene la cuenta y la salida de los contadores indican el código binario correspondiente al valor de amplitud analógico y de ésta forma la operación queda concluida.

Para reiniciar la conversión, basta con volver los contadores a cero de tal manera que nuevamente la amplitud de entrada sea mayor a la escalinata y se reinicie la conversión.

### PROCEDIMIENTO:

2. a) Energice el entrenador.

b) Manteniendo los ajustes hechos en la parte I, coloque la punta 1 del Osciloscopio en el punto de prueba de cuantificación y el canal 2 en el punto de prueba de la señal MIA.

c) Ajuste todos los controles de nivel de entrada como usted crea conveniente para obtener una salida continua de 4 voltios. Esta señal es aplicada a la entrada del convertidor. ¿Qué representa dicha señal.

\_\_\_\_\_

\_\_\_\_\_ ✓

\_\_\_\_\_

d) El voltaje de escala completa del circuito es de +5V, calcule la resolución

del convertidor.

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

e) Ajuste el generador de AF para una señal sinusoidal de 800Hz con 3Vpp de amplitud, incremente la escala de tiempo como sea necesario para poder observar la escalinata. ¿Es similar la señal obtenida en éste punto a la señal proporcionada por el generador de AF?

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

### PARTE III:

#### PREPARACION:

El convertidor Digital-Análogo transforma la señal cuantificada en una salida paralela de dígitos codificados en binario.

Esta salida digital se llama PALABRA BINARIA. Los datos son transferidos después a un convertidor de paralelo a serie (Registro de Desplazamiento). Este emite un bit de datos por vez. El bit más significativo (MSB) sale primero y el menos significativo de último. (Ver Figura 2.4).

Después los datos son transmitidos secuencialmente al Receptor. La frecuencia del reloj del Registro de Desplazamiento es la

## PRACTICA DE LABORATORIO 2.

---

velocidad con la que salen los bits.

Una vez cuantificada la muestra, la salida del contador de 8 bits es el valor codificado de la amplitud muestreada. El valor codificador aparece como una salida paralela de una palabra binaria. Cada bit de la palabra binaria sale por el registro. Los circuitos de temporización envían un pulso de carga para el registro de desplazamiento, cuando se retira el impulso se **CARGA/DESPLAZAMIENTO**, se habilita desplazamiento de los datos en serie.

3. a) Energice el entrenador.

b) Ajuste el generador de AF para una frecuencia de 800Hz y 3Vpp de amplitud.

c) Conecte el generador de AF a la entrada del canal 1 del Entrenador, coloque la punta del Osciloscopio en la salida del Transmisor (Punto de Prueba, Canal de Transmisión). ¿Qué representa la señal observada en Osciloscopio?

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

f) Varíe el nivel de la amplitud del Generador de AF siempre respetando el nivel máximo de 5Vpp. ¿Qué observa?

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

g) Cambie la forma de onda de la señal de

entrada. ¿Cambia la señal de salida?. Explique:

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

h) ¿Porque el tren de bits aparece cada 8 intervalos de tiempo?. Explique:

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

i) Mida la velocidad a la se transmiten los bits.

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

### RESUMEN:

En éste experimento, usted examinó el proceso de muestreo de un Transmisor MIC (Utilizando solo un canal). Hizo una demostración del proceso de cuantificación del circuito codificador MIC. Se comparó la generación de la escalinata del convertidor con la señal de información de entrada. Observó el proceso de codificación en el Transmisor MIC. Observó que la señal paralela digital paralela obtenida a la salida del Convertidor Digital-Análogo es convertida en una serie de bits para ser transmitida. Se determinó la frecuencia del reloj para el convertidor paralelo-serie.

### DISCUSIÓN DE RESULTADOS:

-La gama de posibles amplitudes se subdivide en intervalos de cuantización para realizar la conversión.

-El convertidor Análogo-Digital reproduce la señal de entrada por medio de generación de escalinata y comparación.

-A la salida del convertidor se obtiene el código en paralelo codificado en binario correspondiente a la amplitud de la muestra.

-Para la transmisión de datos es necesario convertir los bits de paralelo a serie.

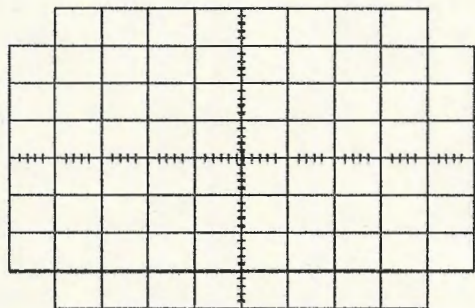
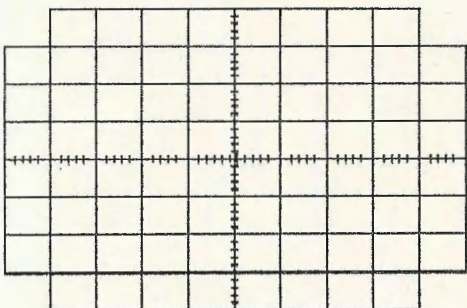
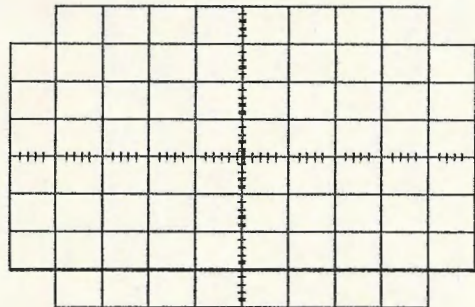
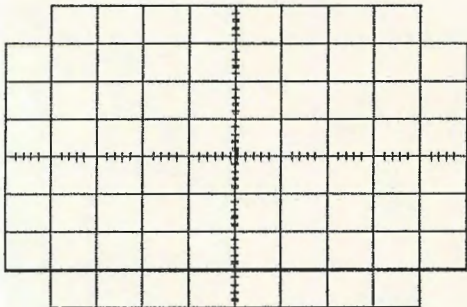
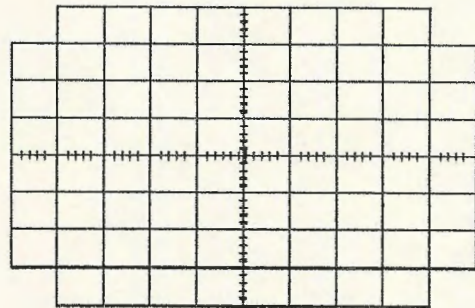
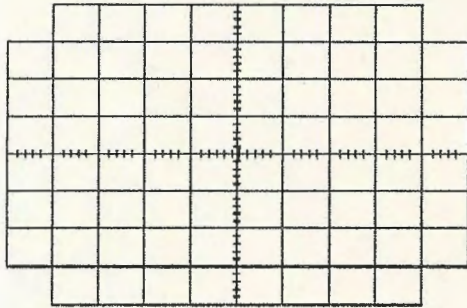
-El bit que se transmite primero es el más significativo (MSB).

## PRACTICA DE LABORATORIO 2.

---

### EJERCICIO PROPUESTO:

Utilizando los Oscilogramas de abajo dibuje las señales que usted estime son importantes en el TRANSMISOR MIC. Asumir una señal sinusoidal de entrada de 800Hz y 3Vpp. Las escalas deben ser proporcionadas por el estudiante.



## PRACTICA DE LABORATORIO 3.

---

### RECEPTOR MIC.

#### OBJETIVO:

- a. Efectuar una conversión de serie a paralelo utilizando el RECEPTOR MIC.
- b. Determinar la función del convertidor digital-analógico (DAC) en el circuito RECEPTOR MIC.

#### PREPARACIÓN:

Los conceptos que usted debe manejar acerca del proceso de recepción de modulación por impulsos codificados, son los siguientes:

1. Un receptor MIC convierte la señal MIC en su equivalente analógico.
2. Se requiere de sincronización para agrupar los bits seriales de la señal MIC correctamente y formar la palabra paralela.
3. La fidelidad es la capacidad de un sistema de reproducir con precisión la señal original.
4. El ruido de cuantificación es la diferencia de amplitud entre la señal de información original y la señal de información reconstruida.
5. Puede reducirse el ruido de cuantificación aumentando el número de intervalos de cuantificación.

Los bits de la señal MIC transmitidos al receptor deben ser convertidos en la señal

de información original. El circuito que efectúa esta conversión es el decodificador MIC. La figura 3.1 presenta un diagrama en bloques de un circuito decodificador MIC de 2 bits.

El circuito decodificador MIC de 2 bits consta de un convertidor serie-paralelo, un registro, un convertidor digital-analógico (DAC) y un filtro pasabajos. Los datos en serie de la señal MIC entrada al convertidor serie paralelo. Este convertidor transfiere los datos de una palabra serie de 2 bits a paralela. La palabra paralela es almacenada en el registro y transferida al DAC. Acto seguido, el DAC produce una salida de voltaje analógico fijo de salida del DAC que pasa después por el filtro pasabajos (para el entrenador se requiere el proceso de demultiplexación tratado en la siguiente guía). El filtro pasabajos reconstruye la señal de información original, eliminando las señales de alta frecuencia y amplificando las señales de frecuencia baja.

Se requiere de sincronización entre el convertidor serie-paralelo y el registro para garantizar que se carga la combinación co

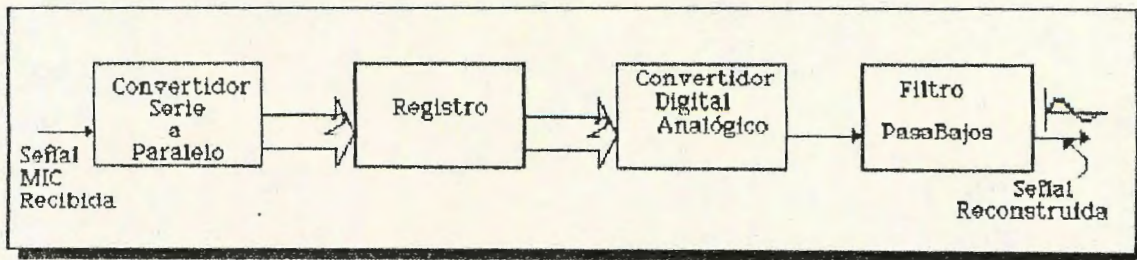


FIGURA 3.1

recta de bits en el registro. Si no hay sincronización los bits de una palabra pueden ser cargados con los bits de una palabra diferente. Esto produciría una señal incorrectamente decodificada.

La diferencia de amplitud entre la señal de información original y la señal reconstruida se llama Ruido de Cuantificación.

El Ruido de Cuantificación ocurre desde que la señal de información reconstruida se aproxima a la original. La fidelidad de la señal reconstruida mejora al aumentarse el número de bits y de intervalos de cuantificación. Debido a esto, el ruido de cuantificación no es perceptible en sistemas MIC que utilizan conversores de seis bits o más.

#### LECTURA ADICIONAL.

Para obtener un mejor concepto de la Modulación por Impulsos Codificados remitase al

Capítulo I de documento principal.

#### EQUIPO Y MATERIAL REQUERIDO:

- Fuente de alimentación +5V, 1.5A.
- Fuente de alimentación -5V, 500mA.
- Fuente de alimentación +12V, 500mA.
- Osciloscopio de doble Traza.
- Generador de funciones.
- Entrenador MIC.

#### INFORMACIÓN PREPARATORIA:

La señal MIC debe ser decodificada en forma analógica por el circuito decodificador MIC para producir una señal de información reconstruida. El convertidor serie-paralelo y el registro del circuito decodificador MIC son las primeras etapas del proceso de decodificación. El convertidor serie-paralelo convierte la señal MIC en datos paralelos y el registro almacena los datos paralelos del DAC.

## PRACTICA DE LABORATORIO 3.

La figura 3.2 muestra el diagrama del convertidor Serie a Paralelo y de un Registro.

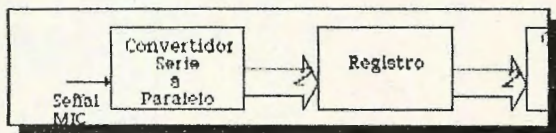


FIGURA 3.2

### PARTE I:

1. a) Ajuste los voltajes de +5V, -5V y +12V.

**NOTA: Revise sus conexiones antes de energizar el entrenador. Verifique las entradas de alimentación de potencia del entrenador para asegurarse que los voltajes sean CORRECTOS!**

b) Energice el entrenador y utilice puentes para conectar el transmisor con el receptor.

c) Coloque las 2 puntas del Osciloscopio en atenuación x10. Ajuste ambos atenuadores de canal para una graduación de 0.2V/cm en el modo cd. Regule el Osciloscopio para una velocidad de barrido de 0.1ms/cm. Active el Osciloscopio en el canal 2.

d) Conecte el canal 1 del Osciloscopio al Punto de Prueba "Señal MIA" del entrenador, ajuste los controles de nivel de entrada para obtener una señal de cero voltios.

e) Conecte la punta del Osciloscopio del canal 2 en la salida del Receptor. ¿Qué representa ésta señal?

f) Cambie la punta del canal 2 del Osciloscopio hacia el punto de prueba de la señal reconstruida multiplexada, gire lentamente uno de los controles del ajuste de nivel de entrada en el transmisor. ¿Coinciden las dos señales de los canales? Explique.

---

---

---

g) Coloque la punta de prueba del Osciloscopio del canal 1 en la entrada del Receptor y la punta del canal 2 en el punto de prueba de la señal reconstruida multiplexada. Gire lentamente uno de los controles de nivel de entrada. ¿Qué sucede con la salida? Explique.

---

---

---

### PARTE II:

El DAC es la siguiente etapa de decodificación. El DAC recibe los datos paralelos del registro y convierte dichos datos en voltajes analógicos fijos.

2. a) Energice el entrenador.

b) Disponga de las 2 puntas del osciloscopio en x10. Ajuste ambos atenuadores de canal para una graduación de 0.2V/cm en modo cd. Regule el osciloscopio para una veloci-

## PRACTICA DE LABORATORIO 3.

---

dad de barrido de 0,1ms/cm. Active el osciloscopio en el canal 2.

c) Ajuste los controles de nivel de entrada a su posición mínima al contrario de las agujas del reloj.

d) Conecte la punta del canal 1 del osciloscopio en la entrada serie de datos del receptor.

c) Ajuste el generador de AF para una señal sinusoidal de 800Hz con 3Vpp. Conecte esta señal a la entrada del canal 1 en el lado del transmisor.

d) Conecte la punta del canal 2 del osciloscopio en el punto de prueba de la señal MIA.

e) Ajuste el control de nivel de entrada hasta que la señal MIA no presente valores de voltajes negativos.

f) Conecte la punta del canal 1 del osciloscopio en el punto de prueba de la señal reconstruida multiplexada. ¿Que representa esta señal?

---

---

---

paralelo convierte la serie de bits de la señal del codificador en una palabra paralela de 8 bits que es almacenada en el registro para ser utilizada por el DAC. Se requiere de una correcta sincronización entre el convertidor serie-paralelo y el registro para lograr una decodificación adecuada. Usted determino la función del DAC en el circuito decodificador MIC. El DAC convierte la palabra paralela proveniente del registro en un voltaje analógico fijo.

### DISCUSIÓN DE RESULTADOS.

- Por medio de un tren de pulsos de la línea de transmisión al circuito receptor, este es capaz de reconstruir los códigos binarios de la línea en una señal analógica en su salida de demultiplexación.

### RESUMEN.

En este ejercicio de laboratorio, usted estudio el proceso de decodificación de modulación por impulsos codificados. Efectuó una conversión serie-paralelo en el circuito decodificador MIC. El convertidor serie-

---

## PRACTICA DE LABORATORIO 4.

---

### *TRANSMISIÓN SIMULTANEA DE SEÑALES.*

#### OBJETIVOS:

- a. Comprender el sistema de multiplexación por distribución en el tiempo.
- b. Medir el tiempo de conversión de una muestra.
- c. Verificar el proceso de reconstrucción de la señales aún multiplexadas.

#### INFORMACIÓN PREPARATORIA:

Una de los procedimientos que se han venido utilizando para efectuar una transmisión de varias señales en forma simultánea (utilizando una sola línea de transmisión) es el proceso de Multiplex por División de Tiempo.

La idea fundamental de éste procedimiento es permitir que una y solo una de las señales de entrada aparezca en la línea de transmisión a la vez, siempre respetando el tiempo que se le ha asignado.

El principio de la Modulación por Impulsos Codificados con transmisión simultánea de varios canales a la vez se basa en multiplexar las señales de entrada. Tomando como muestra el intervalo en que se encuentra presente la señal analógica se cuantifica ésta muestra.

Obedeciendo al Teorema del Muestreo visto anteriormente se sabe que el período mínimo para tomar dos muestras sucesivas para reconstruir una señal es de  $125\mu\text{s}$ , entonces el circuito toma la muestra y realiza la conversión a altísima velocidad de tal forma que exista suficiente tiempo para poder realizar el mismo trabajo para otros canales.

Como el tiempo asignado entre 2 muestras sucesivas de cada señal es de  $125\mu\text{s}$ , se divide éste tiempo entre 8, que es el número de canales que el entrenador puede manejar como máximo, el resultado es de  $15.625\mu\text{s}$ , entonces, éste es el tiempo en que cada señal a transmitir debe permanecer en la entrada del entrenador.

Para la cuantificación se utilizan 8 bits los cuales deben ser transmitidos exactamente en el tiempo en que dura la muestra, entonces el tiempo asignado para cada bit es de  $1.95\mu\text{s}$ .

## PRACTICA DE LABORATORIO 4.

### LECTURA ADICIONAL.

Para obtener un mejor concepto de la Modulación por Impulsos Codificados remitase al Capítulo I de documento principal.

### EQUIPO Y MATERIAL REQUERIDO:

Fuente de alimentación +5V, 1.5A.

Fuente de alimentación -5V, 500mA.

Fuente de alimentación +12V, 500mA.

Osciloscopio de doble Traza.

Generador de funciones (6 señales distintas)

Entrenador MIC.

### PARTE I:

1. a) Ajuste los voltajes de +5V, -5V y +12V.

**NOTA: Revise sus conexiones antes de energizar el entrenador. Verifique las entradas de alimentación de potencia del entrenador para asegurarse que los voltajes sean CORRECTOS!**

b) Energice el entrenador y utilice puentes para conectar el transmisor con el receptor.

c) Coloque las 2 puntas del Osciloscopio en atenuación x10. Ajuste ambos atenuadores de canal para una graduación de 0.2V/cm en el modo cd. Regule el Osciloscopio para una velocidad de barrido de 0.1ms/cm.

d) Ajuste el generador de funciones con 8 señales distintas de 1.2KHz cada una, Colo-

que la punta del Osciloscopio del canal 1 en el punto de prueba de la señal MIA. Ajuste los controles de nivel de entrada para que ninguna señal presente amplitudes negativas. (SUGERENCIA: Aplique cada una de las señales una a la vez y ajuste el nivel).

b) Coloque la punta del Osciloscopio en el punto de prueba de cuantificación. ¿Es similar ésta señal a la vista en el paso anterior?. Explique.

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

c) Ajuste los controles del Osciloscopio como sea necesario para lograr medir el tiempo de duración de la muestra de cada canal.

**Tiempo=**

d) Coloque la punta de prueba del Osciloscopio en la salida del Transmisor. ¿Es el tren de bits continuo? Explique.

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

e) Sitúe la sonda del canal 1 del Osciloscopio en el punto de prueba de la señal MIA y la del canal 2 en el punto de prueba de la señal reconstruida en el receptor. ¿Concuerdan los resultados?

## PRACTICA DE LABORATORIO 4.

---

---

---

---

### PARTE II:

2. a) Coloque la sonda del Osciloscopio del canal 1 en la entrada del canal 1 de el Transmisor y la del canal 2 en la salida del canal 2 del Receptor. ¿Cual es su Observación?

---

---

---

b) Repita el procedimiento para todos los demás canales. ¿Se lleva a cabo correctamente el proceso de demultiplexación?

---

---

---

c) Coloque la punta del Osciloscopio en la entrada del canal 1 del transmisor y la del canal 2 en la salida del canal 1 del Receptor. Gire el control de nivel de entrada hasta el tope en contra de las agujas del reloj. ¿Porque que es necesario que la señal no presente valores negativos?

---

---

---

ción del entrenador para la transmisión simultánea de señales, midió el tiempo en que se realiza la conversión. Verificó que el tren de bits a través de la línea de transmisión es continuo. Demostró que a través del proceso de demultiplexación las muestras son direccionadas hacia la salida correspondiente.

### DISCUSIÓN DE RESULTADOS.

- La transmisión de varias señales a través de una sola línea es posible utilizando al máximo el tiempo que queda disponible entre cada muestra de cada canal.

- El proceso de multiplex por división en el tiempo se basa en dejar pasar la amplitud de una y solo una señal durante un tiempo determinado.

- El proceso de demultiplexación consiste en direccionar la muestra de la señal que fue reconstruida hacia su salida correspondiente.

### RESUMEN.

En éste experimento usted demostró la opera-

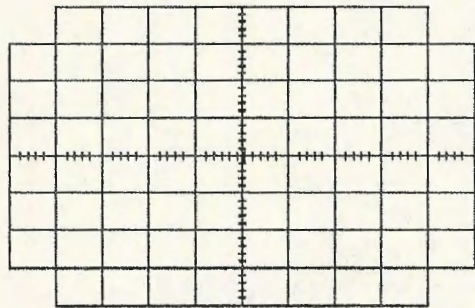
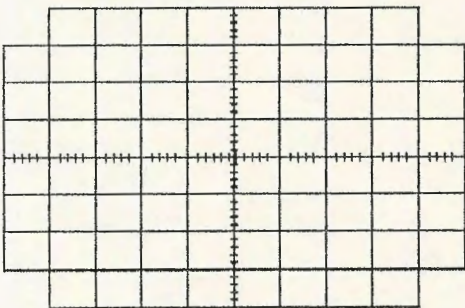
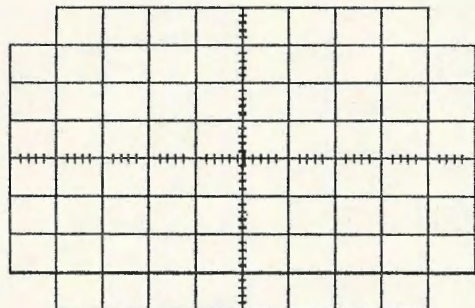
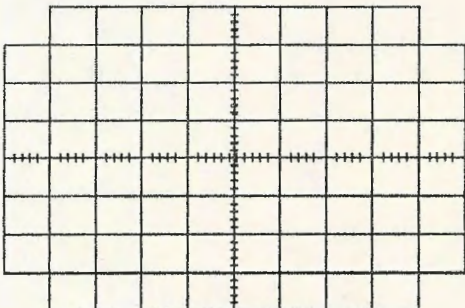
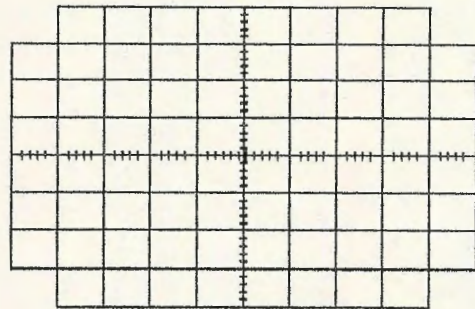
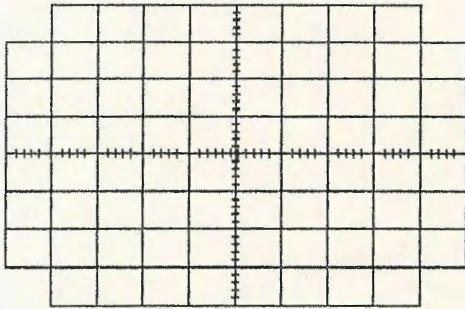
---

## PRACTICA DE LABORATORIO 4.

---

### EJERCICIO PROPUESTO:

Utilizando los Oscilogramas de abajo dibuje las señales que usted estime son importantes en la Transmisión Simultánea de Señales Analógicas. Utilizar 8 señales diferentes pero de frecuencia igual o múltiplo. Las escalas deben ser proporcionadas por el estudiante.



# ANEXO 2.

- HOJA DE ESPECIFICACIONES -

**54/7400**  
**54H/74H00**  
**54S/74S00**  
**54LS/74LS00**

COMPUERTA NAND CUADRUPLE DE 2 ENTRADAS

**DIAGRAMAS DE CONEXION**  
CONEXION A

CODIGO DE ORDENAMIENTO: Véase la sección 9

PAQS	CO-NE-XION	GRADO COMERCIAL	GRADO MILITAR	TIPO DE PAQ
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C a +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C a +125°C	
Plástico DIP (P)	A	7400PC, 74H00PC 74LS00PC, 74S00PC		9A
Cerámica DIP (D)	A	7400DC, 74H00DC 74LS00DC, 74S00DC	5400DM, 54H00DM 54LS00DM, 54S00DM	6A
Plano (F)	A	74LS00FC, 74S00FC	54LS00FM, 54S00FM	3I
	B	7400FC, 74H00FC	5400FM, 54H00FM	

CONEXION B

CARGA DE ENTRADA/FAN-OUT: Véase la sección 3 para definiciones U.L.

TERMINALES	54/74 (U.L.) ALTO/BAJO	54/74H (U.L.) ALTO/BAJO	54/74S (U.L.) ALTO/BAJO	54/74LS (U.L.) ALTO/BAJO
Entradas	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Salidas	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

CARACTERISTICAS DC Y AC. Véase la sección 3\*

SIMBOLO	PARAMETRO	54/74	54/74H	54/74S	54/74LS	UNIDADES	CONDICIONES	
		Mín Máx	Mín Máx	Mín Máx	Mín Máx		V <sub>IN</sub> = Gnd	V <sub>CC</sub> = V <sub>nom</sub>
I <sub>CCH</sub>	Fuente de potencia	8.0	16.8	16	1.6	mA	V <sub>IN</sub> = Gnd	V <sub>CC</sub> = V <sub>nom</sub>
I <sub>CCL</sub>	Corriente	22	40	36	4.4		V <sub>IN</sub> = Abierto	
t <sub>PLH</sub>	Demora en la propagación	22	10	2.0 4.5	10	ns	Figs. 3-1, 3-4	
t <sub>PHL</sub>		15	10	2.0 5.0	10			

\*Los límites DC se aplican en intervalos de temperatura de operación; los límites AC se aplican en T<sub>A</sub> = +25°C y V<sub>CC</sub> = +5.0 V

COMPU

CODIGO DE O

PAQS	CO-NE-XION
Plástico	A
DIP (P)	B
Cerámica	A
DIP (D)	B
Plano (F)	C

CARGA DE ENTR

PUNTAS
Entradas
Salidas

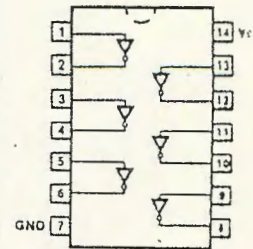
CARACTERISTICA

SIMBOLO	
I <sub>CCH</sub>	Fuente de potencia
I <sub>CCL</sub>	Corriente
t <sub>PLH</sub>	Demora
t <sub>PHL</sub>	

\*Los límites DC se aplican  
\*\*OC — Colector abierto

**54/7404**  
**54H/74H04**  
**54S/74S04**  
**54S/74S04A**  
**54LS/74LS04**  
**INVERTIDOR HEX**

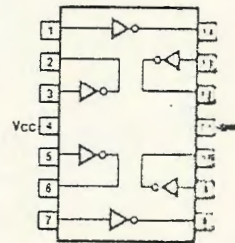
**DIAGRAMAS DE CONEXION**  
**CONEXION A**



CODIGO DE ORDENAMIENTO: Véase la sección 9

PAQS	CO-NE-XION	GRADO COMERCIAL	GRADO MILITAR	TIPO DE PAQ
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C a +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C a +125°C	
Plástico DIP (P)	A	7404PC, 74H04PC 74S04PC, 74S04APC 74LS04PC		9A
Cerámica DIP (D)	A	7404DC, 74H04DC 74S04DC, 74S04ADC 74LS04DC	5404DM, 54H04DM 54S04DM, 54S04ADM 54LS04DM	6A
Plano (F)	A	74S04FC, 74S04AFC 74LS04FC	54S04FM, 54S04AFM 54LS04FM	3I
	B	7404FC, 74H04FC	5404FM, 54H04FM	

**CONEXION B**



CARGA DE ENTRADA/FAN-OUT: Véase la sección 3 para definiciones U.L.

TERMINALES	54/74 (U.L.) ALTO/BAJO	54/74H (U.L.) ALTO/BAJO	54/74S (U.L.) ALTO/BAJO	54/74LS (U.L.) ALTO/BAJO
Entradas	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Salidas	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

CARACTERISTICAS DC Y AC: Véase la sección 3\*

SIMBOLO	PARAMETRO	54/74	54/74H	54/74S	54/74LS	UNIDADES	CONDICIONES
		Mín Máx	Mín Máx	Mín Máx	Mín Máx		
I <sub>CC</sub> H	Fuente de potencia	12	26	24	2.4	mA	V <sub>IN</sub> = Gnd
I <sub>CC</sub> L	Corriente	33	58	54	6.6		V <sub>IN</sub> = A Dió (1.4)
t <sub>PLH</sub>	Demora en la propagación	22	10	2.0 4.5	10	ns	Fig. 3-1, 3-4
t <sub>PHL</sub>	Demora en la propagación (54/74S04A sólo)			1.0 3.5		ns	Fig. 3-1, 3-4

\*Los límites DC se aplican en intervalos de temperatura de operación; los límites AC se aplican en T<sub>A</sub> = +25°C y V<sub>CC</sub> = +5.0 V

CODIGO D

PAQS

Plástico DIP (P)

Cerámica DIP (D)

Plano (F)

CARGA DE E

TERMINALES 54 AL

Entradas Salidas

CARACTERIS

SIMBOLO P

I<sub>CC</sub>H Fuen

I<sub>CC</sub>L Corri

t<sub>PLH</sub> Demo

t<sub>PHL</sub> propa

t<sub>PLH</sub> Demo

t<sub>PHL</sub> propa (54S/

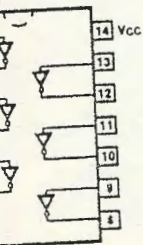
\*Los límites DC se apli

\*\*OC — Colector abier

<h2 style="margin: 0;">54/7406</h2> <h3 style="margin: 0;">INTEGRADO INVERTIDOR HEX/IMPULSOR</h3> <p style="margin: 0;">(Con salida de alto voltaje con colector abierto)</p>					<p><b>DIAGRAMA DE CONEXION</b> CONEXION A</p>		
<p><b>CODIGO DE ORDENAMIENTO:</b> Véase la sección 9</p>							
PAQS	CO-NE-XION	GRADO COMERCIAL $V_{CC} = +5.0\text{ V} \pm 5\%$ , $T_A = 0^\circ\text{C a } +70^\circ\text{C}$	GRADO MILITAR $V_{CC} = +5.0\text{ V} \pm 10\%$ , $T_A = -55^\circ\text{C a } +125^\circ\text{C}$	TIPO DE PAQ			
Plástico DIP (P)	A	7406PC		9A			
Cerámica DIP (D)	A	7406DC	5406DM	6A			
Plano (F)	A	7406FC	5406FM	3I			
<p><b>CARGA DE ENTRADA/FAN-OUT:</b> Véase la sección 3 para definiciones U.L.</p>							
TERMINALES	54/74 (U.L.) ALTO/BAJO						
Entradas	1.0/1.0						
Salidas	OC**/10						
<p><b>CARACTERISTICAS DC Y AC:</b> Véase la sección 3*</p>							
SIMBOLO	PARAMETRO		54/74		UNIDADES	CONDICIONES	
			Mín	Máx			
VOL	Voltaje BAJO de salida	XC		0.7	V	$I_{OL} = 40\text{ mA}$	$V_{CC} = \text{Mín}$ $V_{IN} = V_{IH}$
		XM		0.7		$I_{OL} = 30\text{ mA}$	
		XC, XM		0.4		$I_{OL} = 16\text{ mA}$	
I <sub>OH</sub>	Corriente ALTA de salida			0.25	mA	$V_{OH} = 30\text{ V}$ , $V_{CC} = \text{Mín}$ $V_{IN} = V_{IL}$	
I <sub>CCH</sub>	Corriente de la fuente de potencia			48	mA	$V_{IN} = \text{Gnd}$	$V_{CC} = \text{Máx}$
I <sub>CCL</sub>				51		$V_{IN} = \text{Abierto}$	
t <sub>PLH</sub>	Demora en la propagación			15	ns	Fig. 3-2, 3-4	
t <sub>PHL</sub>				23			
<p>*Los límites DC se aplican a intervalos de temperatura de operación; los límites AC se aplican en <math>T_A = +25^\circ\text{C}</math> y <math>V_{CC} = +5.0\text{ V}</math>. **OC — Colector abierto</p>							

INVERTIDOR	
CODIGO DE ORDENAMIENTO	
PAQS	CONEXION
Plástico DIP (P)	A
Cerámica DIP (D)	A
Plano (F)	A
CARGA DE ENTRADA/FAN-OUT	
TERMINALES	
Entradas	
Salidas	
CARACTERISTICAS DC Y AC	
SIMBOLO	
V <sub>T+</sub>	V <sub>T+</sub>
V <sub>T-</sub>	V <sub>T-</sub>
V <sub>T+</sub> - V <sub>T-</sub>	V <sub>T+</sub> - V <sub>T-</sub>
I <sub>T+</sub>	I <sub>T+</sub>
I <sub>T-</sub>	I <sub>T-</sub>
I <sub>L</sub>	I <sub>L</sub>
I <sub>OS</sub>	I <sub>OS</sub>
I <sub>CCH</sub>	I <sub>CCH</sub>
I <sub>CCL</sub>	I <sub>CCL</sub>
t <sub>PLH</sub>	t <sub>PLH</sub>
t <sub>PHL</sub>	t <sub>PHL</sub>
<p>*Los límites DC **Valor común</p>	

DECONEXION  
XION A



NDICIONES

mA	V <sub>CC</sub> = Mín
mA	V <sub>IN</sub> = V <sub>IH</sub>
mA	
V, V <sub>CC</sub> = Mín	
nd	V <sub>CC</sub> = Máx
uerto	
3-4	
y V <sub>CC</sub> = +5.0 V.	

## 54/7414

### 54LS/74LS14

#### INVERTIDOR CON DISPARADOR DE SCHMITT HEX

CODIGO DE ORDENAMIENTO: Véase la sección 9

PAQS	CO-NE-XION	GRADO COMERCIAL	GRADO MILITAR	TIPO DE PAQ
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C a +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C a +125°C	
Plástico DIP (P)	A	7414PC, 74LS14PC		9A
Carámica DIP (D)	A	7414DC, 74LS14DC	5414DM, 54LS14DM	8A
Plano (F)	A	7414FC, 74LS14FC	5414FM, 54LS14FM	3I

CARGA DE ENTRADA/FAN-OUT: Véase la sección 3 para definiciones U.L.

TERMI-NALES	54/74 (U.L.) ALTO/BAJO	54/74LS (U.L.) ALTO/BAJO
Entradas	1.0/1.0	0.5/0.25
Salidas	20/10	10/5.0 (2.5)

DIAGRAMA DE CONEXION CONEXION A

CARACTERISTICAS DC Y AC: Véase la sección 3\*

SIMBOLO	PARAMETRO	54/74		54/74LS		UNI-DA-DES	CONDICIONES
		Mín	Máx	Mín	Máx		
V <sub>T+</sub>	Voltaje de umbral en sentido positivo	1.5	2.0	1.5	2.0	V	V <sub>CC</sub> = +5.0 V
V <sub>T-</sub>	Voltaje de umbral en sentido negativo	0.6	1.1	0.6	1.1	V	V <sub>CC</sub> = +5.0 V
V <sub>T+</sub> - V <sub>T-</sub>	Voltaje de histéresis	0.4		0.4		V	V <sub>CC</sub> = +5.0 V
I <sub>T+</sub>	Corriente de entrada en umbral en sentido positivo	-0.43**		-0.14**		mA	V <sub>CC</sub> = +5.0 V, V <sub>IN</sub> = V <sub>T+</sub>
I <sub>T-</sub>	Corriente de entrada en umbral en sentido negativo	-0.56**		-0.18**		mA	V <sub>CC</sub> = +5.0 V, V <sub>IN</sub> = V <sub>T-</sub>
I <sub>IL</sub>	Corriente BAJA de entrada	-1.2		-0.4		mA	V <sub>CC</sub> = Máx V <sub>IN</sub> = 0.4 V
I <sub>OS</sub>	Corr. de corto circuito de salida	-18	-55	-20	-100	mA	V <sub>CC</sub> = Máx V <sub>OUT</sub> = 0 V
I <sub>CCH</sub>	Corriente de fuente de energía	36		16		mA	V <sub>IN</sub> = Gnd
I <sub>CCL</sub>		60		21			V <sub>IN</sub> = Abierto
t <sub>PLH</sub>	Demora en la propagación	22		22		ns	Figs. 3-1, 3-15.
t <sub>PHL</sub>		22		22			

\*Los límites DC se aplican en intervalos de temperatura de operación; los límites AC se aplican en T<sub>A</sub> = +25°C y V<sub>CC</sub> = +5.0 V  
 \*\*Valor común



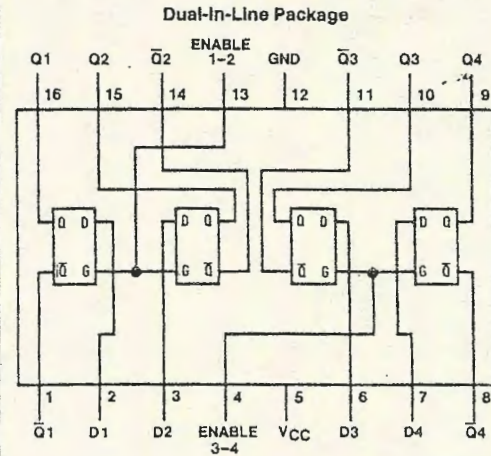
# DM54LS75/DM74LS75 Quad Latches

## General Description

These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable is high, and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go high.

These latches feature complementary Q and  $\bar{Q}$  outputs from a 4-bit latch, and are available in 16-pin packages.

## Connection Diagram



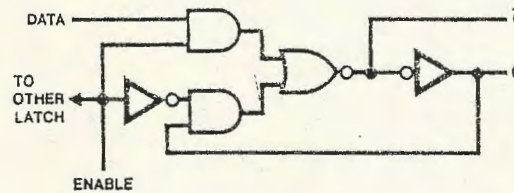
## Function Table (Each Latch)

Inputs		Outputs	
D	Enable	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	$Q_0$	$\bar{Q}_0$

H = High Level, L = Low Level, X = Don't Care  
 $Q_0$  = The Level of Q Before the High-to-Low Transition of ENABLE

Order Number DM54LS75J, DM54LS75W,  
 DM74LS75M or DM74LS75N  
 See NS Package Number J16A, M16A, N16A or W16A

## Logic Diagram (Each Latch)



TL/F/6374-2

range (unless otherwise noted)

Typ (Note 1)	Max	Units
	-1.5	V
3.4		V <sup>a</sup>
3.4		V <sup>a</sup>
0.25	0.4	V
0.35	0.5	
0.25	0.4	
	0.1	mA
	0.1	
	0.2	
	0.2	
	20	$\mu$ A
	20	
	40	
	40	
	-0.4	mA
	-0.4	
	-0.8	
	-0.8	mA
	-100	
	-100	
4	8	mA

cases, with feedback from the outputs, when  $V_{DD} = 2.25V$  and  $2.125V$  for DM54 and DM74. This is very useful when using automatic test

Test Waveforms and Output Load)

$2 k\Omega$		Units
$C_L = 50 pF$		
Min	Max	
20		MHz
	35	ns
	35	ns
	35	ns
	35	ns
	35	ns
	35	ns



### Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

### Recommended Operating Conditions

Symbol	Parameter	DM54LS75			DM74LS75			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
t <sub>w</sub>	Enable Pulse Width (Note 4)	20			20			ns
t <sub>SU</sub>	Setup Time (Note 4)	20			20			ns
t <sub>H</sub>	Hold Time (Note 4)	0			0			ns
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

### Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	2.5	3.5	V
			DM74	2.7	3.5	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	0.25	0.4	V
			DM74	0.35	0.5	
			I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V	D		0.1	mA
			Enable		0.4	
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V	D		20	μA
			Enable		80	
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V	D		-0.4	mA
			Enable		-1.6	
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	-20	-100	mA
			DM74	-20	-100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)		6.3	12	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs open and all inputs grounded.

Note 4: T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

### Switching Character

Symbol	Parameter
t <sub>PLH</sub>	Propagation Delay Low to High Level
t <sub>PLL</sub>	Propagation Delay High to Low Level
t <sub>PHL</sub>	Propagation Delay Low to High Level
t <sub>PLH</sub>	Propagation Delay High to Low Level
t <sub>PHL</sub>	Propagation Delay Low to High Level
t <sub>PLH</sub>	Propagation Delay Low to High Level
t <sub>PHL</sub>	Propagation Delay High to Low Level

**Switching Characteristics** at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\ k\Omega$				Units
			$C_L = 15\ pF$		$C_L = 50\ pF$		
			Min	Max	Min	Max	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	D to Q		27		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	D to Q		17		25	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	D to $\bar{Q}$		20		25	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	D to $\bar{Q}$		15		20	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to Q		27		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to Q		25		30	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to $\bar{Q}$		30		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to $\bar{Q}$		15		20	ns

are these values  
cannot be guaran-  
these limits. The  
Characteristics"  
maximum ratings"  
table will define

Max	Units
5.25	V
	V
0.8	V
-0.4	mA
8	mA
	ns
	ns
	ns
70	°C

erwise noted)

Max	Units
-1.5	V
	V
0.4	
0.5	V
0.4	
0.1	mA
0.4	
20	$\mu A$
80	
-0.4	mA
-1.6	
-100	mA
-100	
12	mA



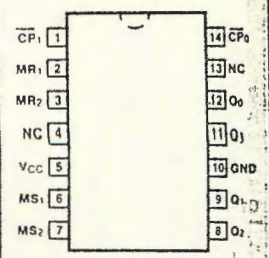
## 54/7490A 54LS/74LS90 CONTADOR DE DECENAS

**DESCRIPCION** — El '90 es un contador de ondas de 4 fases que contiene un biestable de alta velocidad que actúa como una división por dos y tres biestables conectados como un contador de división por cinco. Puede ser conectado para operar con un modelo de salida BCD convencional o bien puede conectarse para ofrecer una salida de ciclo útil al 50%. En el modo BCD, las señales ALTAS en las entradas Master Set (MS) fijan las salidas a nueve en BCD. Las señales ALTAS en las entradas Master Reset (MR) forzan a todas las salidas a ser BAJAS. Para un contador similar con terminales de potencia en las esquinas, véase el 'LS290; para versiones dobles, véase el 'LS390 y 'LS490.

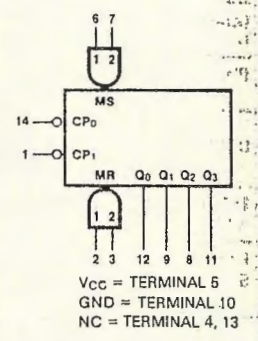
**CODIGO DE ORDENAMIENTO:** Véase la sección 9

PAQSS	CO- NE- XION	GRADO COMERCIAL	GRADO MILITAR	TIPO DE PAQ
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C a +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C a +125°C	
Plástico DIP (P)	A	7490APC, 74LS90PC		9A
Cerámica DIP (D)	A	7490ADC, 74LS90DC	5490ADM, 54LS90DM	6A
Plano (F)	A	7490AFC, 74LS90FC	5490AFM, 54LS90FM	3I

**DIAGRAMA DE CONEXION  
CONEXION A**



**SIMBOLO LOGICO**

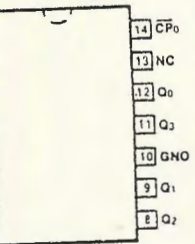


**CARGA DE ENTRADA/FAN-OUT:** Véase la sección 3 para definiciones U.L.

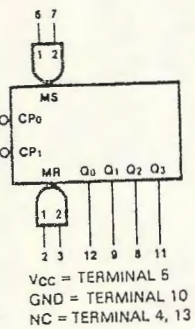
NOMBRES DE PUNTAS	DESCRIPCION	54/74 (U.L.) ALTO/BAJO	54/74LS (U.L.) ALTO/BAJO
$\overline{CP}_0$	Entrada de cronómetro de sección/2 (Cambio descendente activa)	2.0/2.0	0.125/1.5
$\overline{CP}_1$	Entrada de cronómetro de sección/5 (Cambio descendente activa)	3.0/3.0	0.250/2.0
MR <sub>1</sub> , MR <sub>2</sub>	Entradas Master Reset asincrónicas (ALTA activa)	1.0/1.0	0.5/0.25
MS <sub>1</sub> , MS <sub>2</sub>	Master set asíncrono (Prefijar 9) Entradas (ALTA activa)	1.0/1.0	0.5/0.25
Q <sub>0</sub>	Salida de sección/2*	20/10	10/5.0 (2.5)
Q <sub>1</sub> — Q <sub>3</sub>	Salidas de sección/5	20/10	10/5.0 (2.5)

\*La salida Q<sub>0</sub> asegura conducirá el fan out a máxima velocidad más la entrada  $\overline{CP}_1$ .

ESQUEMA DE CONEXION  
CONEXION A



SIMBOLO LOGICO



54/74LS (U.L.) ALTO/BAJO
0.125/1.5
0.250/2.0
0.5/0.25
0.5/0.25
10/5.0 (2.5)
10/5.0 (2.5)

**DESCRIPCION FUNCIONAL** — El '90 es un contador de decenas de 4 bits del tipo de ondas. Consta de cuatro biestables primario/secundarios que se conectan internamente para ofrecer una sección de división por dos y una de división por cinco. Cada sección tiene una entrada de cronómetro aparte que inicia cambios de estado del contador en la transición del cronómetro de ALTO a BAJO. Los cambios de estado de las salidas Q no ocurren simultáneamente debido a las demoras internas de las ondas. Por lo tanto, las señales de salida decodificadas están sujetas a fallas de decodificación y no deben utilizarse para cronómetros o estroboscopios. La salida Q<sub>0</sub> de cada dispositivo está diseñada y especificada para impulsar el fan-out clasificado más la entrada CP<sub>1</sub>. Se proporciona un Master Reset asincrónico con compuertas AND (MR<sub>1</sub>, MR<sub>2</sub>) que elimina los cronómetros y las entradas MR y fija las salidas a nueve (HLLH). Ya que la salida de la sección de división por dos no se conecta internamente a las fases sucesivas, los dispositivos pueden ser operados en diversos modos de conteo:

- A. Contador de decenas BCD (8421) — La entrada CP<sub>1</sub> debe conectarse externamente a la salida Q<sub>0</sub>. La entrada CP<sub>0</sub> recibe el conteo entrante y se produce una secuencia de conteo BCD.
- B. Contador simétrico biquinario de división por diez — La salida Q<sub>3</sub> debe conectarse externamente a la entrada CP<sub>0</sub>. El conteo de entrada se aplica después a la entrada CP<sub>1</sub> y se obtiene una onda cuadrada de división por diez en la salida Q<sub>0</sub>.
- C. Contador de división por dos y división por cinco — No se requieren interconexiones externas. El primer biestable se usa como un elemento binario para la función de división por dos (CP<sub>0</sub> como entrada y Q<sub>0</sub> como salida). La entrada CP<sub>1</sub> se utiliza para obtener una operación binaria de división por cinco en la salida Q<sub>3</sub>.

SELECCION DEL MODO

ENTR. RESET/SET				SALIDAS			
MR <sub>1</sub>	MR <sub>2</sub>	MS <sub>1</sub>	MS <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Conteo			
X	L	X	L	Conteo			
L	X	X	L	Conteo			
X	L	L	X	Conteo			

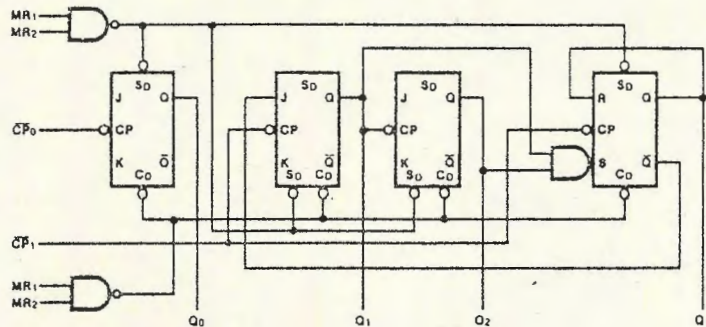
H = Nivel de voltaje ALTO  
L = Nivel de voltaje BAJO  
X = Inmaterial

SECUENCIA DE CONTEO BCD

CON-TEO	SALIDAS			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTA: La salida Q<sub>0</sub> se conecta a la entrada CP<sub>1</sub> para realizar el conteo BCD.

DIAGRAMA LOGICO



**54/7493A**  
**54LS/74LS93**  
CONTADOR DE DIVISION POR DIECISEIS

DESCRIPCION — El '93 es un contador de ondas de 4 fases que contiene un biestable de alta velocidad que actúa como una división por dos y tres biestables conectados como división por ocho. Las señales ALTAS en las entradas Master Reset (MR) eliminan los cronómetros y fuerzan a todas las salidas a estar en el estado BAJO.

CODIGO DE ORDENAMIENTO: Véase la sección 9

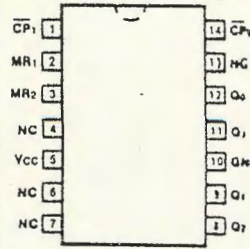
PAQS	CO-NE-XION	GRADO COMERCIAL	GRADO MILITAR	TIPO DE PAQ
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C a +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C a +125°C	
Plástico DIP (P)	A	7493APC, 74LS93PC		9A
Cerámica DIP (D)	A	7493ADC, 74LS93DC	5493ADM, 54LS93DM	8A
Plano (F)	A	7493AFC, 74LS93FC	5493AFM, 54LS93FM	3I

CARGA DE ENTRADA/FAN-OUT: Véase la sección 3 para definiciones U.L.

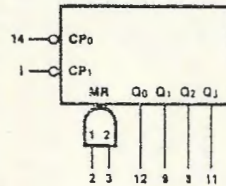
NOMBRES DE TERMINALES	DESCRIPCION	54/74 (U.L.) ALTO/BAJO	54/74LS (U.L.) ALTO/BAJO
CP <sub>0</sub>	Entrada de cronómetro de sección/2 (Cambio descendente activa)	2.0/2.0	1.0/1.5
CP <sub>1</sub>	Entrada de cronómetro de sección/5 (Cambio descendente activa)	2.0/2.0	1.0/1.0
MR <sub>1</sub> , MR <sub>2</sub>	Entradas asincrónicas Master Reset (ALTA activa)	1.0/1.0	0.5/0.25
Q <sub>0</sub>	Salida de sección/2*	20/10	10/5.0 (2.5)
Q <sub>1</sub> —Q <sub>3</sub>	Salidas de sección/8	20/10	10/5.0 (2.5)

\*La salida Q<sub>0</sub> asegura impulsar el fan-out de máxima velocidad más la entrada CP<sub>1</sub>.

DIAGRAMA DE CONEXION  
CONEXION A



SIMBOLO LOGICO



V<sub>CC</sub> = Terminal 5  
GND = Terminal 10  
NC = Terminales 4, 6, 7 y 13

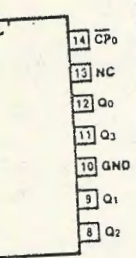
DESCRIPCION  
biestables primarios y una de división de estado del contador. No ocurren simultáneamente. La salida Q<sub>0</sub> es la entrada CP<sub>1</sub> del biestable. Esto elimina los cronómetros si no se conectan. Los modos de contador de onda son:  
A. Contador de onda del contador de onda en las salidas.  
B. Contador de onda se aplican a las salidas Q<sub>1</sub>, Q<sub>2</sub> y Q<sub>3</sub> del contador de onda.

SELECCION

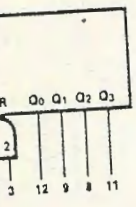
ENTRADA RESET	
MR <sub>1</sub>	MR <sub>2</sub>
H	H
L	H
H	L
L	L

H = Nivel de alta  
L = Nivel de baja

E CONEXION  
ION A



LO LOGICO



Terminal 5  
Terminal 10  
Terminales 4, 6, 7 y 13

54/74LS (U.L.)  
ALTO/BAJO

- 1.0/1.5
- 1.0/1.0
- 0.5/0.25
- 10/5.0 (2.5)
- 10/5.0 (2.5)

**DESCRIPCION FUNCIONAL** — El '93 es un contador binario del tipo de ondas de 4 bits. Consta de cuatro biestables primario/secundarios que se conectan internamente para ofrecer una sección de división por dos y una de división por ocho. Cada sección tiene una entrada de cronómetro aparte que inicia cambios de estado del contador en la transición del cronómetro de ALTO a BAJO. Los cambios de estado de las salidas Q no ocurren simultáneamente debido a las demoras internas de las ondas. Por lo tanto, las señales de salida decodificadas están sujetas a fallas de decodificación y no deben utilizarse para cronómetros o estroboscopios. La salida Q<sub>0</sub> de cada dispositivo está diseñada y especificada para impulsar el fan-out clasificado más la entrada  $\overline{CP}_1$  del dispositivo. Se ofrece un Master Reset asincrónico con compuertas AND (MR<sub>1</sub>, MR<sub>2</sub>) que elimina los cronómetros y recoloca (limpia) todos los biestables. Ya que la salida de la sección de división por dos no se conecta internamente a las fases sucesivas, los dispositivos pueden ser operados en diversos modos de conteo.

- A. Contador de tipo de ondas de 4 bits. La salida Q<sub>0</sub> debe estar conectada a la entrada  $\overline{CP}_1$ . Los pulsos del contador de entrada se aplican a la entrada  $\overline{CP}_0$ . Las divisiones simultáneas de 2, 4, 8 y 16 se efectúan en las salidas Q<sub>0</sub>, Q<sub>1</sub>, Q<sub>2</sub> y Q<sub>3</sub> como se muestra en la tabla de verdad.
- B. Contador de tipo de ondas de 3 bits. Los pulsos del contador de entrada se aplican a la entrada  $\overline{CP}_1$ . Las divisiones simultáneas de frecuencia de 2, 4, y 8 están disponibles en las salidas Q<sub>1</sub>, Q<sub>2</sub> y Q<sub>3</sub>. Se dispone del uso independiente del primer flip-flop si la función reset coincide con el contador de tipo de ondas de 3 bits.

SELECCION DE MODO

ENTRADA RESET		SALIDAS			
MR <sub>1</sub>	MR <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
H	H	L	L	L	L
L	H	Conteo			
H	L	Conteo			
L	L	Conteo			

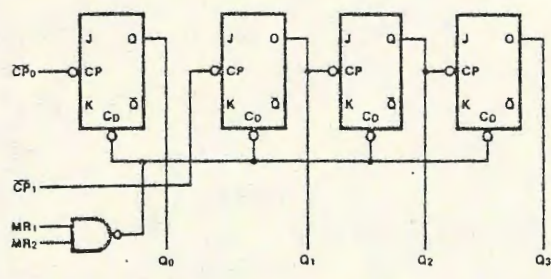
H = Nivel de voltaje ALTO  
L = Nivel de voltaje BAJO

TABLA DE VERDAD

CON-TEO	SALIDAS			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTA: Salida Q<sub>0</sub> conectada a  $\overline{CP}_1$

DIAGRAMA LOGICO



TYPICAL APPLICATION DATA

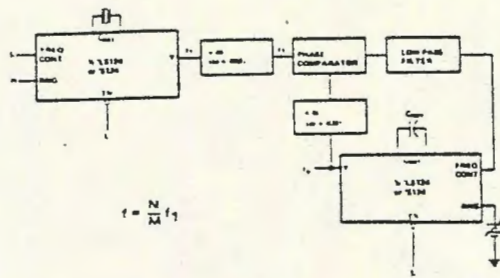


FIGURE 1—PHASE-LOCKED LOOP

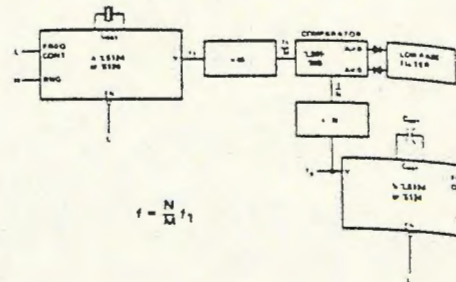


FIGURE 2—HIGH-FREQUENCY PHASE-LOCKED LOOP

TYPICAL CHARACTERISTICS ('S124 only)

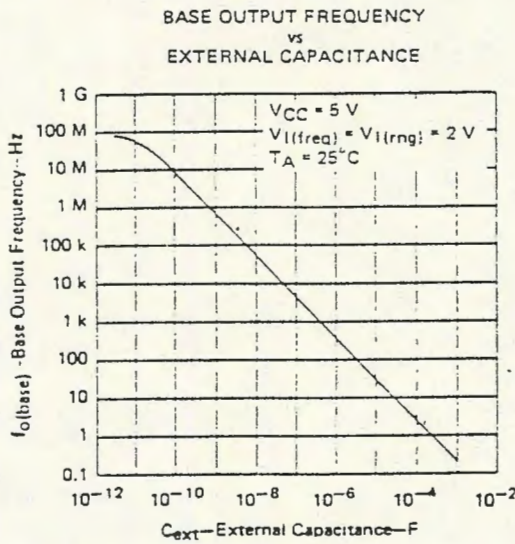


FIGURE 3

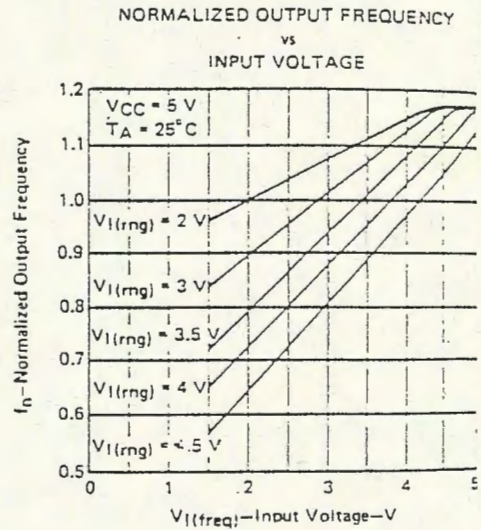


FIGURE 4

NOTE:  $f_o = f_n \times f_{o(base)}$ .

- Fully C
- TTL M
- Fully S
- Delay
- Can O
- Low)

schematics o

absolute  
Supr  
Inpt  
Ope  
Sto

NOTE 1: V

## 54/74121 MULTIVIBRADOR MONOESTABLE

**DESCRIPCION** — El '121 se caracteriza por entradas activadoras de nivel dc positivo y negativo y salidas complementarias. La terminal de entrada 5 activa directamente un circuito Schmitt que ofrece detección de nivel compensado de temperatura, aumenta la inmunidad a ruido positivo y asegura una respuesta libre de variaciones para elevar lentamente los niveles de los disparadores.

Cuando ocurre la activación o disparo, la retroalimentación interna obstruye el circuito, evita reactivación mientras el pulso de salida progresa y aumenta la inmunidad a ruido negativo. La inmunidad al ruido es comúnmente de 1.2 V en las entradas y 1.5 V en Vcc.

La amplitud del pulso de salida es principalmente una función de Rx y Cx externas elegidas para la aplicación. Se ofrece una resistencia interna de 2 kohms para uso óptimo donde los requisitos de estabilidad de la amplitud de pulso de salida son menos exigentes. La capacidad máxima de ciclo útil varía de 67% con una resistencia de 2 kohms a 90% con una de 40 kohms. Los ciclos útiles más allá de este intervalo tienden a reducir la amplitud del pulso de salida. En caso contrario, la amplitud del mismo a la salida sigue o guarda la relación:

$$t_w = 0.69 R_x C_x$$

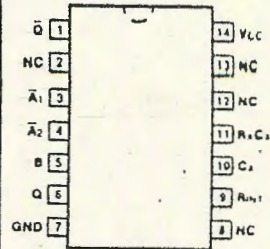
**CODIGO DE ORDENAMIENTO:** Véase la sección 9

PAQS	CO-NE-XION	GRADO COMERCIAL	GRADO MILITAR	TIPO DE PAQ.
		Vcc = +5.0 V ±5%, TA = 0°C a +70°C	Vcc = +5.0 V ±10%, TA = -55°C a +125°C	
Plástico DIP (P)	A	74121PC		9A
Cerámica DIP (D)	A	74121DC	54121DM	6A
Plano (F)	A	74121FC	54121FM	3I

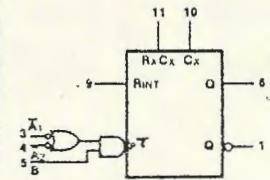
**CARGA DE ENTRADA/FAN-OUT:** Véase la sección 3 para definiciones U.L.

NOMBRES DE PUNTAS	DESCRIPCION	54/74 (U.L.) ALTO/BAJO
A <sub>1</sub> , A <sub>2</sub>	Entradas activadas en él (cambio descendente activa)	1.0/1.0
B	Activador o disparador Schmitt (cambio ascendente activa)	2.0/2.0
Q, Q̄	Salidas	20/10

**DIAGRAMA DE CONEXION  
CONEXION A**



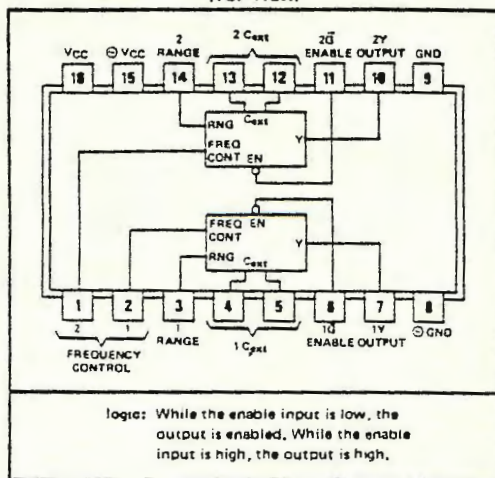
**SIMBOLO LOGICO**



Vcc = Terminal 14  
GND = Terminal 7  
NC = Terminales 2, 8, 12 y 13

- Two Independent VCO's in a 16-Pin Package
- Output Frequency Set by Single External Component:
  - Crystal for High-Stability Fixed-Frequency Operation
  - Capacitor for Fixed- or Variable-Frequency Operation
- Separate Supply Voltage Pins for Isolation of Frequency Control Inputs and Oscillators from Output Circuitry
- Highly Stable Operation over Specified Temperature and/or Supply Voltage Ranges

SN54LS124, SN54S124... J OR W PACKAGE  
SN74LS124, SN74S124... J OR N PACKAGE  
(TOP VIEW)



Logic: While the enable input is low, the output is enabled. While the enable input is high, the output is high.

TYPE	GUARANTEED FREQUENCY SPECTRUM	TYPICAL $f_{max}$	TYPICAL POWER DISSIPATION
'LS124	1 Hz to 20 MHz	30 MHz	150 mW
'S124	1 Hz to 60 MHz	85 MHz	525 mW

description

The 'LS124 and 'S124 feature two independent voltage-controlled oscillators (VCO) in a single monolithic chip. The output frequency of each VCO is established by a single external component, either a capacitor or a crystal, in combination with two voltage-sensitive inputs, one for frequency range and one for frequency control. These inputs can be used to vary the output frequency as shown under typical characteristics for the 'S124. The concept also applies for the 'LS124. These highly stable oscillators can be set to operate at any frequency typically between 0.12 Hz and 30 MHz ('LS124) or 0.12 hertz and 85 megahertz ('S124). Under the conditions used in Figure 3, the output frequency can be approximated as follows:

$$f_o = \frac{1 \times 10^{-4}}{C_{ext}} \text{ for 'LS124, } f_o = \frac{5 \times 10^{-4}}{C_{ext}} \text{ for 'S124}$$

where:  $f_o$  = output frequency in hertz

$C_{ext}$  = external capacitance in farads.

These devices can operate from a single 5-volt supply. However, one set of supply-voltage and ground pins ( $V_{CC}$  and GND) is provided for the enable, synchronization-gating, and output sections, and a separate set ( $\ominus V_{CC}$  and  $\ominus GND$ ) is provided for the oscillator and associated frequency-control circuits so that effective isolation can be accomplished in the system.

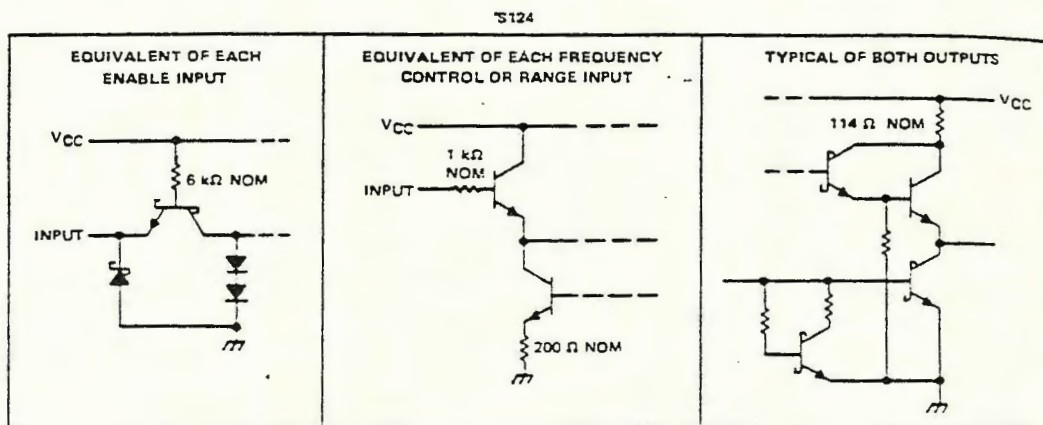
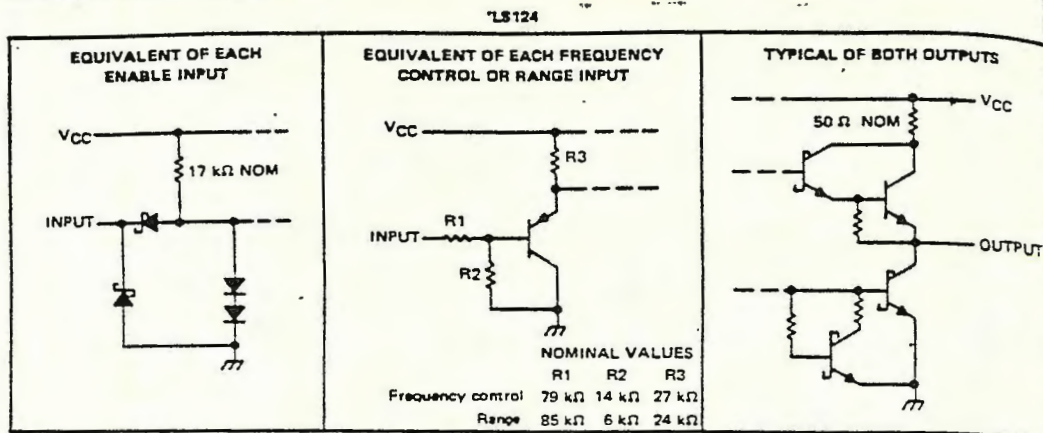
The enable input of these devices starts or stops the output pulses when it is low or high, respectively. The internal oscillator of the 'LS124 runs continuously even while the output is disabled, whereas the internal oscillator of the 'S124 is itself started and stopped by the enable input. The enable input is one standard load in each series. The enable input and the buffered output operate at standard Schottky-clamped TTL levels.

The pulse synchronization-gating section ensures that the first output pulse is neither clipped nor extended. Duty cycle of the square-wave output is fixed at approximately 50 percent.

The SN54LS124 and SN54S124 are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ ; the SN74LS124 and SN74S124 are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

# TYPES SN54LS124, SN54S124, SN74LS124, SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

## Schematics of inputs and outputs



### absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Notes 1 and 2)	7 V
Input voltage: 'LS124 Enable input	7 V
'LS124 Frequency control or range input	$V_{CC}$
'S124	5.5 V
Operating free-air temperature range: SN54LS124, SN54S124	-55°C to 125°C
SN74LS124, SN74S124	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. Voltage values are with respect to the appropriate ground terminal.

2. Throughout this data sheet, the symbol  $V_{CC}$  is used for the voltage applied to both the  $V_{CC}$  and  $\ominus V_{CC}$  terminals, unless otherwise noted.

### Recommended operating

Supply voltage, $V_{CC}$	
Input voltage at frequency control	
High-level output current, $I_{OH}$	
Low-level output current, $I_{OL}$	
Output frequency (enabled), $f_o$	
Operating free-air temperature	

### Electrical characteristic

PARAMETER	
$V_{IH}$	High-level input voltage at enable
$V_{IL}$	Low-level input voltage at enable
$V_{IK}$	Input clamp voltage at enable
$V_{OH}$	High-level output voltage
$V_{OL}$	Low-level output voltage
$I_{i1}$	Input current
$I_{i2}$	Input current at maximum input voltage
$I_{IH}$	High-level input current
$I_{IL}$	Low-level input current
$I_{OS}$	Short-circuit output supply current, to pins 15 and 16
$I_{CC}$	Supply current, to pins 15 and 16

For conditions shown at  $\Delta$  All typical values are at  $\Delta$  Not more than one output  
NOTE 2:  $I_{CC}$  is measured

### switching character

$t_o$	Output frequency
$t_o$	Output frequency
	Output duty cycle
$t_{PHL}$	Propagation delay high-to-low-level

\*The delay will typically be the enable pulse width

recommended operating conditions

	SN54LS124			SN74LS124			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
Input voltage at frequency control or range input, $V_I(\text{freq})$ or $V_I(\text{rng})$	0		5	0		5	V
High-level output current, $I_{OH}$			-1.2			-1.2	mA
Low-level output current, $I_{OL}$			12			24	mA
Output frequency (enabled), $f_o$	1			1			Hz
			20			20	MHz
Operating free-air temperature, $T_A$	-55	125		0		70	$^{\circ}\text{C}$

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>†</sup>	SN54LS124			SN74LS124			UNIT
		MIN	TYP <sup>‡</sup>	MAX	MIN	TYP <sup>‡</sup>	MAX	
$V_{IH}$ High-level input voltage at enable		2			2			V
$V_{IL}$ Low-level input voltage at enable				0.7			0.8	V
$V_{IK}$ Input clamp voltage at enable	$V_{CC} = \text{MIN.}, I_I = -18 \text{ mA}$			-1.5			-1.5	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, I_{OH} = -1.2 \text{ mA}$	2.5	3.4		2.7	3.4		V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN.}, \ominus V_{CC} \text{ open}, I_{OL} = 12 \text{ mA}$ $V_{IL} = V_{IL \text{ max}}, I_{OL} = 24 \text{ mA}$		0.25	0.4		0.25	0.4	V
$I_I$ Input current	Free control or range $V_{CC} = \text{MAX.}$		50	250		50	250	$\mu\text{A}$
			10	50		10	50	
$I_I$ Input current at maximum input voltage	Enable $V_{CC} = \text{MAX.}, V_I = 7 \text{ V}$			0.1			0.1	mA
$I_{IH}$ High-level input current	Enable $V_{CC} = \text{MAX.}, V_I = 2.7 \text{ V}$			20			20	$\mu\text{A}$
$I_{IL}$ Low-level input current	Enable $V_{CC} = \text{MAX.}, V_I = 0.4 \text{ V}$			-0.4			-0.4	mA
$I_{OS}$ Short-circuit output current	$V_{CC} = \text{MAX.}$	-40		-225	-40		-225	mA
$I_{CC}$ Supply current, total pins 15 and 16	$V_{CC} = \text{MAX.}$ See Note 2		30	50		30	50	mA

<sup>†</sup>For conditions shown as MIN. or MAX. use the appropriate value specified under recommended operating conditions.

<sup>‡</sup>All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ .

<sup>§</sup>Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

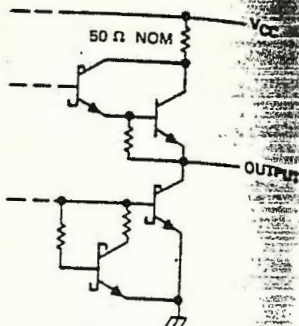
NOTE 2:  $I_{CC}$  is measured with the outputs disabled and open.

switching characteristics,  $V_{CC} = 5 \text{ V}$  (unless otherwise noted),  $R_L = 667 \Omega, C_L = 45 \text{ pF}, T_A = 25^{\circ}\text{C}$

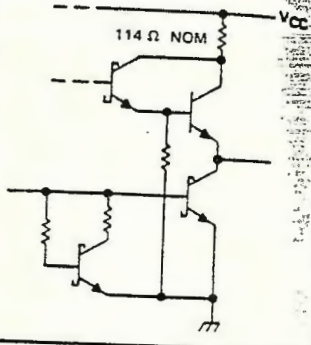
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_o$ Output frequency (control or range)	$C_{\text{ext}} = 2 \text{ pF}$ $V_I(\text{freq}) = 4 \text{ V}, V_I(\text{rng}) = 1 \text{ V}$ $V_I(\text{freq}) = 1 \text{ V}, V_I(\text{rng}) = 5 \text{ V}$	20	30		MHz
$f_o$ Output frequency (enable control)	$\ominus V_{CC} = 3 \text{ V}, V_I(\text{freq}) = V_I(\text{rng}) = 0 \text{ V}$	10	20		MHz
Output duty cycle	$C_{\text{ext}} = 8.3 \text{ pF}$ to $500 \mu\text{F}$		50%		
$t_{PHL}$ Propagation delay time, high-to-low-level output transition	$f_o > 1 \text{ Hz}$		30*		ns

\*The delay will typically be 30 ns plus  $\frac{1 \times 10^9}{f_o(\text{MHz})}$  ns depending upon the timing of the enable pulse with respect to the signal generated by the internal oscillator.

TYPICAL OF BOTH OUTPUTS



TYPICAL OF BOTH OUTPUTS



less otherwise noted)

- ..... 7V
- ..... 7V
- .....  $V_{CC}$
- ..... 5.5V
- .....  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$
- .....  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$
- .....  $-65^{\circ}\text{C}$  to  $150^{\circ}\text{C}$

the  $V_{CC}$  and  $\ominus V_{CC}$  terminals, unless other

# TYPES SN54S124, SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

## recommended operating conditions

	SN54S124			SN74S124			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$ (see Note 1)	4.5	5	5.5	4.75	5	5.25	V
Input voltage at frequency control or range input, $V_{I(freq)}$ or $V_{I(rng)}$	1		5	1		5	V
High-level output current, $I_{OH}$			-1			-1	mA
Low-level output current, $I_{OL}$			20			20	mA
Output frequency (enabled), $f_o$	1			1			Hz
			60			60	MHz
Operating free-air temperature, $T_A$	-55		125	0		70	$^{\circ}$ C

NOTE 1: Throughout this data sheet, the symbol  $V_{CC}$  is used for the voltage applied to both pins 15 and 16.

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS <sup>†</sup>	MIN	TYP <sup>‡</sup>	MAX	UNIT	
$V_{IH}$	High-level input voltage at enable		2			V	
$V_{IL}$	Low-level input voltage at enable				0.8	V	
$V_{IK}$	Input clamp voltage at enable	$V_{CC} = \text{MIN.}$ , $I_I = -18 \text{ mA}$			-1.2	V	
$V_{OH}$	High-level output voltage	$V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V}$ , $I_{OH} = -1 \text{ mA}$	SN54S <sup>†</sup>	2.5	3.4	V	
			SN74S <sup>†</sup>	2.7	3.4		
$V_{OL}$	Low-level output voltage	$V_{CC} = \text{MIN.}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OL} = 20 \text{ mA}$			0.5	V	
$I_I$	Input current	Freq control or range	$V_{CC} = \text{MAX.}$	$V_I = 5 \text{ V}$	10	50	$\mu$ A
				$V_I = 1 \text{ V}$	1	15	
$I_{II}$	Input current at maximum input voltage	Enable	$V_{CC} = \text{MAX.}$ , $V_I = 5.5 \text{ V}$		1	mA	
$I_{IH}$	High-level input current	Enable	$V_{CC} = \text{MAX.}$ , $V_I = 2.7 \text{ V}$		50	$\mu$ A	
$I_{IL}$	Low-level input current	Enable	$V_{CC} = \text{MAX.}$ , $V_I = 0.5 \text{ V}$		-2	mA	
$I_{OS}$	Short-circuit output current <sup>§</sup>		$V_{CC} = \text{MAX.}$	-40	-100	mA	
$I_{CC}$	Supply current, total into pins 15 and 16		$V_{CC} = \text{MAX.}$ , See Note 2	105	150	mA	
			$V_{CC} = \text{MAX.}$ , $T_A = 125^{\circ}\text{C}$ , See Note 2	W package only	110		

<sup>†</sup>For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

<sup>‡</sup>All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$ .

<sup>§</sup>Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

NOTE 2:  $I_{CC}$  is measured with the outputs disabled and open.

## switching characteristics, $V_{CC} = 5 \text{ V}$ , $R_L = 280 \Omega$ , $C_L = 15 \text{ pF}$ , $T_A = 25^{\circ}\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$f_o$	Output frequency	$C_{ext} = 2 \text{ pF}$	$V_{I(freq)} = 4 \text{ V}$ , $V_{I(rng)} = 1 \text{ V}$	60	85	MHz
			$V_{I(freq)} = 1 \text{ V}$ , $V_{I(rng)} = 5 \text{ V}$	25	40	
	Output duty cycle	$C_{ext} = 8.3 \text{ pF}$ to $500 \mu\text{F}$		50%		
$t_{PHL}$	Propagation delay time, high-to-low-level output from enable	$f_o = 1 \text{ Hz}$ to $20 \text{ MHz}$		1.4	s	
			$f_o = 20 \text{ MHz}$	70		ns

Running oscillator

Free-running oscillators require a timing capacitor or a crystal. It is recommended to vary the output frequency by varying the timing capacitor.

When the 'S124 is excited by a timing capacitor (5 to 15 pF), the output frequency is independent of the input frequency control input over temperature and supply voltage.

When the 'LS124 is used as a free-running oscillator, the series resistance of the timing capacitor should be less than the maximum recommended value.

locked loops

A basic crystal-controlled oscillator consists of:

- A highly stable crystal.
- A highly stable amplifier.
- A highly efficient frequency divider.

With fixed division ratios, the output frequency is independent of the input frequency.

The crystal-controlled oscillator is used for higher frequencies. It may be necessary to use a crystal with a high Q factor.

- Frequencies up to 10 MHz can be used.
- Any value of frequency can be used.
- Previously mentioned frequencies are not recommended.

b. In another version, the SN54S85/SN74S85 is a simplified version of the SN54S124/SN74S124.

# TYPES SN54LS124, SN54S124, SN74LS124, SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

## TYPICAL APPLICATION DATA

SN54S124		SN74S124			UNIT
NOM	MAX	MIN	NOM	MAX	
5	5.5	4.75	5	5.25	V
	5	1		5	V
	-1			-1	mA
	20			20	mA
		1			Hz
	60			60	MHz
	125	0		70	°C

pins 15 and 16.

range (unless otherwise noted)

UNIT	MIN	TYP	MAX	UNIT
	2			V
			0.8	V
			-1.2	V
SN54S*	2.5	3.4		V
SN74S*	2.7	3.4		V
			0.5	V
V <sub>I</sub> = 5 V		10	50	μA
V <sub>I</sub> = 1 V		1	15	μA
			1	mA
			50	μA
			-2	mA
	-40		-100	mA
		105	150	
W package only			110	mA

operating conditions, not exceed one second.

	MIN	TYP	MAX	UNIT
(I <sub>trng</sub> ) = 1 V	60	85		MHz
(I <sub>trng</sub> ) = 5 V	25	40		MHz
		50%		
		1.4		s
		f <sub>o</sub> (Hz)		
		70		ns

### Free-running oscillator

Free-running oscillators can be implemented for most systems by setting the output frequency of the VCO with either a capacitor or a crystal. If excitation is provided with a capacitor the frequency control and/or range inputs can be used to vary the output frequency.

When the 'S124 is excited with a crystal, low-frequency response (< 1 MHz) can be improved if a relatively small capacitor (5 to 15 pF) is paralleled with the crystal. When operated at the fundamental frequency of a crystal, the frequency control input should be high (≈ 5 V) and the range input should be low (grounded) for maximum stability over temperature and supply voltage variations.

When the 'LS124 is excited with a crystal, a small capacitor (2 to 10 pF) should be placed in series with the crystal and the ⊖ V<sub>CC</sub> supply should be lowered to approximately 3 V. A series-resonant, fundamental-mode crystal with series resistance less than 200 ohms should be used. The frequency control and range inputs should be grounded. The maximum recommended frequency for crystal-excited operation is 10 MHz.

### Phase-locked loops

A basic crystal-controlled phase-locked loop is illustrated in Figure 1. This application can be used for implementation of:

- A highly stable fixed-frequency clock generator.
- A highly stable fixed- or variable-frequency synthesizer.
- A highly efficient "slave-clock" system for synchronizing off-card, remote, or data-interfacing clock systems.

With fixed division rates for both M and N, the output frequency (f<sub>o</sub>) will be stable at f<sub>o</sub> =  $\frac{N}{M}$  f<sub>1</sub>. Obviously, either M or N, or both, could be programmable counters in which case the output frequency (f<sub>o</sub>) will be a variable frequency dependent on the instantaneous value of  $\frac{N}{M}$  f<sub>1</sub>.

The crystal-controlled VCO can be operated up to 60 MHz with an accuracy that is dependent on the crystal. At the higher frequencies, response of the phase comparator can become a limiting factor and one of the following approaches may be necessary to extend the operating frequency range.

- Frequencies  $\frac{f_1}{M}$  and  $\frac{f_1}{N}$  can be divided equally by the same constant (K) also shown in Figure 1. The constant can be any value greater than unity (K > 1), and should be selected to yield frequency ranges that can be handled adequately by the phase-comparator and filter. The output frequency (f<sub>o</sub>) retains the same relationship as previously explained because now:

$$f_o = \frac{KN}{KM} f_1 = \frac{N}{M} f_1$$

- In another method, the comparison of  $\frac{f_1}{M}$  and  $\frac{f_1}{N}$  can be performed with either an SN54LS85/SN74LS85 or SN54S85/SN74S85. The resultant A > B and A < B outputs from the 'LS85 or 'S85 permit the detector to be simplified to a charge-pump circuit. See Figure 2.

# 54LS164/DM54LS164/DM74LS164

## 8-Bit Serial In/Parallel Out Shift Registers

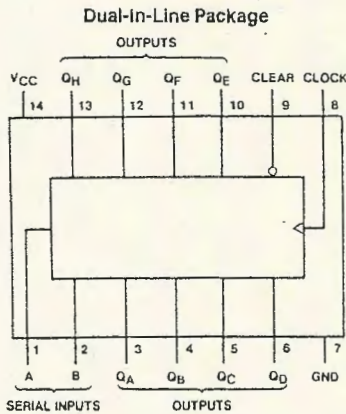
### General Description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. A low logic level at either input inhibits entry of the new data, and resets the first flip-flop to the low level at the next clock pulse, thus providing complete control over incoming data. A high logic level on either input enables the other input, which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup and hold time requirements will be entered. Clocking occurs on the low-to-high level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

### Features

- Gated (enable/disable) serial inputs
- Fully buffered clock and serial inputs
- Asynchronous clear
- Typical clock frequency 36 MHz
- Typical power dissipation 80 mW.
- Alternate Military/Aerospace device (54LS164) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



TL/F/6398-1

Order Number 54LS164DMQB, 54LS164FMQB,  
54LS164LMQB, DM54LS164J, DM54LS164W,  
DM74LS164M or DM74LS164N  
See NS Package Number E20A,  
J14A, M14A, N14A or W14B

### Function Table

Inputs		Outputs				
Clear	Clock	A	B	Q <sub>A</sub>	Q <sub>B</sub>	... Q <sub>H</sub>
L	X	X	X	L	L	... L
H	L	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	... Q <sub>H0</sub>
H	↑	H	H	H	Q <sub>An</sub>	... Q <sub>Gn</sub>
H	↑	L	X	L	Q <sub>An</sub>	... Q <sub>Gn</sub>
H	↑	X	L	L	Q <sub>An</sub>	... Q <sub>Gn</sub>

H = High Level (steady state), L = Low Level (steady state)

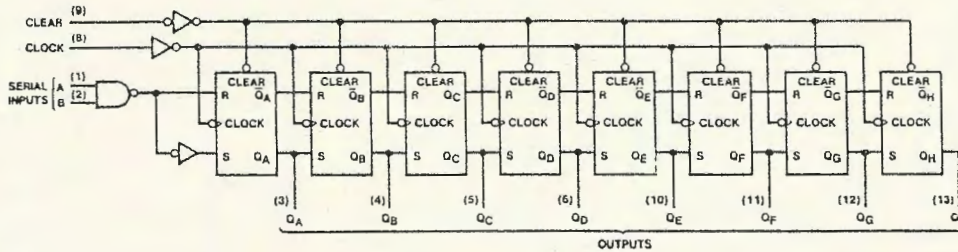
X = Don't Care (any input, including transitions)

↑ = Transition from low to high level

Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>H0</sub> = The level of Q<sub>A</sub>, Q<sub>B</sub>, or Q<sub>H</sub>, respectively, before the indicated steady-state input conditions were established.

Q<sub>An</sub>, Q<sub>Gn</sub> = The level of Q<sub>A</sub> or Q<sub>G</sub> before the most recent ↑ transition of the clock; indicates a one-bit shift.

### Logic Diagram



TL/F/6398-6

**Absolute Maximum Ratings** (Note)

Primary/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" tables will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS164			DM74LS164			Units
		Min	Nom	Max	Min	Nom	Max	
	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
	High Level Input Voltage	2			2			V
	Low Level Input Voltage			0.7			0.8	V
	High Level Output Current			-0.4			-0.4	mA
	Low Level Output Current			4			8	mA
	Clock Frequency (Note 4)	0		25	0		25	MHz
	Pulse Width (Note 4)	Clock	20		20			ns
		Clear	20		20			
	Data Setup Time (Note 4)	17			17			ns
	Data Hold Time (Note 4)	5			5			ns
	Clear Release Time (Note 4)	30			30			ns
	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
	High Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}$	DM54	2.5	3.4	V
		$V_{IL} = \text{Max}, V_{IH} = \text{Min}$	DM74	2.7	3.4	
	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$	DM54		0.25	V
		$V_{IL} = \text{Max}, V_{IH} = \text{Min}$	DM74		0.35	
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$	DM74		0.25	
	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7V$			0.1	mA
	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	$\mu\text{A}$
	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.4	mA
	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-20	-100	mA
			DM74	-20	-100	
	Supply Current	$V_{CC} = \text{Max}$ (Note 3)		16	27	mA

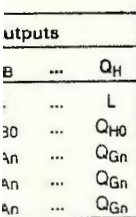
Note 1: All typicals are at  $V_{CC} = 5V, T_A = 25^\circ\text{C}$ .

Note 2: Do not short more than one output at a time, and the duration should not exceed one second.

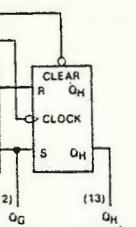
Note 3:  $V_{CC}$  is measured with all outputs open, the SERIAL input grounded, the CLOCK input at 2.4V, and a momentary ground, then 4.5V, applied to the CLEAR input.

Note 4:  $T_A = 25^\circ\text{C}$  and  $V_{CC} = 5V$ .

LS164) is available from Sales Office.



... state)  
... respectively, before the ...  
... need.  
... transition of



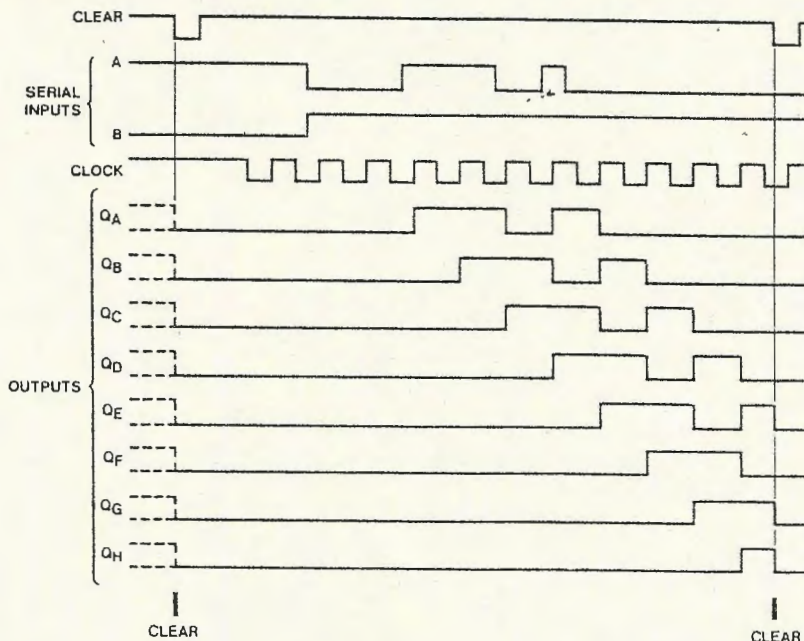
TL/F/6398-1

2

**Switching Characteristics** at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Units
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
			Min	Max	Min	Max	
$f_{MAX}$	Maximum Clock Frequency		25				MHz
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Output		27		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Output		32		40	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clear to Output		36		45	ns

**Timing Diagram**



TL/F/6396-1



**54LS165/DM  
In/Serial Out**

**General Description**

This device is an 8-bit serial shift register with the direction of  $Q_A$  toward  $Q_H$ . Access is made available by a master/slave enable which are enabled by a master/slave enable. These registers also feature complementary outputs from the register. Clocking is accomplished by permitting one input to be used as a clock input and the other clock input low. Changing either clock input to the high level inhibits parallel loading. Parallel loading is inhibited.

**Connection Diagram**

Order No.

**Function Table**

Shift/Load	Clock Inhibit
L	X
H	L
H	L
H	L
H	H

H = High Level (steady state), L = Low Level, X = Don't Care (any input, including clock)  
 ↑ = Transition from low-to-high level  
 ▲ = The level of steady-state input  
 $Q_{A+}, Q_{B0}, Q_{H0}$  = The level of  $Q_A, Q_B, Q_H$  at the time of the clock edge  
 $Q_{A+}, Q_{Gn}$  = The level of  $Q_A$  or  $Q_G$  at the time of the clock edge

## 54LS165/DM74LS165 8-Bit Parallel In/Serial Output Shift Registers

### General Description

This device is an 8-bit serial shift register which shifts data in the direction of  $Q_A$  toward  $Q_H$  when clocked. Parallel-in access is made available by eight individual direct data inputs, which are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit.

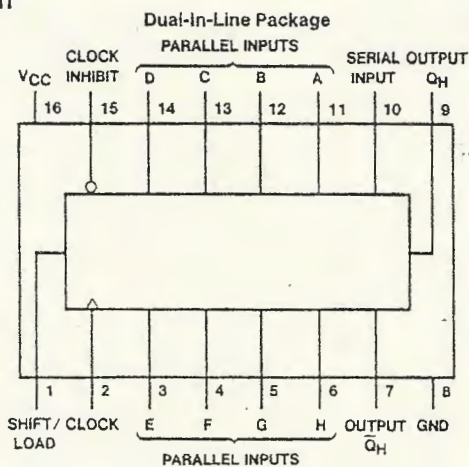
Clocking is accomplished through a 2-input NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking, and holding either clock input low with the load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the load input is high.

Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input, regardless of the logic levels on the clock, clock inhibit, or serial inputs.

### Features

- Complementary outputs
- Direct overriding (data) inputs
- Gated clock inputs
- Parallel-to-serial data conversion
- Typical frequency 35 MHz
- Typical power dissipation 105 mW

### Connection Diagram



TL/F/6399-1

Order Number 54LS165DMQB, 54LS165FMQB, DM74LS165WM or DM74LS165N  
See NS Package Number J16A, M16B, N16E or W16A

### Function Table

Shift/ Load	Inputs				Internal Outputs		Output $Q_H$
	Clock Inhibit	Clock	Serial	Parallel	$Q_A$	$Q_B$	
				A...H			
L	X	X	X	a...h	a	b	h
H	L	L	X	X	$Q_{A0}$	$Q_{B0}$	$Q_{H0}$
H	L	↑	H	X	H	$Q_{An}$	$Q_{Gn}$
H	L	↑	L	X	L	$Q_{An}$	$Q_{Gn}$
H	H	X	X	X	$Q_{A0}$	$Q_{B0}$	$Q_{H0}$

H = High Level (steady state), L = Low Level (steady state)

X = Don't Care (any input, including transitions)

↑ = Transition from low-to-high level

a...h = The level of steady-state input at inputs A through H, respectively.

$Q_{A0}$ ,  $Q_{B0}$ ,  $Q_{H0}$  = The level of  $Q_A$ ,  $Q_B$ , or  $Q_H$ , respectively, before the indicated steady-state input conditions were established.

$Q_{An}$ ,  $Q_{Gn}$  = The level of  $Q_A$  or  $Q_G$ , respectively, before the most recent ↑ transition of the clock.

**Absolute Maximum Ratings** (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	54LS165			DM74LS165			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
f <sub>CLK</sub>	Clock Frequency (Note 1)			30	0		25	MHz
f <sub>CLK</sub>	Clock Frequency (Note 2)				0		20	MHz
t <sub>w</sub>	Pulse Width (Note 2)	Clock	18		25			ns
		Load	15		15			ns
t <sub>su</sub>	Setup Time (Note 6)	Parallel	10		10			ns
		Serial	10		20			ns
		Enable	10		30			ns
		Shift	10		45			ns
t <sub>H</sub>	Hold Time (Note 6)	5			0			ns
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max	54LS	2.5		
		V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM74	2.7	3.4	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max	54LS		0.4	
		V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM74		0.35	0.5
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min			0.25	0.4
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V (DM74)	Shift/Load		0.3	mA
		V <sub>I</sub> = 10V (54LS)	Others		0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max	Shift/Load		60	μA
		V <sub>I</sub> = 2.7V	Others		20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max	Shift/Load		-1.2	mA
		V <sub>I</sub> = 0.4V	Others		-0.4	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 4)	54LS	-20		-100
			DM74	-20		-100
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 5)		21	36	mA

Note 1: C<sub>L</sub> = 15 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V

Note 2: C<sub>L</sub> = 50 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V

Note 3: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

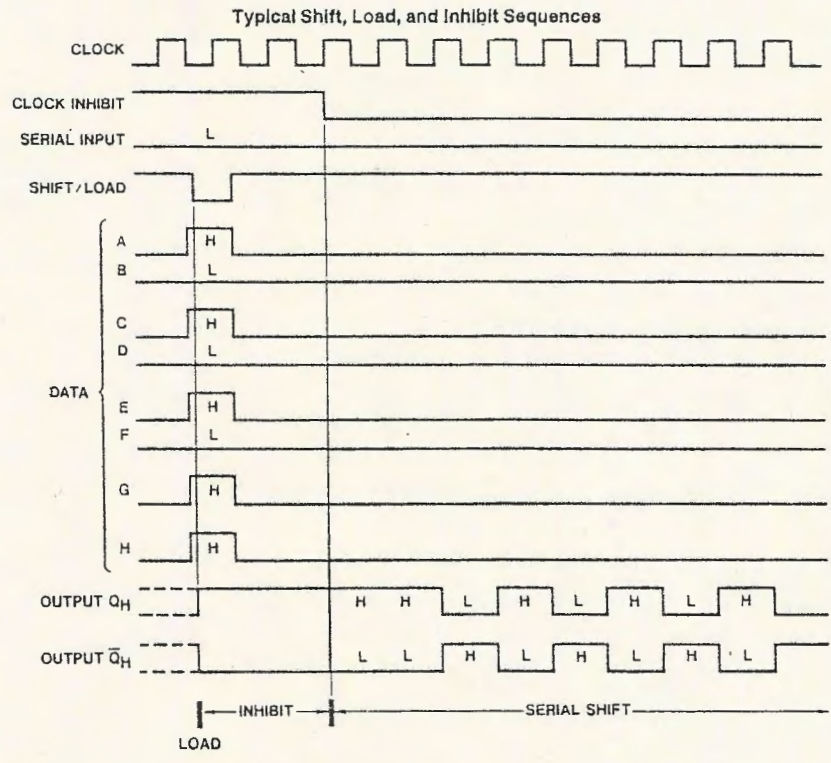
Note 5: With all outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the CLOCK input, I<sub>CC</sub> is measured first with the parallel inputs at 4.5V, then again grounded.

Note 6: T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

Switching Characteristics at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

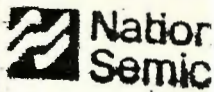
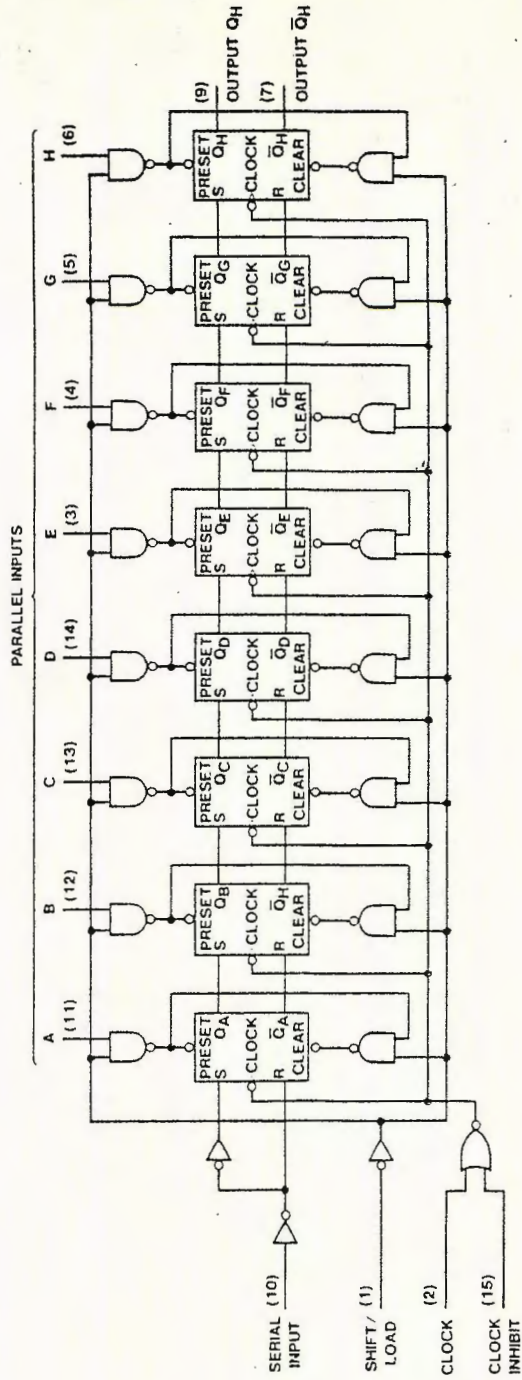
Symbol	Parameter	From (Input) To (Output)	54LS		DM74LS		Units
			$C_L = 15 \text{ pF}$		$R_L = 2 \text{ k}\Omega$ $C_L = 50 \text{ pF}$		
			Min	Max	Min	Max	
$f_{MAX}$	Maximum Clock Frequency		25		20		MHz
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Load to Any Q		30		37	ns
$t_{PL}$	Propagation Delay Time High to Low Level Output	Load to Any Q		30		42	ns
$t_{PHL}$	Propagation Delay Time Low to High Level Output	Clock to Any Q		30		42	ns
$t_{PLH}$	Propagation Delay Time High to Low Level Output	Clock to Any Q		30		47	ns
$t_{PHL}$	Propagation Delay Time Low to High Level Output	H to $Q_H$		20		27	ns
$t_{PLH}$	Propagation Delay Time High to Low Level Output	H to $Q_H$		30		37	ns
$t_{PHL}$	Propagation Delay Time Low to High Level Output	H to $\bar{Q}_H$		30		32	ns
$t_{PLH}$	Propagation Delay Time High to Low Level Output	H to $\bar{Q}_H$		25		32	ns

Timing Diagram



TL/F/6399-3

2

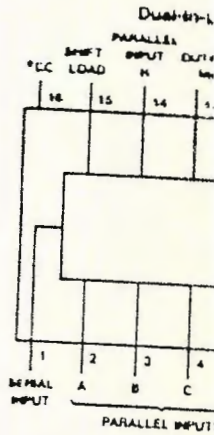


**DM74LS166**  
**8-Bit Parallel**

**General Description**

Three parallel 8-bit parallel shift registers are contained in a single package. The shift registers are designed to allow the user to load and input data into the shift registers to simplify systems. The shift registers are controlled by the shift/load input. The serial data input is shifted with each clock pulse; data inputs are shifted on the next clock pulse. On the next clock pulse, data flow is inhibited.

**Connection Diagram**



**Function Table**

Clear	Shift/Load
L	X
H	X
H	L
H	H
H	H
H	X

H = High Level (steady state)  
 X = Don't Care (any input)  
 ↑ = Transition from low to high  
 a...h = The level of signal  
 QA0, QB0, QH0 = The level of QA, QB, QH  
 QAn, QGn = The level of Qn

CD4051BM/CD4051BC/CD4052BM/CD4052BC/CD4053BM/CD4053BC



**CD4051BM/CD4051BC Single 8-Channel Analog Multiplexer/Demultiplexer**  
**CD4052BM/CD4052BC Dual 4-Channel Analog Multiplexer/Demultiplexer**  
**CD4053BM/CD4053BC Triple 2-Channel Analog Multiplexer/Demultiplexer**

**General Description**

These analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to 15V<sub>p-p</sub> can be achieved by digital signal amplitudes of 3-15V. For example, if V<sub>DD</sub>=5V, V<sub>SS</sub>=0V and V<sub>EE</sub>=-5V, analog signals from -5V to +5V can be controlled by digital inputs of 0-5V. The multiplexer circuits dissipate extremely low quiescent power over the full V<sub>DD</sub>-V<sub>SS</sub> and V<sub>DD</sub>-V<sub>EE</sub> supply voltage ranges, independent of the logic state of the control signals. When a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BM/CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

CD4052BM/CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 or 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

CD4053BM/CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and

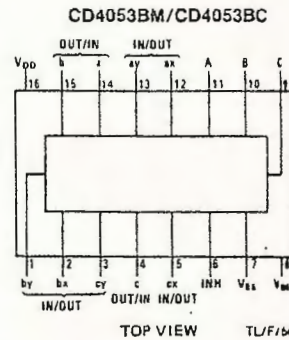
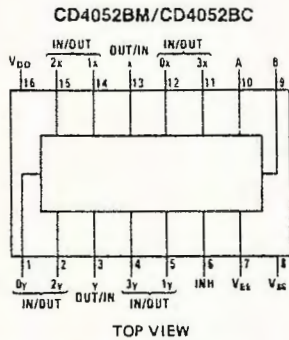
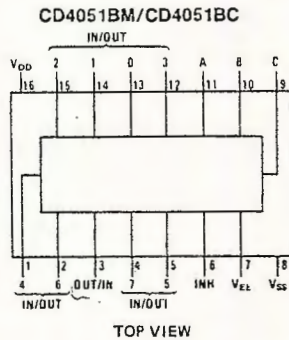
an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

**Features**

- Wide range of digital and analog signal levels: digital 3-15V, analog to 15V<sub>p-p</sub>
- Low "ON" resistance: 80Ω (typ.) over entire 15V<sub>p-p</sub> signal-input range for V<sub>DD</sub>-V<sub>EE</sub>=15V
- High "OFF" resistance: channel leakage of ±10 μA (typ.) at V<sub>DD</sub>-V<sub>EE</sub>=10V
- Logic level conversion for digital addressing signals of 3-15V (V<sub>DD</sub>-V<sub>SS</sub>=3-15V) to switch analog signals to 15 V<sub>p-p</sub> (V<sub>DD</sub>-V<sub>EE</sub>=15V)
- Matched switch characteristics: ΔR<sub>ON</sub>=5Ω (typ.) for V<sub>DD</sub>-V<sub>EE</sub>=15V
- Very low quiescent power dissipation under all digital control input and supply conditions: 1 μW (typ.) at V<sub>DD</sub>-V<sub>SS</sub>=V<sub>DD</sub>-V<sub>EE</sub>=10V
- Binary address decoding on chip

**Connection Diagrams**

**Dual-In-Line Packages**



Order Number CD4051B\*, CD4052B\*, or CD4053B\*

\*Please look into Section 8, Appendix D for availability of various package types.

Absolute M  
 Binary/Aeron  
 Maximum Me  
 Multiplexers for a  
 10K Supply Voltage  
 Input Voltage (V<sub>in</sub>)  
 Supply Temperature  
 Power Dissipation  
 Input Current  
 Output Current  
 Input Temp (T<sub>in</sub>)  
 EC Electric

Symbol	Pa
Unit	Microampere

Maximum Outputs (V<sub>o</sub>)  
 Input Voltage (V<sub>in</sub>)  
 Supply Temperature

Maximum Input Current (I<sub>in</sub>)  
 Power Dissipation

Maximum Input Current (I<sub>in</sub>)  
 Power Dissipation  
 Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

Maximum Output Current (I<sub>o</sub>)  
 Supply Temperature

CD4051BM/CD4051BC/CD4052BM/CD4052BC/CD4053BM/CD4053BC

### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage ( $V_{DD}$ )	-0.5 $V_{DC}$ to +18 $V_{DC}$
Input Voltage ( $V_{IN}$ )	-0.5 $V_{DC}$ to $V_{DD} + 0.5 V_{DC}$
Storage Temperature Range ( $T_S$ )	-65°C to +150°C
Power Dissipation ( $P_D$ )	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temp. ( $T_L$ ) (soldering, 10 sec.)	260°C

### Recommended Operating Conditions

DC Supply Voltage ( $V_{DD}$ )	+5 $V_{DC}$ to +15 $V_{DC}$
Input Voltage ( $V_{IN}$ )	0V to $V_{DD}$ $V_{DC}$
Operating Temperature Range ( $T_A$ )	
4051BM/4052BM/4053BM	-55°C to +125°C
4051BC/4052BC/4053BC	-40°C to +85°C

### DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	-55°C		+25°			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
$I_{DD}$	Quiescent Device Current	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$		5 10 20			5 10 20		150 300 600	$\mu A$

### Signal Inputs ( $V_{IS}$ ) and Outputs ( $V_{OS}$ )

$R_{ON}$	"ON" Resistance (Peak for $V_{EE} \leq V_{IS} \leq V_{DD}$ )	$R_L = 10 k\Omega$ (any channel selected)	$V_{DD} = 2.5V,$ $V_{EE} = -2.5V$ or $V_{DD} = 5V,$ $V_{EE} = 0V$		800		270	1050		1300	$\Omega$
			$V_{DD} = 5V$ $V_{EE} = -5V$ or $V_{DD} = 10V,$ $V_{EE} = 0V$		310		120	400		550	$\Omega$
			$V_{DD} = 7.5V,$ $V_{EE} = -7.5V$ or $V_{DD} = 15V,$ $V_{EE} = 0V$		200		80	240		320	$\Omega$
$\Delta R_{ON}$	$\Delta$ "ON" Resistance Between Any Two Channels	$R_L = 10 k\Omega$ (any channel selected)	$V_{DD} = 2.5V,$ $V_{EE} = -2.5V$ or $V_{DD} = 5V,$ $V_{EE} = 0V$				10				$\Omega$
			$V_{DD} = 5V,$ $V_{EE} = -5V$ or $V_{DD} = 10V,$ $V_{EE} = 0V$				10				$\Omega$
			$V_{DD} = 7.5V,$ $V_{EE} = -7.5V$ or $V_{DD} = 15V,$ $V_{EE} = 0V$				5				$\Omega$
	"OFF" Channel Leakage Current, any channel "OFF"	$V_{DD} = 7.5V,$ $O/I = \pm 7.5V, I/O = 0V$	$V_{EE} = -7.5V$		$\pm 50$		$\pm 0.01$	$\pm 50$		$\pm 500$	nA
	"OFF" Channel Leakage Current, all channels "OFF" (Common OUT/IN)	Inhibit = 7.5V $V_{DD} = 7.5V,$ $V_{EE} = -7.5V,$ $O/I = 0V,$ $I/O = \pm 7.5V$	CD4051		$\pm 200$		$\pm 0.08$	$\pm 200$		$\pm 2000$	nA
CD4052				$\pm 200$		$\pm 0.04$	$\pm 200$		$\pm 2000$	nA	
			CD4053		$\pm 200$		$\pm 0.02$	$\pm 200$		$\pm 2000$	nA

### Control Inputs A, B, C and Inhibit

$V_L$	Low Level Input Voltage	$V_{EE} = V_{SS}$ $R_L = 1 k\Omega$ to $V_{SS}$ $I_{IS} < 2 \mu A$ on all OFF channels $V_{IS} = V_{DD}$ thru $1 k\Omega$	$V_{DD} = 5V$								V	
			$V_{DD} = 10V$		1.5			1.5		1.5	V	
			$V_{DD} = 15V$		3.0			3.0		3.0		V
					4.0			4.0		4.0		V
$V_H$	High Level Input Voltage	$V_{DD} = 5$ $V_{DD} = 10$ $V_{DD} = 15$		3.5		3.5			3.5		V	
				7		7			7		V	
				11		11			11		V	

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to  $V_{SS}$  unless otherwise specified.

ects one of a pair of  
le-pole double-throw

signal levels: digital

ver entire 15V<sub>p-p</sub> sig-

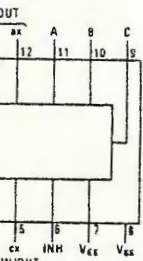
leakage of  $\pm 10$  pA

ddressing signals of  
ch analog signals to

$R_{ON} = 5\Omega$  (typ.) for

ion under all digital-  
ns: 1  $\mu W$  (typ.) at

M/CD4053BC



VIEW TLF/5662-1

5

### DC Electrical Characteristics (Note 2) (Continued)

Symbol	Parameter	Conditions	-40°C		+25°C			+85°C		Units	
			Min	Max	Min	Typ	Max	Min	Max		
I <sub>IN</sub>	Input Current	V <sub>DD</sub> =15V, V <sub>EE</sub> =0V V <sub>IN</sub> =0V		-0.1		-10 <sup>-5</sup>	-0.1		-1.0	μA	
		V <sub>DD</sub> =15V, V <sub>EE</sub> =0V V <sub>IN</sub> =15V		0.1		10 <sup>-5</sup>	0.1		1.0	μA	
I <sub>DD</sub>	Quiescent Device Current	V <sub>DD</sub> =5V		20			20		150	μA	
		V <sub>DD</sub> =10V		40			40		300	μA	
		V <sub>DD</sub> =15V		80			80		600	μA	
<b>Signal Inputs (V<sub>IS</sub>) and Outputs (V<sub>OS</sub>)</b>											
R <sub>ON</sub>	"ON" Resistance (Peak for V <sub>EE</sub> ≤ V <sub>IS</sub> ≤ V <sub>DD</sub> )	R <sub>L</sub> = 10 kΩ (any channel selected)	V <sub>DD</sub> = 2.5V, V <sub>EE</sub> = -2.5V or V <sub>DD</sub> = 5V, V <sub>EE</sub> = 0V		850		270	1050		1200	Ω
			V <sub>DD</sub> = 5V, V <sub>EE</sub> = -5V or V <sub>DD</sub> = 10V, V <sub>EE</sub> = 0V		330		120	400		520	Ω
			V <sub>DD</sub> = 7.5V, V <sub>EE</sub> = -7.5V or V <sub>DD</sub> = 15V, V <sub>EE</sub> = 0V		210		80	240		300	Ω
			V <sub>DD</sub> = 2.5V, V <sub>EE</sub> = -2.5V or V <sub>DD</sub> = 5V, V <sub>EE</sub> = 0V				10				Ω
ΔR <sub>ON</sub>	Δ"ON" Resistance Between Any Two Channels	R <sub>L</sub> = 10 kΩ (any channel selected)	V <sub>DD</sub> = 5V, V <sub>EE</sub> = -5V or V <sub>DD</sub> = 10V, V <sub>EE</sub> = 0V				10			Ω	
			V <sub>DD</sub> = 7.5V, V <sub>EE</sub> = -7.5V or V <sub>DD</sub> = 15V, V <sub>EE</sub> = 0V				5			Ω	
			V <sub>DD</sub> = 7.5V, V <sub>EE</sub> = -7.5V or V <sub>DD</sub> = 15V, V <sub>EE</sub> = 0V								Ω
	"OFF" Channel Leakage Current, any channel "OFF"	V <sub>DD</sub> = 7.5V, V <sub>EE</sub> = -7.5V O/I = ±7.5V, I/O = 0V		±50		±0.01	±50		±500	μA	
	"OFF" Channel Leakage Current, all channels "OFF" (Common OUT/IN)	Inhibit = 7.5V	CD4051	±200		±0.08	±200		±2000	μA	
V <sub>DD</sub> = 7.5V, V <sub>EE</sub> = -7.5V, O/I = 0V		CD4052	±200		±0.04	±200		±2000	μA		
I/O = ±7.5V		CD4053	±200		±0.02	±200		±2000	μA		
<b>Control Inputs A, B, C and Inhibit</b>											
V <sub>IL</sub>	Low Level Input Voltage	V <sub>EE</sub> = V <sub>SS</sub> R <sub>L</sub> = 1 kΩ to V <sub>SS</sub> I <sub>IS</sub> < 2 μA on all OFF Channels V <sub>IS</sub> = V <sub>DD</sub> thru 1 kΩ	V <sub>DD</sub> = 5V		1.5			1.5		1.5	V
			V <sub>DD</sub> = 10V		3.0			3.0		3.0	V
			V <sub>DD</sub> = 15V		4.0			4.0		4.0	V
			V <sub>DD</sub> = 5	3.5		3.5			3.5		V
V <sub>IH</sub>	High Level Input Voltage	V <sub>DD</sub> = 10	V <sub>DD</sub> = 10	7		7			7	V	
			V <sub>DD</sub> = 15	11		11			11	V	
			V <sub>DD</sub> = 15V, V <sub>EE</sub> = 0V		-0.1		-10 <sup>-5</sup>	-0.1		-1.0	μA
	V <sub>DD</sub> = 15V, V <sub>EE</sub> = 0V		0.1		10 <sup>-5</sup>	0.1		1.0	μA		

**Note 1:** "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual operation.

**Note 2:** All voltages measured with respect to V<sub>SS</sub> unless otherwise specified.

### AC Electrical Characteristics

Symbol	Parameter
t <sub>PLH</sub>	Propagation Delay Inhibit to Signal C (channel turning ON)
t <sub>PLL</sub>	Propagation Delay Inhibit to Signal C (channel turning OFF)
C <sub>IN</sub>	Input Capacitance Control Input
C <sub>IN</sub>	Signal Input (IN)
C <sub>OUT</sub>	Output Capacitance (common OUT/IN)
	CD4051
	CD4052
	CD4053
	Feedthrough Cap
	Power Dissipation
	CD4051
	CD4052
	CD4053
<b>Signal Inputs (V<sub>IS</sub>) and Outputs (V<sub>OS</sub>)</b>	
	Sine Wave Response (Distortion)
	Frequency Response "ON" (Sine Wave)
	Feedthrough, Channels
	Crosstalk Between Channels (frequency)
	Propagation Delay Input to Signal Output
<b>Control Inputs, A, B, C and Inhibit</b>	
	Control Input to Signal Crosstalk
	Propagation Delay Address to Signal C (channels "ON" or "OFF")

Parameters are guaranteed by design for A, B and C are two arbitrary channels.

**AC Electrical Characteristics\***  $T_A = 25^\circ\text{C}$ ,  $t_r = t_f = 20\text{ ns}$ , unless otherwise specified.

CD4051BM/CD4051BC/CD4052BM/CD4052BC/CD4053BM/CD4053BC

+85°C		Units
Min	Max	
-1.0		μA
1.0		μA
150		μA
300		μA
600		μA
	1200	Ω
	520	Ω
	300	Ω
		Ω
		Ω
	±500	nA
	±2000	nA
	±2000	nA
	±2000	nA
		V
	1.5	V
	3.0	V
	4.0	V
3.5		V
7		V
11		V
	-1.0	μA
	1.0	μA

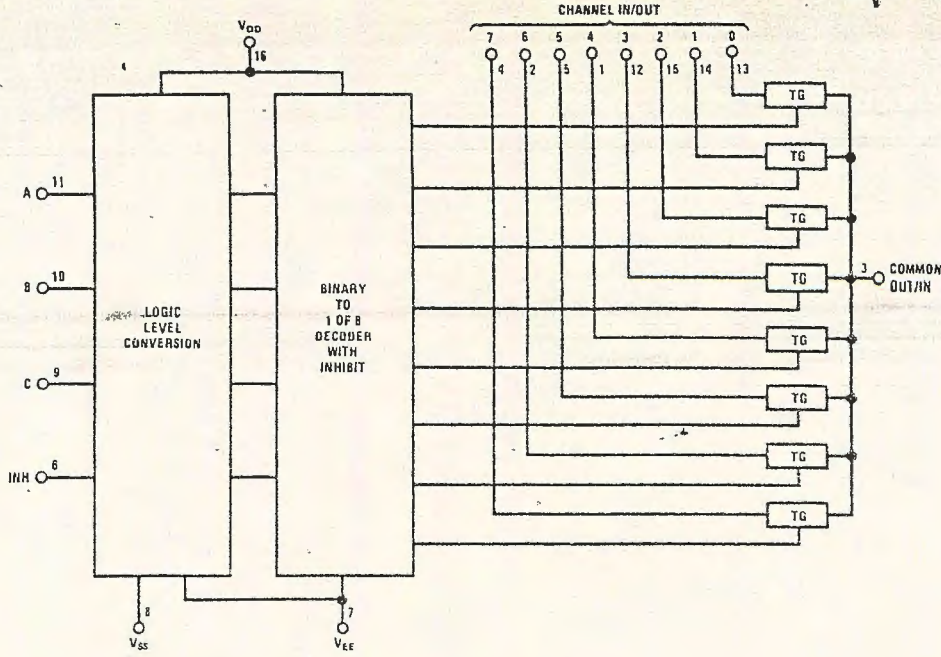
Symbol	Parameter	Conditions	V <sub>DD</sub>	Min	Typ	Max	Units
t <sub>PHL</sub> t <sub>PLH</sub>	Propagation Delay Time from Inhibit to Signal Output (channel turning on)	V <sub>EE</sub> = V <sub>SS</sub> = 0V	5V		600	1200	ns
		R <sub>L</sub> = 1 kΩ	10V		225	450	ns
		C <sub>L</sub> = 50 pF	15V		160	320	ns
t <sub>PLZ</sub> t <sub>HLZ</sub>	Propagation Delay Time from Inhibit to Signal Output (channel turning off)	V <sub>EE</sub> = V <sub>SS</sub> = 0V	5V		210	420	ns
		R <sub>L</sub> = 1 kΩ	10V		100	200	ns
		C <sub>L</sub> = 50 pF	15V		75	150	ns
C <sub>IN</sub>	Input Capacitance Control input Signal Input (IN/OUT)				5	7.5	pF
					10	15	pF
C <sub>OUT</sub>	Output Capacitance (common OUT/IN)						
	CD4051 CD4052 CD4053	V <sub>EE</sub> = V <sub>SS</sub> = 0V	10V		30		pF
			10V		15		pF
			10V		8		pF
C <sub>OS</sub>	Feedthrough Capacitance				0.2		pF
C <sub>PD</sub>	Power Dissipation Capacitance						
	CD4051				110		pF
	CD4052				140		pF
	CD4053				70		pF
<b>Signal Inputs (V<sub>IS</sub>) and Outputs (V<sub>OS</sub>)</b>							
	Sine Wave Response (Distortion)	R <sub>L</sub> = 10 kΩ f <sub>IS</sub> = 1 kHz V <sub>IS</sub> = 5 V <sub>p-p</sub> V <sub>EE</sub> = V <sub>SI</sub> = 0V	10V		0.04		%
	Frequency Response, Channel "ON" (Sine Wave Input)	R <sub>L</sub> = 1 kΩ, V <sub>EE</sub> = 0V, V <sub>IS</sub> = 5V <sub>p-p</sub> 20 log <sub>10</sub> V <sub>OS</sub> /V <sub>IS</sub> = -3 dB	10V		40		MHz
	Feedthrough, Channel "OFF"	R <sub>L</sub> = 1 kΩ, V <sub>EE</sub> = V <sub>SS</sub> = 0V, V <sub>IS</sub> = 5V <sub>p-p</sub> 20 log <sub>10</sub> V <sub>OS</sub> /V <sub>IS</sub> = -40 dB	10V		10		MHz
	Crosstalk Between Any Two Channels (frequency at 40 dB)	R <sub>L</sub> = 1 kΩ, V <sub>EE</sub> = V <sub>SS</sub> = 0V, V <sub>IS</sub> (A) = 5V <sub>p-p</sub> 20 log <sub>10</sub> V <sub>OS</sub> (B)/V <sub>IS</sub> (A) = -40 dB (Note 3)	10V		3		MHz
t <sub>PHL</sub> t <sub>PLH</sub>	Propagation Delay Signal Input to Signal Output	V <sub>EE</sub> = V <sub>SS</sub> = 0V C <sub>L</sub> = 50 pF	5V		25	55	ns
			10V		15	35	ns
			15V		10	25	ns
<b>Control Inputs, A, B, C and Inhibit</b>							
	Control Input to Signal Crosstalk	V <sub>EE</sub> = V <sub>SS</sub> = 0V, R <sub>L</sub> = 10 kΩ at both ends of channel. Input Square Wave Amplitude = 10V	10V		65		mV (peak)
t <sub>PHL</sub> t <sub>PLH</sub>	Propagation Delay Time from Address to Signal Output (channels "ON" or "OFF")	V <sub>EE</sub> = V <sub>SS</sub> = 0V C <sub>L</sub> = 50 pF	5V		500	1000	ns
			10V		180	360	ns
			15V		120	240	ns

\*AC Parameters are guaranteed by DC correlated testing.  
Note 3: A, B are two arbitrary channels with A turned "ON" and B "OFF".

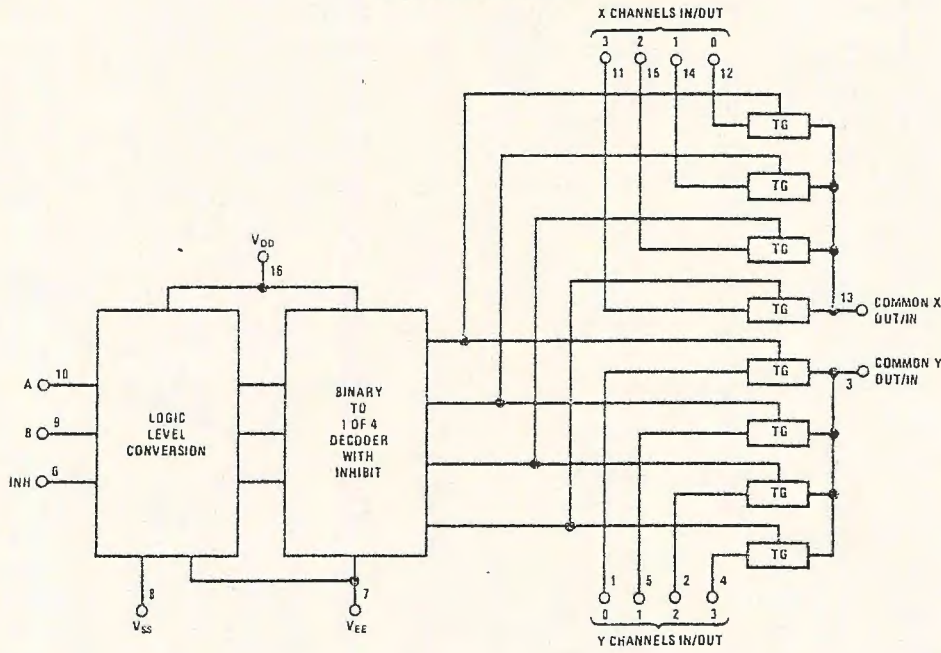


Block Diagrams

CD4051BM/CD4051BC

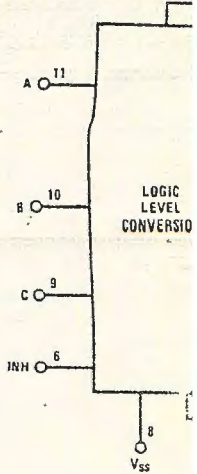


CD4052BM/CD4052BC



TL/F/0601-4

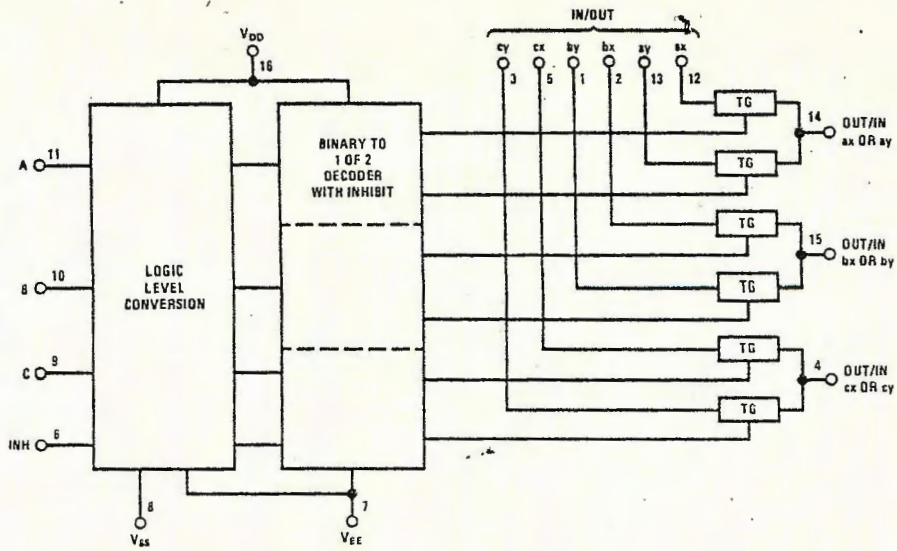
Block Diagrams (Co



Truth Table

Block Diagrams (Continued)

CD4053BM/CD4053BC



TL/F/5662-3

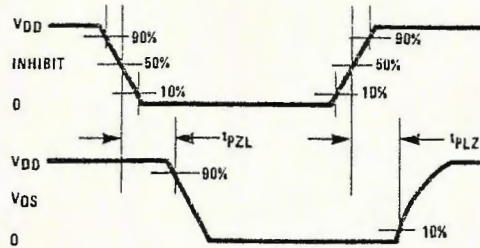
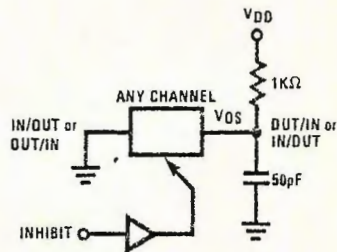
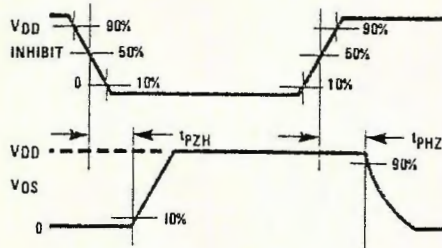
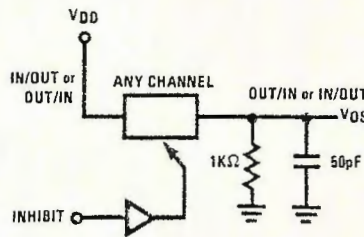
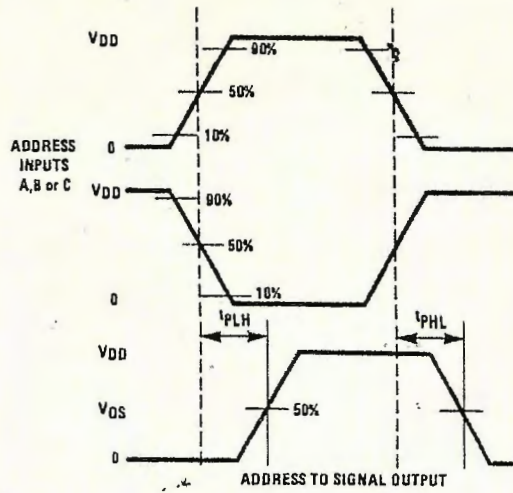
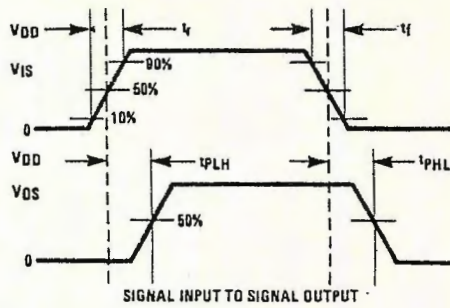
Truth Table

INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	CD4051B	CD4052B	CD4053B
0	0	0	0	0	0X, 0Y	cx, bx, ax
0	0	0	1	1	1X, 1Y	cx, bx, ay
0	0	1	0	2	2X, 2Y	cx, by, ax
0	0	1	1	3	3X, 3Y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

\*Don't Care condition.

CD4051BM/CD4051BC/CD4052BM/CD4052BC/CD4053BM/CD4053BC

### Switching Time Waveforms



TL/F/5662-4

### Special Cons

In certain applications include both  $V_{DD}$  and  $V_{OS}$  an drawing  $V_{DD}$  current w pin, the voltage drop

### Typical Perfo

CHANNEL "ON" RESISTANCE ( $R_{on}$ ) (Ω)

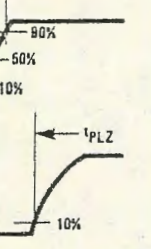
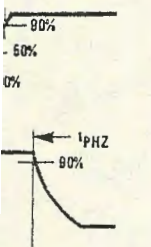
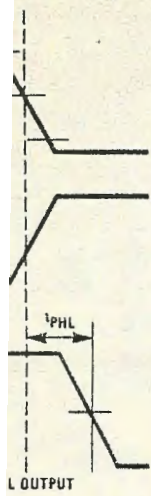
CHANNEL "ON" RESISTANCE ( $R_{on}$ ) (Ω)

### Special Considerations

In certain applications the external load-resistor current may include both  $V_{DD}$  and signal-line components. To avoid drawing  $V_{DD}$  current when switch current flows into IN/OUT pin, the voltage drop across the bidirectional switch must

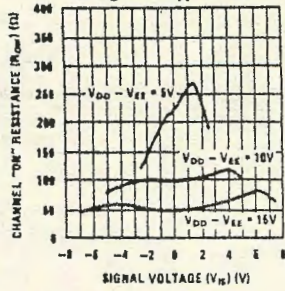
not exceed 0.6V at  $T_A \leq 25^\circ\text{C}$ , or 0.4V at  $T_A > 25^\circ\text{C}$  (calculated from  $R_{ON}$  values shown). No  $V_{DD}$  current will flow through  $R_L$  if the switch current flows into OUT/IN pin.

### Typical Performance Characteristics

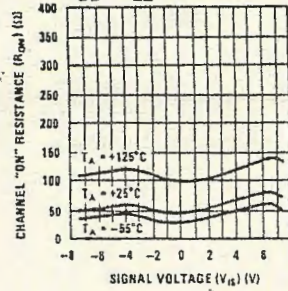


TL/F/5662-4

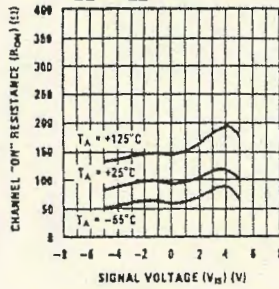
"ON" Resistance vs Signal Voltage for  $T_A = 25^\circ\text{C}$



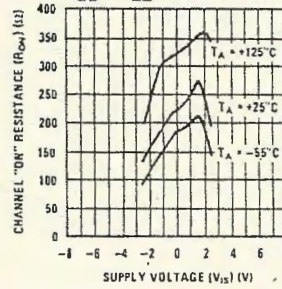
"ON" Resistance as a Function of Temperature for  $V_{DD} - V_{EE} = 15V$



"ON" Resistance as a Function of Temperature for  $V_{DD} - V_{EE} = 10V$



"ON" Resistance as a Function of Temperature for  $V_{DD} - V_{EE} = 5V$



TL/F/5662-5



## CIRCUITOS INTEGRADOS LINEALES

### DESCRIPCIÓN

El circuito temporizador NE/SE 555 monolítico es un controlador altamente estable capaz de producir retardos exactos de tiempo, u oscilaciones. Se proporcionan terminales adicionales para disparo o restablecido si se desea. En el modo de operación de retardo de tiempo, se controla con precisión mediante un resistor y un capacitor externos. Para operación estable como oscilador, la frecuencia de oscilación libre y el ciclo de circuito se controlan con exactitud con dos resistores y un capacitor externos. El circuito puede dispararse y restablecerse en formas de onda descendentes, y la estructura de la salida puede ser fuente o drenador hasta 200 mA o impulsar circuitos TTL.

### CARACTERÍSTICAS

- TEMPORIZADO DESDE MICROSEGUNDOS HASTA HORAS
- OPERA TANTO EN MODO ASTABLE COMO MONOESTABLE
- CICLO DE TRABAJO AJUSTABLE
- LA CORRIENTE ALTA DE SALIDA PUEDE SER FUENTE O DRENADOR DE 200 mA
- LA SALIDA PUEDE IMPULSAR CIRCUITOS TTL
- ESTABILIDAD DE TEMPERATURA DE 0.005% POR °C
- SALIDA NORMALMENTE ENCENDIDA Y NORMALMENTE APAGADA

### APLICACIONES

- TEMPORIZADOR DE PRECISIÓN
- GENERACIÓN DE PULSO
- TEMPORIZADO SECUENCIAL
- GENERACIÓN DE RETARDO DE TIEMPO
- MODULACIÓN DE ANCHO DE PULSO
- MODULACIÓN DE POSICIÓN DE PULSO
- DETECTOR DE PULSO PERDIDO

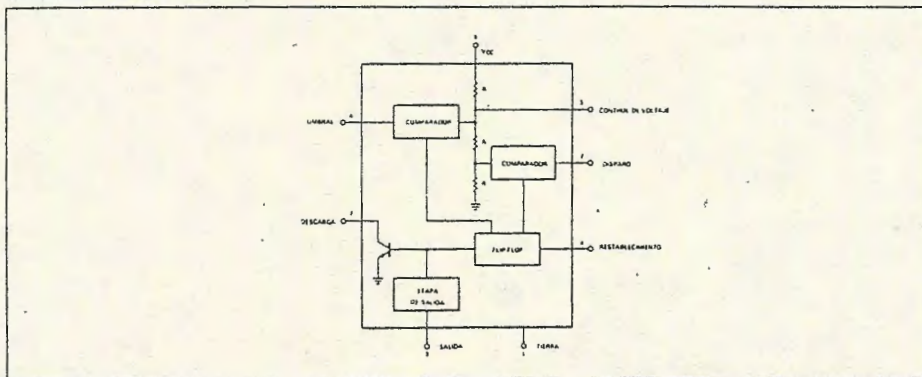
### CONFIGURACIONES DE CLAVIJAS (Vista superior)



### TASAS MÁXIMAS ABSOLUTAS

Voltaje de suministro	+18V
Disipación de potencia	600 mW
Amplitud de temperatura de operación	NE555 0°C a +70°C SE555 -55°C a +125°C
Amplitud de temperatura de almacenamiento	-65°C a +150°C
Temperatura en terminal (Soldadura, 60 segundos)	+300°C

### DIAGRAMA DE BLOQUE



### CARACTERÍSTICAS ELÉCTRICAS

PARÁMETRO	
Voltaje de suministro	
Corriente de suministro	
Error de tiempo (Monoestable)	
Exactitud inicial	
Variación con temperatura	
Variación con voltaje de suministro	
Voltaje de umbral	
Voltaje de disparo	
Error de tiempo (Astable)	
Corriente de disparo	
Voltaje de restablecimiento	
Corriente de restablecimiento	
Corriente de umbral	
Control de nivel de voltaje	
Voltaje de salida (bajo)	
Caida del voltaje de salida (bajo)	
Tiempo de respuesta de la salida	
Tiempo de caída de la salida	

### NOTAS

1. Corriente de suministro cuando la salida está en estado estable.
2. Probado a  $V_{CC} = 5V$  y  $V_{EE} = 0V$ .
3. Esto determinará el valor máximo de corriente de salida.

### CIRCUITO EQUIVALENTE (Se muestra en la página 371)



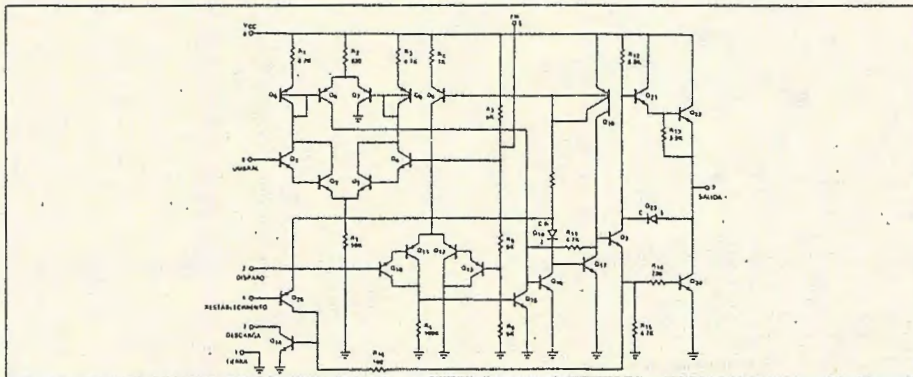
CARACTERÍSTICAS ELÉCTRICAS  $T_A = 25^\circ\text{C}$ ,  $V_{CC} = +5\text{V}$  a  $+15\text{V}$  a menos que se especifique otra cosa

PARÁMETRO	CONDICIONES DE PRUEBA	SE 555			NE 555			UNIDADES
		MÍN	TIP.	MÁX	MÍN	TIP.	MÁX	
Voltaje de suministro		4.5		18	4.5		16	V
Corriente de suministro	$V_{CC} = 5\text{V}$ $R_L = \infty$		3	5		3	6	mA
	$V_{CC} = 15\text{V}$ $R_L = \infty$		10	12		10	15	mA
Error de tiempo (Monoestable)	Estado bajo Nota 1							
Exactitud inicial	$R_A, R_B = 1\text{K}\Omega$ a $100\text{K}\Omega$		0.5	2		1		%
Variación con temperatura	$C = 0.1\mu\text{F}$ Nota 2		30	100		50		ppm/ $^\circ\text{C}$
Variación con voltaje de suministro			0.05	0.2		0.1		%/V <sub>011</sub>
Voltaje de umbral			2/3			2/3		X V <sub>CC</sub>
Voltaje de disparo	$V_{CC} = 15\text{V}$	4.8	5	5.2		5		V
Error de tiempo (Astable)	$V_{CC} = 5\text{V}$	1.45	1.67	1.9		1.67		V
Corriente de disparo			0.5			0.5		$\mu\text{A}$
Voltaje de restablecimiento		0.4	0.7	1.0	0.4	0.7	1.0	V
Corriente de restablecimiento			0.1			0.1		mA
Corriente de umbral	Nota 3		0.1	.25		0.1	.25	$\mu\text{A}$
Control de nivel de voltaje	$V_{CC} = 15\text{V}$	9.6	10	10.4	9.0	10	11	V
	$V_{CC} = 5\text{V}$	2.9	3.33	3.8	2.6	3.33	4	V
Voltaje de salida (bajo)	$V_{CC} = 15\text{V}$							
	I <sub>Drenaje</sub> = 10mA		0.1	0.15		0.1	.25	V
	I <sub>Drenaje</sub> = 50mA		0.4	0.5		0.4	.75	V
	I <sub>Drenaje</sub> = 100mA		2.0	2.2		2.0	2.5	V
	I <sub>Drenaje</sub> = 200mA		2.5			2.5		V
	$V_{CC} = 5\text{V}$							
	I <sub>Drenaje</sub> = 8mA		0.1	0.25				V
	I <sub>Drenaje</sub> = 5mA					.25	.35	V
Caída del voltaje de salida (bajo)	Fuente = 200mA		12.5			12.5		V
	$V_{CC} = 15\text{V}$							
	Fuente = E	13.0	13.3		12.75	13.3		V
	$V_{CC} = 15\text{V}$	3.0	3.3		2.75	3.3		V
	$V_{CC} = 5\text{V}$							
Tiempo de respuesta de la salida			100			100.		nsec
Tiempo de caída de la salida			100			100		nsec

NOTAS

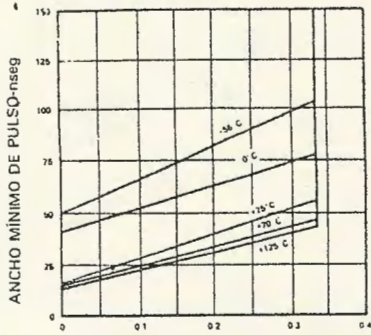
1. Corriente de suministro cuando la salida es alta en forma típica 1mA menos.
2. Probado a  $V_{CC} = 5\text{V}$  y  $V_{CC} = 15\text{V}$
3. Esto determinará el valor máximo de  $R_A + R_B$ . Para operación a 15V, la resistencia máxima total  $R = 20$  megohm.

CIRCUITO EQUIVALENTE (Se muestra sólo un lado)



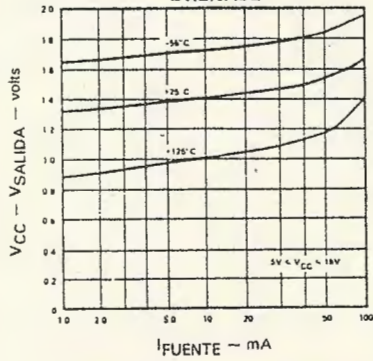
### CARACTERÍSTICAS TÍPICAS

ANCHO MÍNIMO DE PULSO REQUERIDO PARA DISPARO



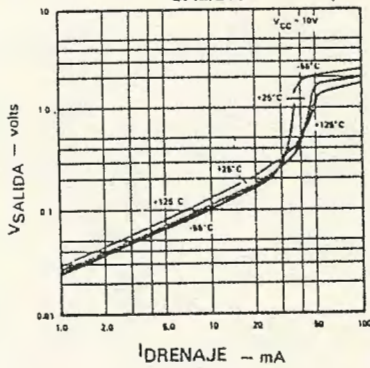
NIVEL MÁS BAJO DE VOLTAJE PARA EL PULSO DE DISPARO-XV<sub>CC</sub>

VOLTAJE BAJO DE SALIDA COMPARADO CON LA CORRIENTE DE SALIDA DE DRENAJE



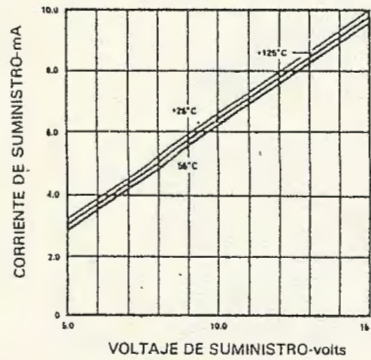
I<sub>FUENTE</sub> - mA

VOLTAJE ALTO DE SALIDA COMPARADO CON LA CORRIENTE DE LA FUENTE DE SALIDA



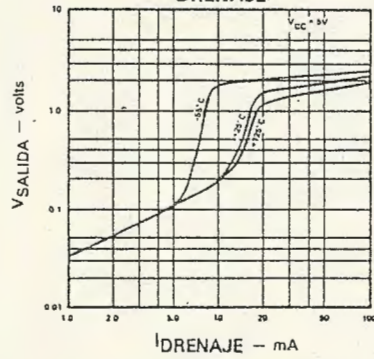
I<sub>DRENAJE</sub> - mA

CORRIENTE DE SUMINISTRO COMPARADA CON EL VOLTAJE DE SUMINISTRO



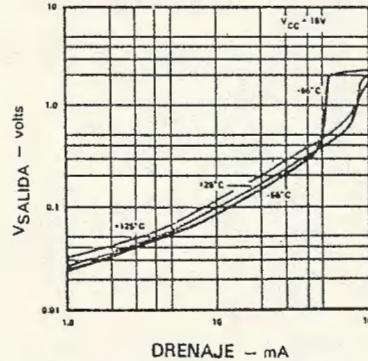
VOLTAJE DE SUMINISTRO-volts

VOLTAJE BAJO DE SALIDA COMPARADO CON LA CORRIENTE DE SALIDA DE DRENAJE.



I<sub>DRENAJE</sub> - mA

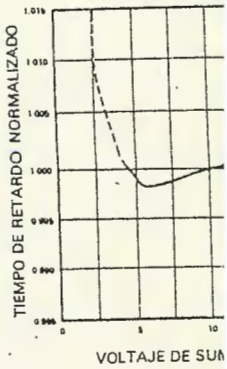
VOLTAJE BAJO DE SALIDA COMPARADO CON LA CORRIENTE DE SUMIDERO DE SALIDA



I<sub>DRENAJE</sub> - mA

### CARACTERÍSTICAS

TIEMPO DE RETARDO COMPARADO CON EL VOLTAJE DE SUMINISTRO



VOLTAJE DE SUMINISTRO-volts

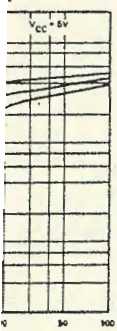
**CARACTERÍSTICAS TÍPICAS (Continuación)**

MINISTRO  
VOLTAGE  
RO



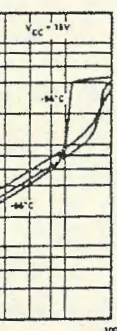
STRO-volts

SALIDA  
ON LA  
LIDA DE



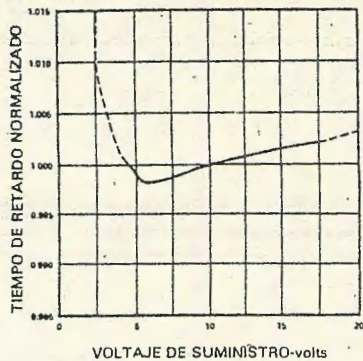
mA

DE SALIDA  
ON LA  
RIDERO DE

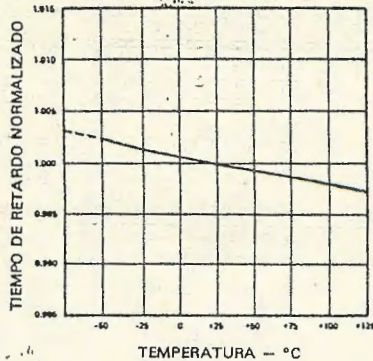


mA

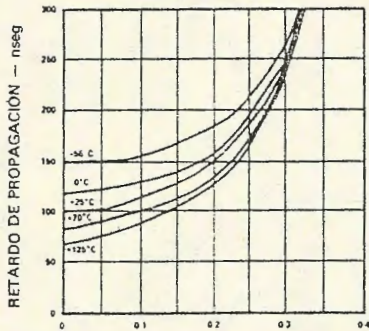
**TIEMPO DE RETARDO  
COMPARADO CON EL VOLTAGE  
DE SUMINISTRO**



**TIEMPO DE RETARDO  
COMPARADO CON LA  
TEMPERATURA**



**PROPAGACIÓN DE RETARDO  
COMPARADO CON EL NIVEL DE  
VOLTAGE DEL PULSO DE  
DISPARO**



NIVEL DE VOLTAGE MÁS BAJO DEL PULSO DE DISPARO - XV<sub>CC</sub>

**LM139/239/339, LM139A/239A/339A, LM2901, LM3302**  
**Low Power Low Offset Voltage Quad Comparators**

**General Description**

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes gnd, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic— where the low power drain of the LM339 is a distinct advantage over standard comparators.

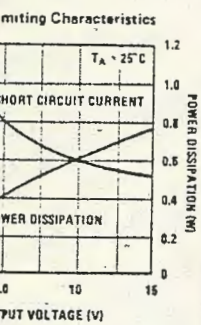
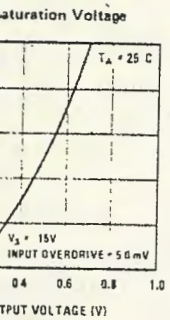
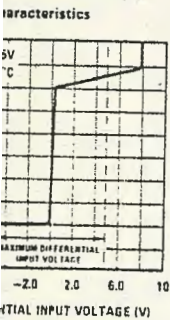
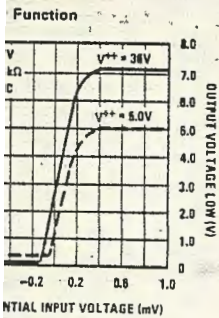
**Advantages**

- High precision comparators
- Reduced  $V_{OS}$  drift over temperature

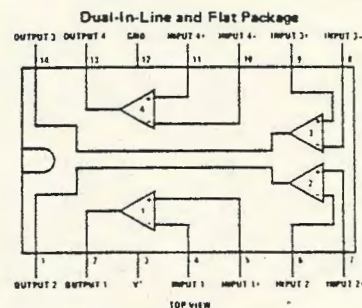
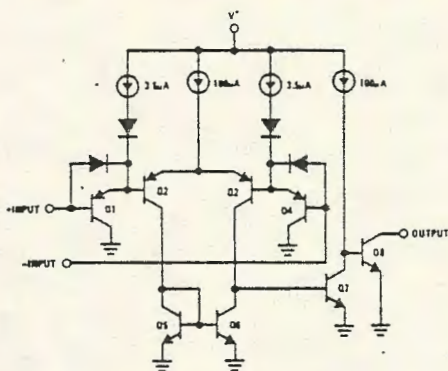
- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

**Features**

- Wide single supply voltage range or dual supplies
  - LM139 series,  $2 V_{DC}$  to  $36 V_{DC}$  or  $\pm 1 V_{DC}$  to  $\pm 18 V_{DC}$
  - LM139A series, LM2901  $\pm 1 V_{DC}$  to  $\pm 18 V_{DC}$
  - LM3302  $2 V_{DC}$  to  $28 V_{DC}$  or  $\pm 1 V_{DC}$  to  $\pm 14 V_{DC}$
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at  $+5 V_{DC}$ )
- Low input biasing current  $25 \text{ nA}$
- Low input offset current  $\pm 5 \text{ nA}$  and offset voltage  $\pm 3 \text{ mV}$
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage  $250 \text{ mV}$  at  $4 \text{ mA}$
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems



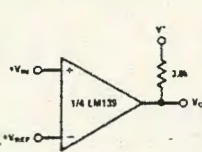
**Schematic and Connection Diagrams**



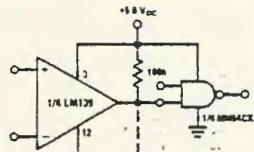
Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J  
 See NS Package J14A

Order Number LM339N, LM339AN, LM2901N or LM3302N  
 See NS Package N14A

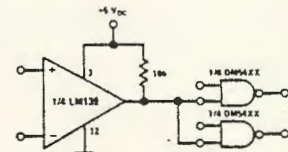
**Typical Applications ( $V^+ = 5.0 V_{DC}$ )**



Basic Comparator



Driving CMOS



Driving TTL

LM139/LM239/LM339, LM139A/LM239A/LM339A, LM2901, LM3302



# Absolute Maximum Ratings

	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM3302
Supply Voltage, $V^+$	36 V <sub>DC</sub> or ±18 V <sub>DC</sub>	28 V <sub>DC</sub> or ±14 V <sub>DC</sub>
Differential Input Voltage	36 V <sub>DC</sub>	28 V <sub>DC</sub>
Input Voltage	-0.3 V <sub>DC</sub> to +36 V <sub>DC</sub>	-0.3 V <sub>DC</sub> to +28 V <sub>DC</sub>
Power Dissipation (Note 1)		
Molded DIP	570 mW	570 mW
Cavity DIP	900 mW	
Flat Pack	800 mW	
Output Short-Circuit to GND, (Note 2)	Continuous	Continuous
Input Current ( $V_{IN} < -0.3 V_{DC}$ ), (Note 3)	50 mA	50 mA
Operating Temperature Range		
LM339A	0°C to +70°C	-40°C to +85°C
LM239A	-25°C to +85°C	
LM2901	-40°C to +85°C	
LM139A	-55°C to +125°C	
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

## Electrical Characteristics ( $V^+ = 5 V_{DC}$ , Note 4)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Input Offset Voltage	$T_A = 25^\circ C$ , (Note 9)	±1.0	±2.0		±1.0	±2.0		±2.0	±5.0		±2.0	±5.0		±2.0	±7.0		±3	±20		mV <sub>DC</sub>	
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $T_A = 25^\circ C$ , (Note 5)	25	100		25	250		25	100		25	250		25	250		25	500		nA <sub>DC</sub>	
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$ , $T_A = 25^\circ C$	±3.0	±25		±5.0	±50		±3.0	±25		±5.0	±50		±5	±50		±3	±100		nA <sub>DC</sub>	
Input Common-Mode Voltage Range	$T_A = 25^\circ C$ , (Note 6)	0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		V <sub>DC</sub>	
Supply Current	$R_L = \infty$ on all Comparators, $T_A = 25^\circ C$ $R_L = \infty$ , $V^+ = 30V$ , $T_A = 25^\circ C$	0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2		mA <sub>DC</sub>	
Voltage Gain	$R_L \geq 15 k\Omega$ , $V^+ = 15 V_{DC}$ (To Support Large $V_O$ Swing), $T_A = 25^\circ C$	50	200		50	200		200			200			25	100		2	30		V/mV	
Large Signal Response Time	$V_{IN} = TTL$ Logic Swing, $V_{REF} = 1.4 V_{DC}$ , $V_{RL} = 5 V_{DC}$ , $R_L = 5.1 k\Omega$ , $T_A = 25^\circ C$	300			300			300			300			300			300				ns
Response Time	$V_{RL} = 5 V_{DC}$ , $R_L = 5.1 k\Omega$ , $T_A = 25^\circ C$ , (Note 7)	1.3			1.3			1.3			1.3			1.3			1.3				ns
Output Sink Current	$V_{IN(-)} \geq 1 V_{DC}$ , $V_{IN(+)} = 0$ , $V_O \leq 1.5 V_{DC}$ , $T_A = 25^\circ C$	6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		6.0	16			mA <sub>DC</sub>
Saturation Voltage	$V_{IN(-)} \geq 1 V_{DC}$ , $V_{IN(+)} = 0$ , $I_{SINK} \leq 4 mA$ , $T_A = 25^\circ C$	250	400		250	400		250	400		250	400		400			250	500			mV <sub>DC</sub>
Output Leakage Current	$V_{IN(+)} \geq 1 V_{DC}$ , $V_{IN(-)} = 0$ , $V_O = 0 V_{DC}$ , $T_A = 25^\circ C$	0.1			0.1			0.1			0.1			0.1			0.1				nA <sub>DC</sub>

## Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Input Offset Voltage	(Note 9)			4.0			4.0			9.0			9.0			9	15			40	mV <sub>DC</sub>
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			±100			±150			±100			±150			50	200			300	nA <sub>DC</sub>
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range			300			400			300			400			200	500			1000	nA <sub>DC</sub>
Input Common-Mode Voltage Range		0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$			$V^+ - 2.0$		V <sub>DC</sub>
Saturation Voltage	$V_{IN(-)} \geq 1 V_{DC}$ , $V_{IN(+)} = 0$ , $I_{SINK} \leq 4 mA$			700			700			700			700			400	700			700	mV <sub>DC</sub>
Output Leakage Current	$V_{IN(+)} \geq 1 V_{DC}$ , $V_{IN(-)} = 0$ , $V_O = 30 V_{DC}$			1.0			1.0			1.0			1.0			1.0	1.0			1.0	nA <sub>DC</sub>
Differential Input Voltage	Keep all $V_{IN} \geq 0 V_{DC}$ for $V^+$ (if used), (Note 8)			36			36			36			36			0	36			28	V <sub>DC</sub>

5-28

Large Signal Response Time	Support Large $V_O$ Swing, $T_A = 25^\circ\text{C}$ $V_{IN} = \text{TTL Logic Swing}$ , $V_{REF} = 1.4\text{ VDC}$ , $V_{RL} = 5\text{ VDC}$ , $R_L = 5\text{ k}\Omega$ , $T_A = 25^\circ\text{C}$	300	300	300	300	300	300						
Response Time	$V_{RL} = 6\text{ VDC}$ , $R_L = 6\text{ k}\Omega$ , $T_A = 25^\circ\text{C}$ , (Note 7)	1.3	1.3	1.3	1.3	1.3	1.3						
Output Sink Current	$V_{IN(-)} \geq 1\text{ VDC}$ , $V_{IN(+)} = 0$ , $V_O \leq 1.5\text{ VDC}$ , $T_A = 25^\circ\text{C}$	6.0	16	6.0	16	6.0	16	6.0	16	6.0	16	6.0	16
Saturation Voltage	$V_{IN(-)} \geq 1\text{ VDC}$ , $V_{IN(+)} = 0$ , $I_{SINK} \leq 4\text{ mA}$ , $T_A = 25^\circ\text{C}$	250	400	250	400	250	400	250	400	250	400	250	400
Output Leakage Current	$V_{IN(+)} \geq 1\text{ VDC}$ , $V_{IN(-)} = 0$ , $V_O = 6\text{ VDC}$ , $T_A = 25^\circ\text{C}$	0.1		0.1		0.1		0.1		0.1		0.1	

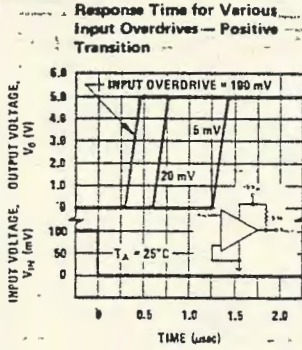
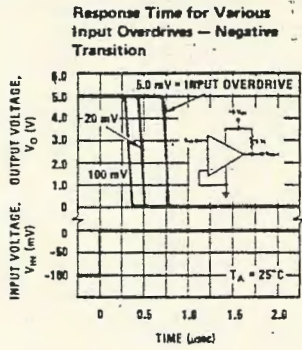
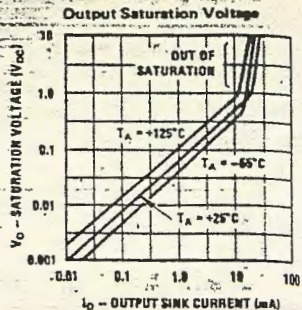
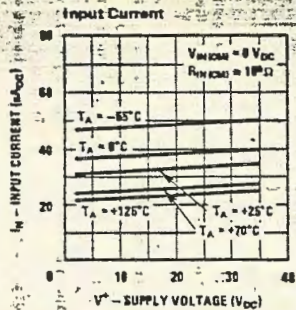
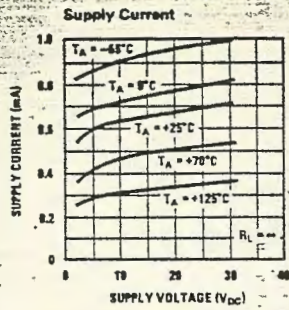
**Electrical Characteristics (Continued)**

PARAMETER	CONDITIONS	LM139A		LM239A, LM339A		LM139		LM239, LM339		LM2901		LM3302		UNITS			
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		MIN	TYP	MAX
Input Offset Voltage	(Note 9)			4.0		4.0		9.0		9.0		9	15		40	mVDC	
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			$\pm 100$		$\pm 150$		$\pm 100$		$\pm 150$		50	200		300	nADC	
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range			300		400		300		400		200	500		1000	nADC	
Input Common-Mode Voltage Range		0		$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	VDC
Saturation Voltage	$V_{IN(-)} \geq 1\text{ VDC}$ , $V_{IN(+)} = 0$ , $I_{SINK} \leq 4\text{ mA}$			700		700		700		700		400	700		700	mVDC	
Output Leakage Current	$V_{IN(+)} \geq 1\text{ VDC}$ , $V_{IN(-)} = 0$ , $V_O = 30\text{ VDC}$			1.0		1.0		1.0		1.0		1.0		1.0		$\mu\text{ADC}$	
Differential Input Voltage	Keep all $V_{IN}$ 's $\geq 0\text{ VDC}$ (or $V^-$ , if used), (Note 8)			36		36		36		36	0	36		28		VDC	

- Note 1:** For operating at high temperatures, the LM339/LM339A, LM2901, LM3302 must be derated based on a  $125^\circ\text{C}$  maximum junction temperature and a thermal resistance of  $175^\circ\text{C/W}$  which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM239 and LM139 must be derated based on a  $150^\circ\text{C}$  maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keeps the chip dissipation very small ( $P_D \leq 100\text{ mW}$ ), provided the output transistors are allowed to saturate.
- Note 2:** Short circuits from the output to  $V^+$  can cause excessive heating and eventual destruction. The maximum output current is approximately 20 mA independent of the magnitude of  $V^+$ .
- Note 3:** This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the  $V^+$  voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than  $-0.3\text{ VDC}$  (at  $25^\circ\text{C}$ ).
- Note 4:** These specifications apply for  $V^+ = 5\text{ VDC}$  and  $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ , unless otherwise stated. With the LM239/LM239A, all temperature specifications are limited to  $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ , the LM339/LM339A temperature specifications are limited to  $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ , and the LM2901, LM3302 temperature range is  $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ .
- Note 5:** The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
- Note 6:** The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is  $V^+ - 1.5\text{V}$ , but either or both inputs can go to  $+30\text{ VDC}$  without damage (25V for LM3302).
- Note 7:** The response time specified is a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see typical performance characteristics section.
- Note 8:** Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low-input voltage state must not be less than  $-0.3\text{ VDC}$  (or  $0.3\text{ VDC}$  below the magnitude of the negative power supply, if used) (at  $25^\circ\text{C}$ ).
- Note 9:** At output switch point,  $V_O \approx 1.4\text{ VDC}$ ,  $R_S = 0\Omega$  with  $V^+$  from  $5\text{ VDC}$ ; and over the full input common-mode range ( $0\text{ VDC}$  to  $V^+ - 1.5\text{ VDC}$ ).

529

Typical Performance Characteristics LM139/LM239/LM339, LM139A/LM239A/LM339A, LM3302



Application Hints

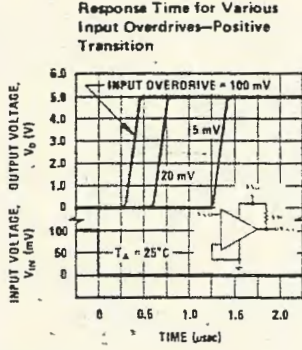
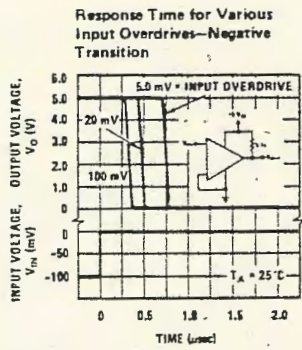
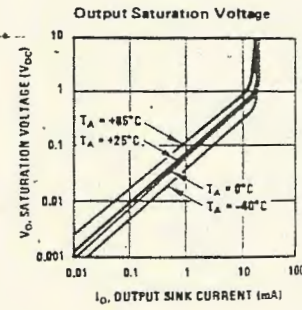
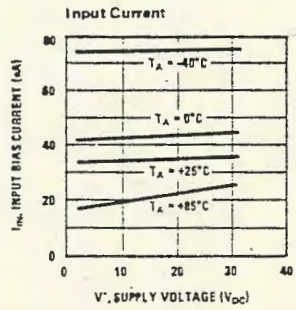
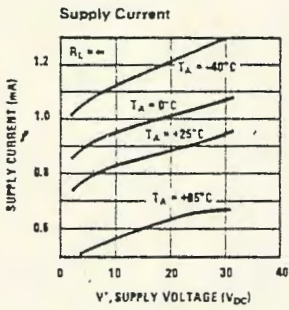
The LM139 series are high gain, wide band devices which, like most comparators, can oscillate if the output lead is inadvertently allowed to capacitively couple to the inputs via parasitic capacitance. This shows up only during the output voltage transition intervals as the comparator goes through its metastable state. Power supply bypassing is not recommended to solve this problem; Standard PC board layout is helpful as it reduces stray input-output coupling. Reducing the input resistors to < 10 kΩ in the feedback signal levels and finally, adding a small amount (1 to 10 mV) of positive feedback (hysteresis) causes such a rapid transition that oscillations due to stray feedback are not possible. Simply socketing the IC and attaching resistors to the pins will cause input-output oscillations if the small transition intervals unless hysteresis is used. If the input signal is a pulse waveform with relatively fast rise and fall times, hysteresis is required.

All pins of any unused comparators should be grounded.

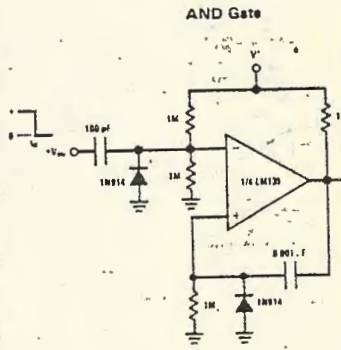
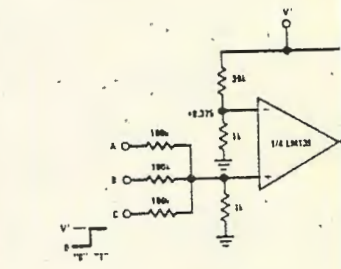
The bias network of the LM139 series establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 2 V<sub>DC</sub> to 30 V<sub>DC</sub>.

It is usually unnecessary to use a bypass capacitor across the power supply line.

Typical Performance Characteristics LM2901



Typical Applications (V<sup>+</sup> = 15 V)



## Application Hints

The LM139 series are high gain, wide bandwidth devices which, like most comparators, can easily oscillate if the output lead is inadvertently allowed to capacitively couple to the inputs via stray capacitance. This shows up only during the output voltage transition intervals as the comparator changes states. Power supply bypassing is not required to solve this problem. Standard PC board layout is helpful as it reduces stray input-output coupling. Reducing the input resistors to  $< 10 \text{ k}\Omega$  reduces the feedback signal levels and finally, adding even a small amount (1 to 10 mV) of positive feedback (hysteresis) causes such a rapid transition that oscillations due to stray feedback are not possible. Simply socketing the IC and attaching resistors to the pins will cause input-output oscillations during the small transition intervals unless hysteresis is used. If the input signal is a pulse waveform, with relatively fast rise and fall times, hysteresis is not required.

All pins of any unused comparators should be grounded.

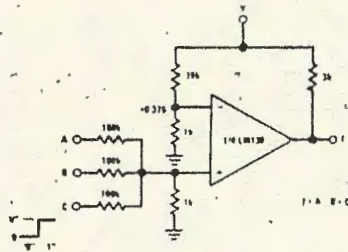
The bias network of the LM139 series establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from  $2 V_{DC}$  to  $30 V_{DC}$ .

It is usually unnecessary to use a bypass capacitor across the power supply line.

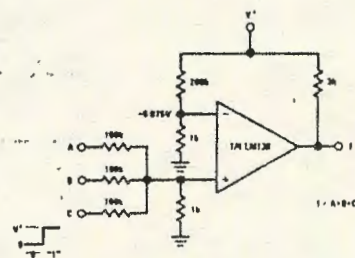
The differential input voltage may be larger than  $V^+$  without damaging the device. Protection should be provided to prevent the input voltages from going negative more than  $-0.3 V_{DC}$  (at  $25^\circ\text{C}$ ). An input clamp diode can be used as shown in the applications section.

The output of the LM139 series is the uncommitted collector of a grounded-emitter NPN output transistor. Many collectors can be tied together to provide an output OR'ing function. An output pull-up resistor can be connected to any available power supply voltage within the permitted supply voltage range and there is no restriction on this voltage due to the magnitude of the voltage which is applied to the  $V^+$  terminal of the LM139A package. The output can also be used as a simple SPST switch to ground (when a pull-up resistor is not used). The amount of current which the output device can sink is limited by the drive available (which is independent of  $V^+$ ) and the  $\beta$  of this device. When the maximum current limit is reached (approximately 16 mA), the output transistor will come out of saturation and the output voltage will rise very rapidly. The output saturation voltage is limited by the approximately  $60\Omega r_{sat}$  of the output transistor. The low offset voltage of the output transistor (1 mV) allows the output to clamp essentially to ground level for small load currents.

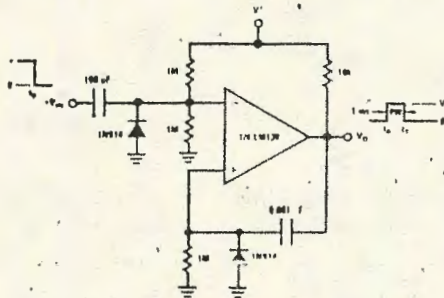
## Typical Applications ( $V^+ = 15 V_{DC}$ )



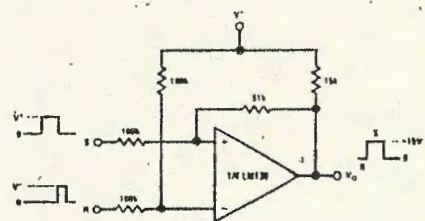
AND Gate



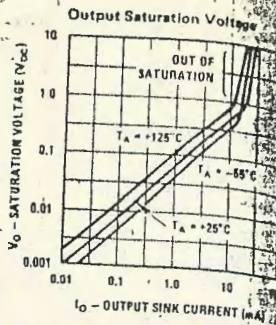
OR Gate



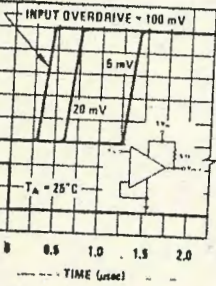
One-Shot Multivibrator



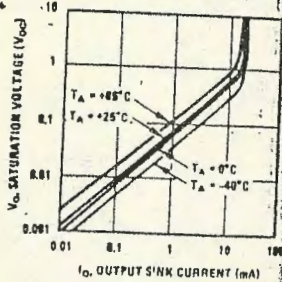
Bi-Stable Multivibrator



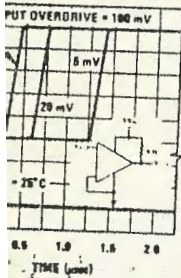
Response Time for Various Input Overdrives - Positive Transition



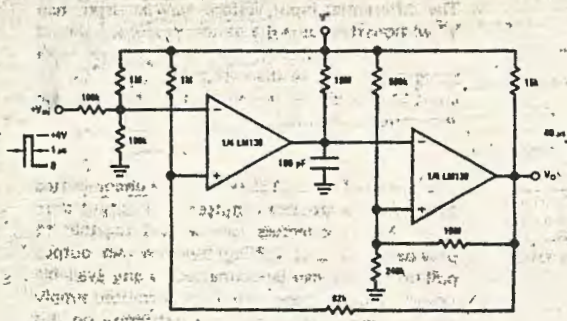
Output Saturation Voltage



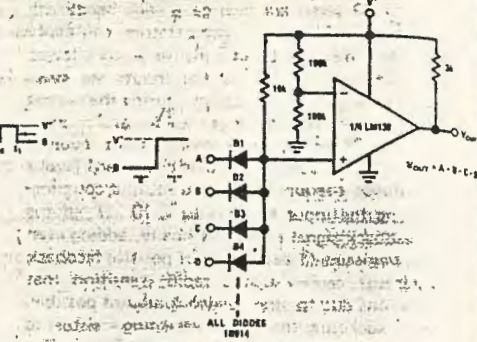
Response Time for Various Overdrives-Positive Transition



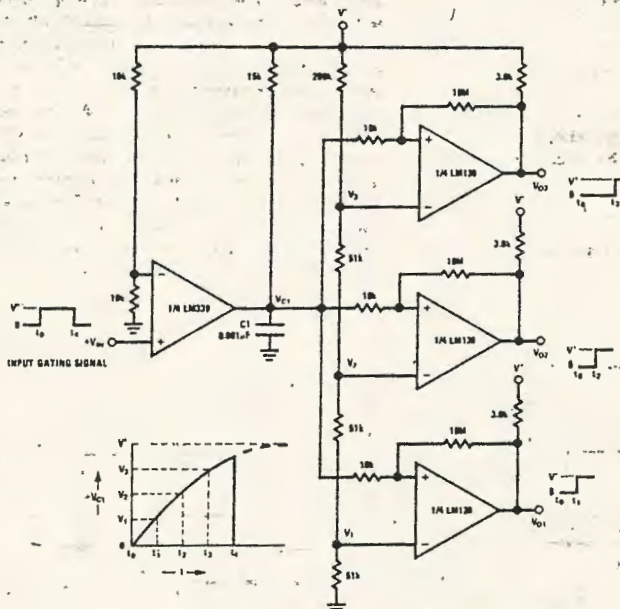
Typical Applications (Continued) ( $V^+ = 15 V_{DC}$ )



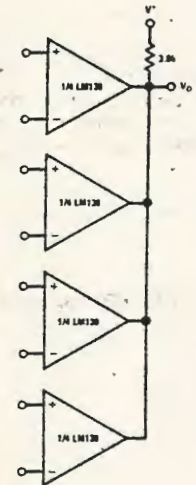
One-Shot Multivibrator with Input Lock Out



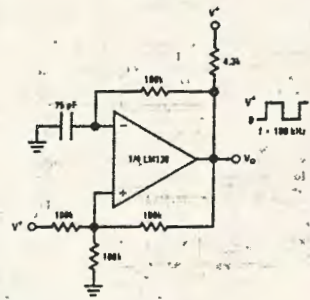
Large Fan-in AND Gate



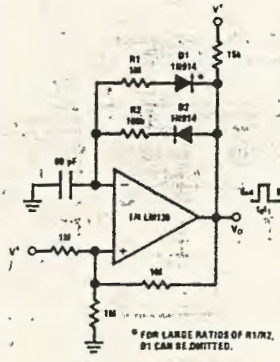
Time Delay Generator



ORing the Outputs

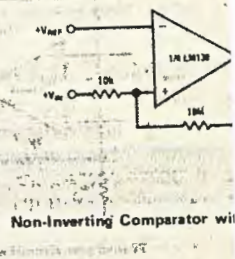


Squarewave Oscillator

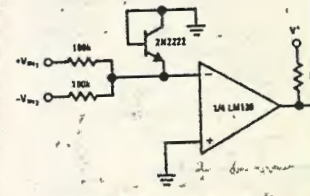


Pulse Generator

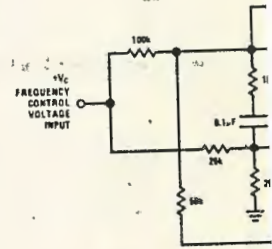
Typical Applications (Continued)



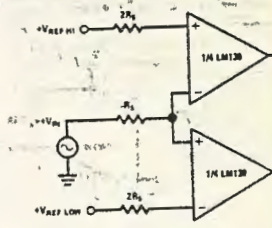
Non-Inverting Comparator with Hysteresis



Comparing Input Voltages of Opposite Polarity

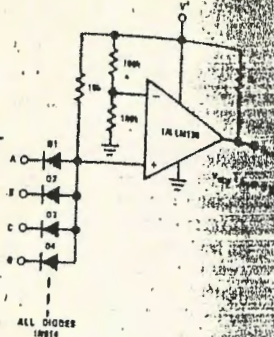


Frequency Control Voltage Input

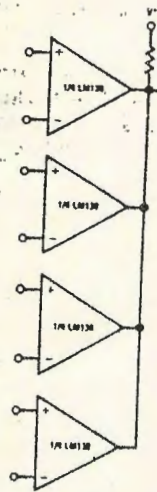


Limit Comparator

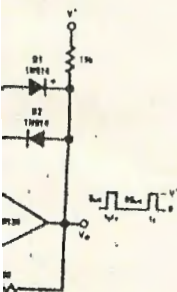
Typical Applications (Continued) ( $V^+ = 5 V_{DC}$ )



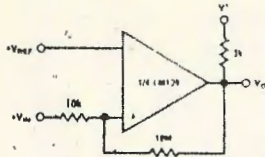
Large Fan-in AND Gate



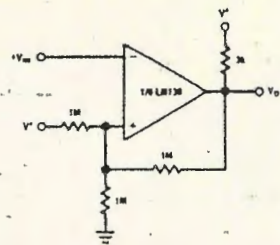
ORing the Outputs



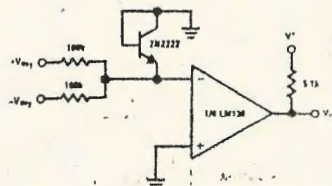
generator



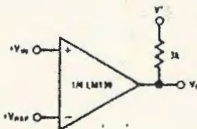
Non-Inverting Comparator with Hysteresis



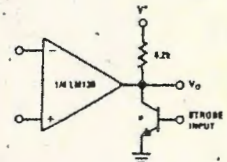
Inverting Comparator with Hysteresis



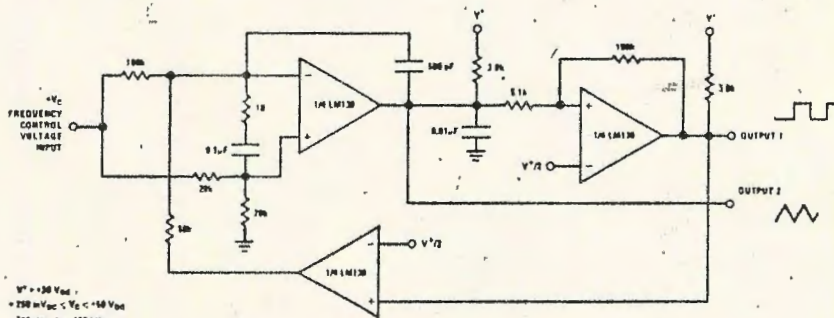
Comparing Input Voltages of Opposite Polarity



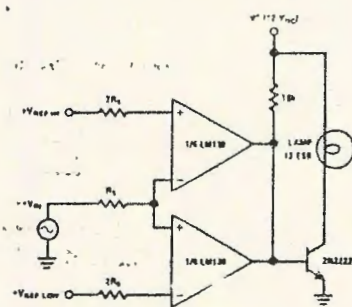
Basic Comparator



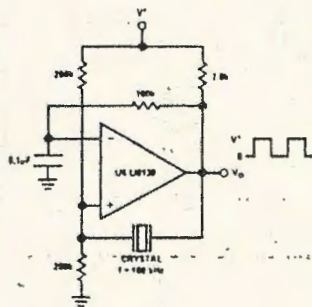
Output Strobing



Two-Decade High-Frequency VCO

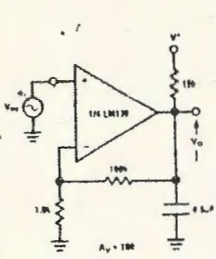


Limit Comparator

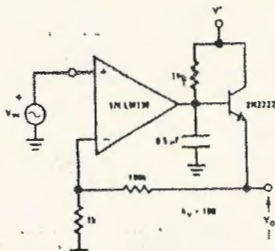


Crystal Controlled Oscillator

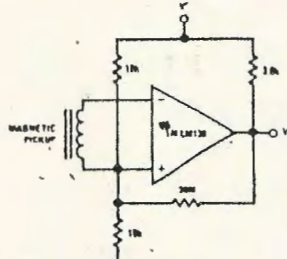
## Typical Applications (Continued) ( $V^+ = 5 V_{DC}$ )



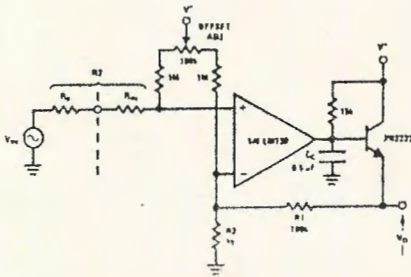
Low Frequency Op Amp



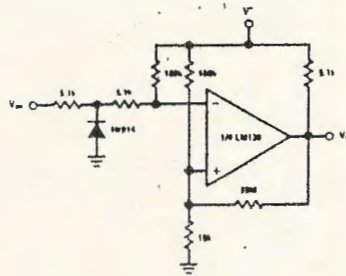
Low Frequency Op Amp  
( $V_O = 0V$  for  $V_{IN} = 0V$ )



Transducer Amplifier

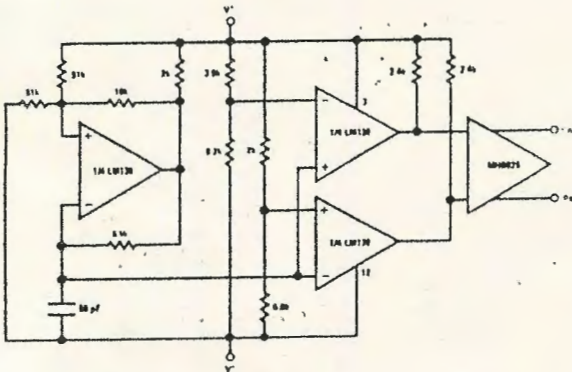


Low Frequency Op Amp with Offset Adjust

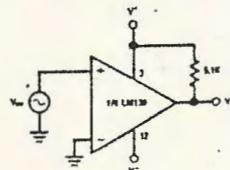


Zero Crossing Detector (Single Power Supply)

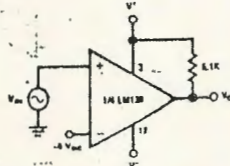
## Split-Supply Applications ( $V^+ = +15 V_{DC}$ and $V^- = -15 V_{DC}$ )



MOS Clock Driver



Zero Crossing Detector



Comparator With a Negative Reference

**National  
Semicon**

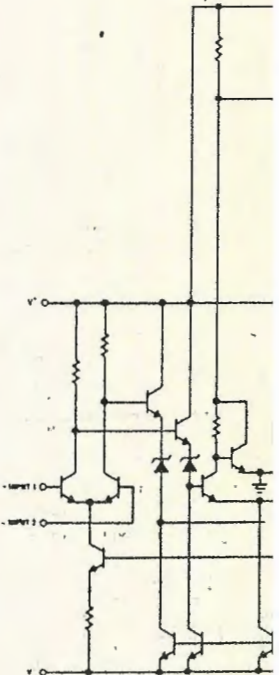
## LM160/LM260/LM360 Comparator

### General Description

The LM160/LM260/LM360 is a differential input, complementary output voltage comparator with improved performance over the  $\mu A760/\mu A760C$ , for  $V_{CC}$  pin replacement. The device has a propagation delay for greater speed, input impedance and lower input offset voltage varies only 3 ns for overdrive to 500 mV.

Complementary outputs having both true and inverted are provided. Applications include analog to digital converters, detectors in disc file systems.

### Schematic and Con



# ANEXO 3.

- DIAGRAMAS ESQUEMATICOS -

## GLOSARIO.

ADC: Convertidor Analógico-Digital. Circuito que ante una señal de carácter analógica responde con un código binario de solo dos niveles de voltaje.

ANALÓGICO: Señal de voltaje que presenta valores continuos de amplitud.

ASINCRONO: Un cambio no se da en forma simultánea, teniendo como referencia una base de tiempo.

ASTABLE: Tren de pulsos en forma periódica.

BIESTABLE: Dispositivo que presenta dos posibles estados lógicos en sus terminales.

BIT: Unidad mínima de información. Dígito binario (0 , 1).

CABLE MULTIPAR: Cable utilizado en telefonía que contiene gran cantidad de pares de hilos.

CAPACITOR: Dispositivo que permite almacenar energía entre sus terminales en forma de voltaje.

CMOS: Tecnología de circuitos integrados cuya ventaja es el bajo consumo de energía y amplios niveles de polarización.

**CÓDIGO:** Simbología que representa algún parámetro.

**CÓDIGO MORSE:** Representación del alfabeto por medio de puntos y rayas útil para la comunicación telefónica utilizada anteriormente.

**COMPARADOR:** Circuito de dos voltajes de entrada y un voltaje de salida que permite reconocer la magnitud de una señal con respecto a la otra para saber si es mayor o menor.

**CONVERSIÓN:** Adquisición de una señal en un estado y traslada a otro diferente.

**CRONÓMETRO:** Permite llevar el control de la temporización.

**CUANTIFICAR:** Asignar un código binario a una correspondiente amplitud.

**DAC:** Convertidor Digital-Analógico. Asignación de niveles de voltaje en respuesta a un código binario de entrada.

**DEMULACIÓN:** Recuperación del mensaje original en el receptor.

**DEMÚLTIPLEXOR (DEMUX):** Elemento que posee una sola línea de entrada y varias líneas de salida. La entrada se direcciona por medio de un código hacia una y solo una línea de salida.

**DIGITALIZAR:** Procesamiento de una señal utilizando niveles lógicos de voltaje (unos y ceros).

**ENVOLVENTE:** Componente de una señal que ha sufrido un proceso de modulación.

**FACSIMIL:** Equipo de transmisión de documentos vía telefónica.

**FDM:** Frequency Division Multiplex. Disposición de señales distribuidas en un espacio de frecuencias.

**FLIP-FLOP:** Ver biestable.

**INTERCONEXIÓN:** Conexión entre varios dispositivos que conforman un sistema.

**INTERFASE:** Dispositivo mediante el cual se establecen las condiciones necesarias para que dos equipos se conecten entre sí.

**INVERSOR:** Dispositivo lógico que asigna un estado contrario al de su entrada.

**ISDN:** Red digital de Servicios Integrados. Suministro de diferentes servicios a través de la línea telefónica.

KBIT: 1024 bits.

MASTER RESET: Pin de un contador que vuelve a cero todas las salidas.

MIA: Modulación por Impulsos de Amplitud. Señal que contiene las muestras de las señales a ser transmitidas por un sistema MIC.

MIC: Modulación por Impulsos Codificados. Sistema que transmite señales codificadas en forma digital de acuerdo al nivel de éstas.

MICROELECTRONICA: Electrónica que utiliza integración a escala (circuitos integrados).

MOD: Número de estados que presenta un contador.

MODULACIÓN: Desplazamiento en frecuencia de una señal de mensaje en concordancia con una señal portadora.

MUESTREO: Toma de un nivel de amplitud de la señal a ser transmitida por un sistema MIC.

MULTIPLEXOR (MUX): Dispositivo que acepta varias entradas y deja pasar una de ellas hacia la salida de acuerdo con un código de selección que se aplica al dispositivo.

MULTIVIBRADOR: Elemento cuya salida es un tren de pulsos rectangulares.

ONE SHOT: Dispositivo que al aplicarle un pulso de disparo proporciona un pulso que se determina por una constante de tiempo relacionada con los elementos externos.

PCM: Pulse Coded Modulation. Ver MIC.

RECEPTOR: Parte del equipo que estando en contacto con la línea adquiere la información y la convierte en señal inteligente.

RESISTENCIA: Elemento que se opone al paso de la corriente.

RESOLUCIÓN: Intervalo de cuantificación en un convertidor (D/A A/D).

SDM: Space Division Multiplex. Distribución de las señales en espacio (Ver Cable Multipar).

SEÑAL TELEFÓNICA: Señal que contiene información de voz u otros parámetros que se transmiten a través de la línea telefónica.

SEÑAL DE FONIA: Ver Señal Telefónica.

SINCRONO: Cambio simultáneo de varios dispositivos. Dependen de la misma base de tiempo.

TDM: Time Division Multiplex: Distribución de varias señales en el tiempo.

TRANSMISOR: Equipo que se encarga de tomar una señal de mensaje y la adecua al medio de transmisión donde es enviada.

TRIGGER: Disparador. Entrada por medio de la cuál se le indica una activación a determinado circuito.

TTL: Transistor Transistor Logic. Tecnología de circuitos integrados que utilizan como elemento principal el transistor.

## BIBLIOGRAFIA.

- ALBERT PAUL MALVINO. PRINCIPIOS DE ELECTRONICA. Tercera Edición. Mc Graw-Hill. México 1989.
- ARTIGA, MARTINEZ. PROYECTO DE TELECOMUNICACION CON ENRUTAMIENTO ALTERNATIVO DE TRAFICO TELEFONICO. UPES. Octubre 1985.
- COUGHLIN, ROBERT F./DRISCOLL, FEDERICK F. CIRCUITOS LINEALES Y AMPLIFICADORES OPERACIONALES. Segunda Edición. PHH Prentice Hall. México 1987.
- NATIONAL SEMICONDUCTOR CORPORATION. LINEAR-DATA BOOK. 1982 Edition. Santa Clara California U.S.A.
- NATIONAL SEMICONDUCTOR. TTL-DATA BOOK. 1989 Edition. Santa Clara California U.S.A.
- NATIONAL SEMICONDUCTOR. CMOS LOGIC-DATA BOOK. 1988 Edition. Santa Clara California U.S.A.
- RAMIREZ, ESCOBAR, CRUZ. DISEÑO Y CONSTRUCCION DE EQUIPO MODULAR. UPES. Octubre 1985.
- SIEMENS AKTIENGESELLSEHAFT. TELECOMUNICACION DIGITAL. Berlín Munich & Marcombo S.A. 1988.
- TOCCI, RONALD J. SISTEMAS DIGITALES. PRINCIPIOS Y APLICACIONES. Tercera Edición. PHH Prentice Hall. México 1970.